



本社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868(代)

AD9245

目次

AD9245 — DC仕様.....	3	クロック入力の考慮事項.....	15
AD9245 — AC仕様.....	4	ジッターの考慮事項.....	16
AD9245 — デジタル仕様.....	5	消費電力とスタンバイ・モード.....	16
AD9245 — スイッチング仕様.....	6	デジタル出力.....	16
テスト・レベルの説明.....	6	タイミング.....	17
絶対最大定格.....	7	リファレンス.....	17
熱抵抗.....	7	内部リファレンスの接続.....	17
仕様の定義.....	8	外部リファレンスの動作.....	18
ピン配置と機能の説明.....	9	動作モードの選択.....	18
等価回路.....	10	評価ボード.....	18
代表的な性能特性.....	11	外形寸法.....	25
動作原理.....	14	オーダー・ガイド.....	25
アナログ入力とリファレンスの概要.....	14	ESDに関する注意.....	25

改定履歴

リビジョン0：初版

AD9245 — DC仕様 (特に指定のない限り、AVDD=3V、DRVDD=2.5V、サンプル・レート=80MSPS、2V p-p差動入力、1.0V外部リファレンス)

パラメータ	温度	テスト・レベル	AD9245BCP			単位
			Min	Typ	Max	
分解能	全範囲	VI	14			ビット
精度						
ノーマリズコード	全範囲	VI		保証		
オフセット誤差 ¹	全範囲	VI		±0.30	±1.2	%FSR
ゲイン誤差	25℃	V		±0.28		%FSR
ゲイン誤差 ¹	全範囲	VI		±0.70	±4.16	%FSR
微分非直線性 (DNL) ²	全範囲	VI		±0.5	±1.0	LSB
積分非直線性 (INL) ²	全範囲	VI		±1.4	±5.15	LSB
温度ドリフト						
オフセット誤差 ¹	全範囲	V		±10		ppm/℃
ゲイン誤差	全範囲	V		±12		ppm/℃
ゲイン誤差 ¹	全範囲	V		±17		ppm/℃
内部リファレンス						
出力電圧誤差 (1Vモード)	全範囲	VI		±3	±34	mV
1.0mAでの負荷レギュレーション	25℃	V		±2		mV
出力電圧誤差 (0.5Vモード)	25℃	V		±6		mV
0.5mAでの負荷レギュレーション	25℃	V		±1		mV
入力換算ノイズ						
VREF=0.5V	25℃	V		1.86		LSB rms
VREF=1.0V	25℃	V		1.17		LSB rms
アナログ入力						
入力スパン、VREF=0.5V	全範囲	IV		1		V p-p
入力スパン、VREF=1.0V	全範囲	IV		2		V p-p
入力容量 ³	全範囲	V		7		pF
リファレンス入力抵抗	全範囲	V		7		kΩ
電源						
電源電圧						
AVDD	全範囲	IV	2.7	3.0	3.6	V
DRVDD	全範囲	IV	2.25	2.5	3.6	V
電源電流						
IAVDD ²	全範囲	VI		122	138	mA
IDRVDD ²	25℃	V		9		mA
PSRR	25℃	V		±0.01		%FSR
消費電力						
低周波数入力 ⁴	25℃	V		366		mW
スタンバイ消費電力 ⁵	25℃	V		1.0		mW

¹ 1.0V内部リファレンスで。

² 最大クロック・レート、 $f_{IN}=2.4\text{MHz}$ 、フルスケール・サイン波、各出力ビットに約5pFの負荷を接続して測定。

³ 入力容量とは、1本の差動入力ピンとAGNDとの間の実効容量を意味します。等価なアナログ入力構造については、図3を参照してください。

⁴ 出力ドライバなしで、AC仕様条件で測定。

⁵ スタンバイ消費電力は、DC入力で、CLKピンを非アクティブ (AVDDまたはAGNDに接続) にして測定。

AD9245

AD9245 — AC仕様 (特に指定のない限り、AVDD=3V、DRVDD=2.5V、サンプル・レート=80MSPS、2V p-p差動入力、1.0V外部リファレンス、AIN=-0.5dBFS、DCSオフ)

パラメータ	温度	テスト・レベル	AD9245BCP			単位
			Min	Typ	Max	
S/N比 (SNR)						
$f_{IN}=2.4\text{MHz}$	全範囲	VI	71.1			dB
	25℃	V		73.3		dB
$f_{IN}=40\text{MHz}$	25℃	V		72.7		dB
$f_{IN}=70\text{MHz}$	全範囲	IV	70.5			dB
	25℃	V		71.7		dB
$f_{IN}=100\text{MHz}$	25℃	V		70.2		dB
信号対 (ノイズ+歪み) (SINAD)						
$f_{IN}=2.4\text{MHz}$	全範囲	VI	70.7			dB
	25℃	V		73.2		dB
$f_{IN}=40\text{MHz}$	25℃	V		72.5		dB
$f_{IN}=70\text{MHz}$	全範囲	IV	69.9			dB
	25℃	V		71.2		dB
$f_{IN}=100\text{MHz}$	25℃	V		69.6		dB
実効ビット数 (ENOB)						
$f_{IN}=2.4\text{MHz}$	全範囲	VI	11.5			ビット
	25℃	V		11.9		ビット
$f_{IN}=40\text{MHz}$	25℃	V		11.8		ビット
$f_{IN}=70\text{MHz}$	全範囲	IV	11.3			ビット
	25℃	V		11.5		ビット
$f_{IN}=100\text{MHz}$	25℃	V		11.3		ビット
最悪の2次または3次						
$f_{IN}=2.4\text{MHz}$	全範囲	VI			-76.5	dBc
	25℃	V		-92.8		dBc
$f_{IN}=40\text{MHz}$	25℃	V		-87.6		dBc
$f_{IN}=70\text{MHz}$	全範囲	IV			-75.7	dBc
	25℃	V		-81.6		dBc
$f_{IN}=100\text{MHz}$	25℃	V		-79.0		dBc
スプリアスフリー・ダイナミックレンジ (SFDR)						
$f_{IN}=2.4\text{MHz}$	全範囲	VI	76.5			dBc
	25℃	V		92.8		dBc
$f_{IN}=40\text{MHz}$	25℃	V		87.6		dBc
$f_{IN}=70\text{MHz}$	全範囲	IV	75.7			dBc
	25℃	V		81.6		dBc
$f_{IN}=100\text{MHz}$	25℃	V		79.0		dBc

AD9245 — デジタル仕様 (特に指定のない限り、AVDD=3V、DRVDD=2.5V、1.0V外部リファレンス)

パラメータ	温度	テスト・レベル	AD9245BCP			単位
			Min	Typ	Max	
ロジック入力 (CLK、PDWN)						
ハイレベル入力電圧	全範囲	IV	2.0			V
ローレベル入力電圧	全範囲	IV			0.8	V
ハイレベル入力電流	全範囲	IV	−10		+10	μA
ローレベル入力電流	全範囲	IV	−10		+10	μA
入力容量	全範囲	V		2		pF
デジタル出力ビット (D0~D13、OTR) ¹						
DRVDD=3.3V						
ハイレベル出力電圧 (IOH=50μA)	全範囲	IV	3.29			V
ハイレベル出力電圧 (IOH=0.5mA)	全範囲	IV	3.25			V
ローレベル出力電圧 (IOH=1.6mA)	全範囲	IV			0.2	V
ローレベル出力電圧 (IOH=50μA)	全範囲	IV			0.05	V
DRVDD=2.5V						
ハイレベル出力電圧 (IOH=50μA)	全範囲	IV	2.49			V
ハイレベル出力電圧 (IOH=0.5mA)	全範囲	IV	2.45			V
ローレベル出力電圧 (IOH=1.6mA)	全範囲	IV			0.2	V
ローレベル出力電圧 (IOH=50μA)	全範囲	IV			0.05	V

¹ 出力電圧レベルは、各出力に5pFの負荷を接続して測定。

AD9245

AD9245 — スイッチング仕様 (特に指定のない限り、AVDD=3V、DRVDD=2.5V)

パラメータ	温度	テスト・レベル	AD9245BCP			単位
			Min	Typ	Max	
クロック入力パラメータ						
最大変換レート	全範囲	VI	80			MSPS
最小変換レート	全範囲	V			1	MSPS
CLK周期	全範囲	V	12.5			ns
ハイレベルのCLKパルス幅 ¹	全範囲	V	4.6			ns
ローレベルのCLKパルス幅 ¹	全範囲	V	4.6			ns
データ出力パラメータ						
出力伝搬遅延 (t_{PD}) ²	全範囲	V		4.2		ns
パイプライン遅延 (レイテンシ)	全範囲	V		7		サイクル
アパーチャ遅延 (t_A)	全範囲	V		1		ns
アパーチャ不確定性 (ジッター、 t_j)	全範囲	V		0.3		ps rms
ウェイクアップ時間 ³	全範囲	V		7		ms
範囲外回復時間	全範囲	V		2		サイクル

¹ デューティ・サイクル安定器 (DCS) をイネーブルで。

² 出力伝搬遅延は、5pFの負荷を接続して、CLKの50%遷移からデータの50%遷移まで測定。

³ ウェイクアップ時間はデカップリング・コンデンサの値に依存。typ値はREFTとREFBのコンデンサ0.1μFと10μFで表示。

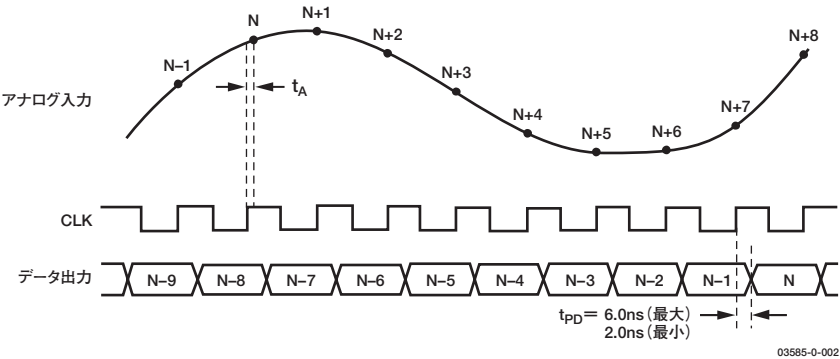


図2. タイミング図

テスト・レベルの説明

テスト・レベル 定義

- | | |
|-----|--|
| I | 100%の出荷テストを実施。 |
| II | 25℃で100%の出荷テストを実施し、指定の温度では設計と特性により保証。 |
| III | サンプル・テストのみを実施。 |
| IV | 設計および特性テストによりパラメータを保証。 |
| V | パラメータはtyp値のみ。 |
| VI | 25℃で100%の出荷テストを実施し、工業用温度範囲に対しては設計および特性により保証。 |

絶対最大定格

電気

AVDD~AGND		-0.3~+3.9V
DRVDD~DGND		-0.3~+3.9V
AGND~DGND		-0.3~+0.3V
AVDD~DRVDD		-3.9~+3.9V
(D0~D13) ~DGND		-0.3V~DRVDD+0.3V
CLK/MODE~AGND		-0.3V~AVDD+0.3V
VIN+/VIN-~AGND		-0.3V~AVDD+0.3V
VREF~AGND		-0.3V~AVDD+0.3V
SENSE~AGND		-0.3V~AVDD+0.3V
REFT/REFB~AGND		-0.3V~AVDD+0.3V
PDWN~AGND		-0.3V~AVDD+0.3V

環境

保管温度		-65~+125℃
動作温度範囲		-40~+85℃
ピン温度範囲 (ハンダ付け10秒)		300℃
ジャンクション温度		150℃

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態にすると、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は、EIA/JESD51-1に準拠して、自然空冷の4層ボードでの最悪時条件に対して仕様規定されています。

表I. 熱抵抗

パッケージ・タイプ	θ_{JA}	θ_{JC}	単位
CP-32	32.5	32.71	℃/W

空気流により放熱が増加し、 θ_{JA} は実質的に減少します。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンからパッケージのピンに直接接触する金属が増えることによっても、 θ_{JA} は減少します。露出パドルは、LFCSPパッケージのグラウンド・プレーンにハンダ付けすることをお勧めします。ハンダ接合部の信頼性は向上しており、露出パドルをカスタム・ボードにハンダ付けすることで、パッケージの最大の熱性能が実現できます。

AD9245

仕様の定義

アナログ帯域幅（フル・パワー帯域幅） — 基本周波数（FFT解析によって決定）のスペクトル電力が3dB減少するアナログ入力周波数。

アパーチャ遅延（ t_A ） — クロックの立ち上がりエッジの50%ポイントからアナログ入力が入力される時点までの遅延。

アパーチャ不確定性（ジッター、 t_J ） — アパーチャ遅延におけるサンプル間の変動。

積分非直線性（INL） — 負側フルスケールと正側フルスケールを結ぶ直線と個々のコードとの偏差です。負側フルスケールとして使用するポイントは、最初のコード遷移より1/2 LSB前に出現します。正側フルスケールは、最後のコード遷移を1 1/2 LSB超えたレベルと定義されます。偏差は、各コードの中央から真の直線までの距離として測定されます。

微分非直線性（DNL、ノー・ミスコード） — 理想的なADCでは、コード遷移は1 LSBだけ離れて出現します。DNLはこの理想値からの偏差です。ノー・ミスコードで14ビット分解能を保証するとは、全動作範囲にわたって16384のコードがすべて存在しなければならないことを意味します。

オフセット誤差 — メジャー・キャリヤ遷移は、 $V_{IN+} = V_{IN-}$ より1/2 LSB下のアナログ値に対して発生します。オフセット誤差は、そのポイントと実際の遷移との偏差です。

ゲイン誤差 — 最初のコード遷移は負側フルスケールより1/2 LSB上のアナログ値で発生し、最後の遷移は正側フルスケールより1 1/2 LSB下のアナログ値で発生します。ゲイン誤差とは、最初と最後のコード遷移の実際の差と理想的な差との偏差をいいます。

温度ドリフト — オフセット誤差とゲイン誤差の温度ドリフトは、初期値（25℃）から T_{MIN} または T_{MAX} の値までの最大変化を規定します。

電源除去比 — 最小限度での電源による値から最大限度での電源による値までのフルスケールでの変化をいいます。

全高調波歪み（THD）¹ — rms入力信号振幅と、最初の6つの高調波成分の合計のrms値との比をいいます。

信号対（ノイズ+歪み）（SINAD）¹ — rms入力信号振幅と、ナイキスト周波数より下の（高調波を含みDC成分を含まない）他のすべてのスペクトル成分の合計のrms値との比をいいます。

実効ビット数（ENOB） — 特定の入力周波数でのサイン波入力の実効ビット数は、次の式を使用して、その測定されたSINADから直接計算できます。

$$ENOB = \frac{(SINAD - 1.76)}{6.02}$$

S/N比（SNR）¹ — rms入力信号振幅と、ナイキスト周波数より下の（最初の6つの高調波とDC成分を除く）他のすべてのスペクトル成分の合計のrms値との比をいいます。

スプリアス・フリー・ダイナミックレンジ（SFDR）¹ — rms入力信号振幅とピーク・スプリアス信号との差をいいます（dB単位）。ピーク・スプリアス成分は、高調波の場合とそうでない場合があります。

ツートーンSFDR¹ — いずれかの入力トーンのrms値と、ピーク・スプリアス成分のrms値との比をいいます。ピーク・スプリアス成分は、IMD積の場合とそうでない場合があります。

クロック・パルス幅とデューティ・サイクル — パルス幅ハイは、定格性能を実現するために、クロック・パルスがロジック“1”状態を維持しなければならない最小時間です。パルス幅ローは、クロック・パルスがローレベル状態を維持しなければならない最小時間です。特定のクロック・レートにおいて、これらの仕様が許容されるクロック・デューティ・サイクルを規定します。

最小変換レート — アナログ信号の最低周波数のS/N比が、保証規定値より3dB以上低下しないクロック・レートをいいます。

最大変換レート — パラメータ・テストを実行するクロック・レートです。

出力伝搬遅延（ t_{PD} ） — クロックの立ち上がりエッジから、全ビットが有効ロジック・レベルになるまでの遅延。

アウトオブレンジ回復時間 — ADCが、正側フルスケールの10%上から負側フルスケールの10%上まで遷移するか、または負側フルスケールの10%下から正側フルスケールの10%下まで遷移した後、アナログ入力を再取得するまでの時間をいいます。

¹ AC仕様は、dBc単位（信号レベルの低下につれて低下）またはdBFS単位（常にコンバータのフルスケールに換算）で表されます。

ピン配置と機能の説明

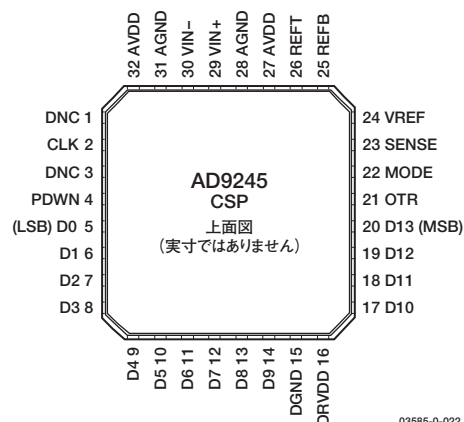


図3. 32ピンLFCSP

表II. ピン機能の説明 — 32ピンLFCSP (CPパッケージ)

ピン番号	記号	説明
1、3	DNC	接続しません
2	CLK	クロック入力ピン
4	PDWN	パワーダウン機能の選択
5～14、17～20	D0 (LSB) ～D13 (MSB)	データ出力ビット
15	DGND	デジタル出力グラウンド
16	DRVDD	デジタル出力ドライバ電源
21	OTR	範囲外インジケータ
22	MODE	データ・フォーマットとDCSモードの選択 (表IVを参照)
23	SENSE	リファレンス・モードの選択 (表IIIを参照)
24	VREF	リファレンス入／出力
25	REFB	差動リファレンス (－)
26	REFT	差動リファレンス (+)
27、32	AVDD	アナログ電源
28、31	AGND	アナログ・グラウンド
29	VIN+	アナログ入力ピン (+)
30	VIN－	アナログ入力ピン (－)

AD9245

等価回路

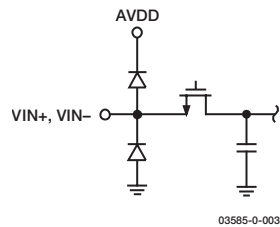


図4. 等価なアナログ入力回路

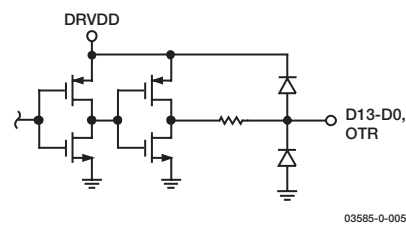


図6. 等価なデジタル出力回路

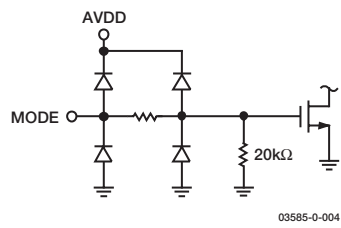


図5. 等価なMODE入力回路

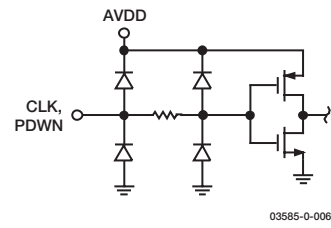


図7. 等価なデジタル入力回路

代表的な性能特性 (特に指定のない限り、 $AVDD=3.0V$ 、 $DRVDD=2.5V$ 、サンプル・レート=80MSPS、DCSディセーブル、 $T_A=25^\circ C$ 、2V p-p差動入力、 $A_{IN}=-0.5dBFS$ 、 $V_{REF}=1.0V$ 外部)

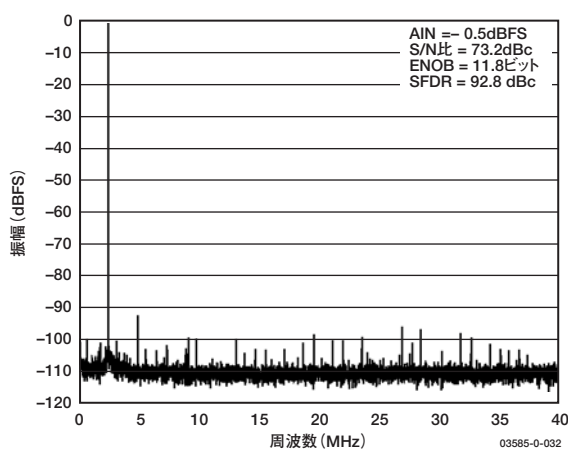


図8. 2.5MHzでのシングル・トーン8K FFT

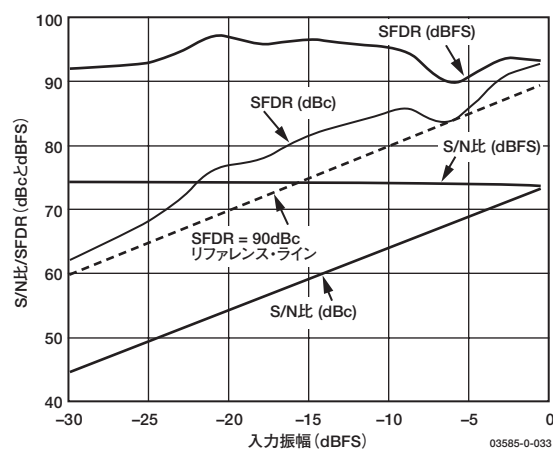
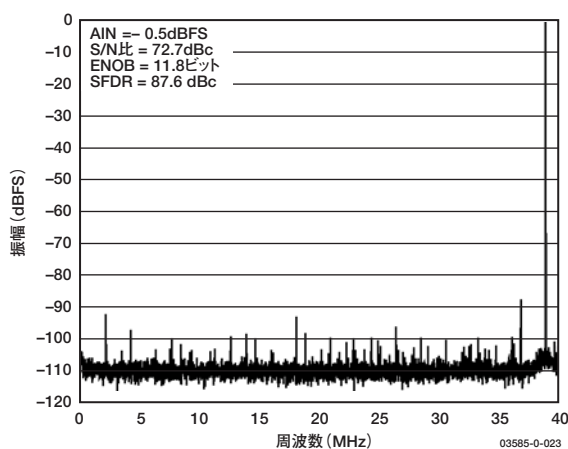
図11. 2.5MHzでのシングル・トーンS/N比/SFDRと入力振幅 (A_{IN}) の関係

図9. 39MHzでのシングル・トーン8K FFT

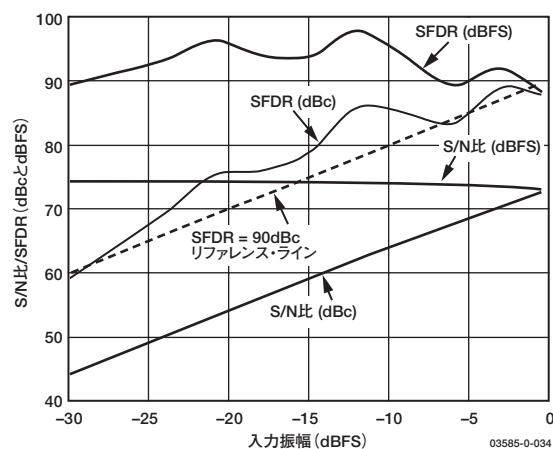
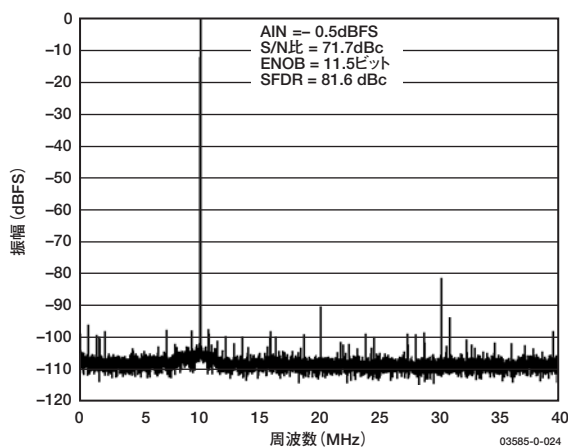
図12. 39MHzでのシングル・トーンS/N比/SFDRと入力振幅 (A_{IN}) の関係

図10. 70MHzでのシングル・トーン8K FFT

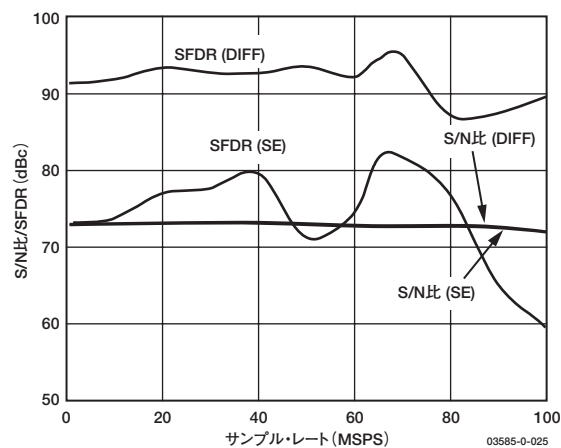


図13. 40MHzでのS/N比/SFDRとサンプル・レートの関係

AD9245

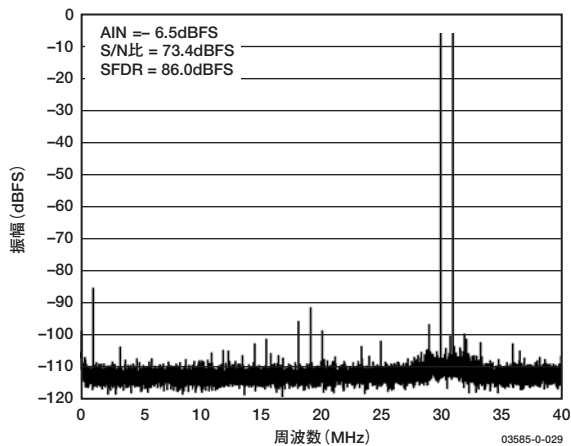


図14. 30MHzと31MHzでのツートーン8K FFT

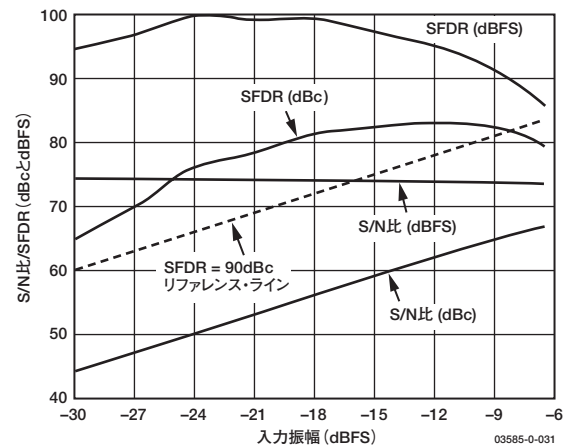


図17. 30MHzと31MHzでのツートーンS/N比/SFDRと入力振幅の関係

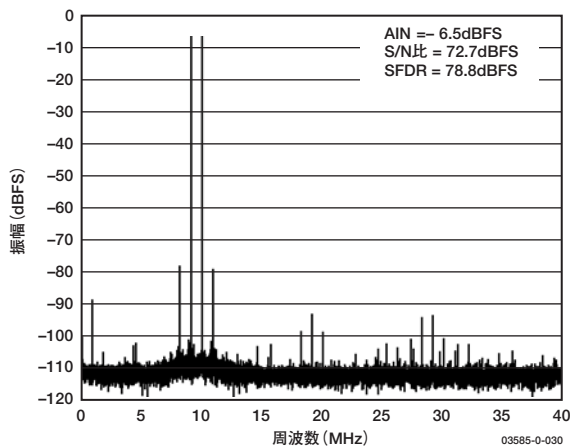


図15. 69MHzと70MHzでのツートーン8K FFT

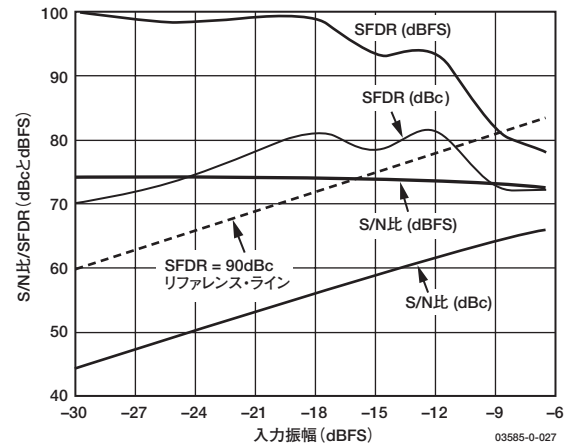


図18. 69MHzと70MHzでのツートーンS/N比/SFDRと入力振幅の関係

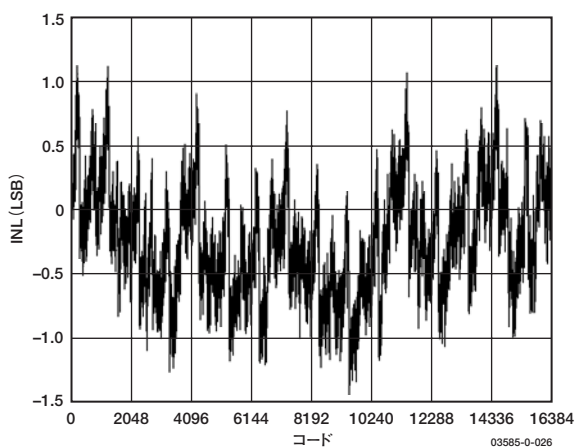


図16. 代表的なINL

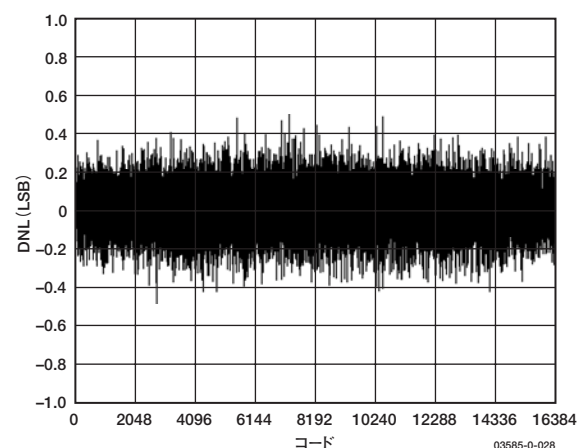


図19. 代表的なDNL

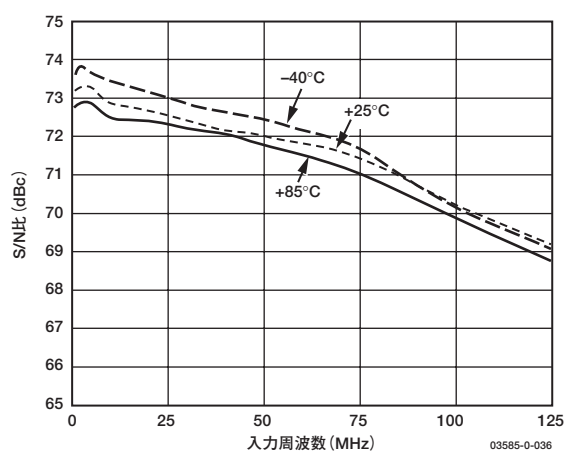


図20. S/N比と入力周波数の関係

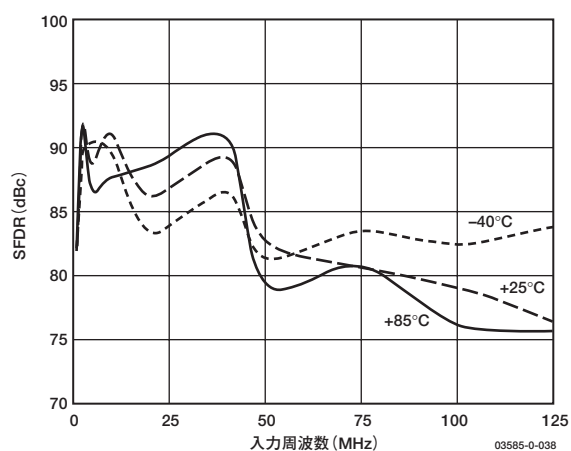


図23. SFDRと入力周波数の関係

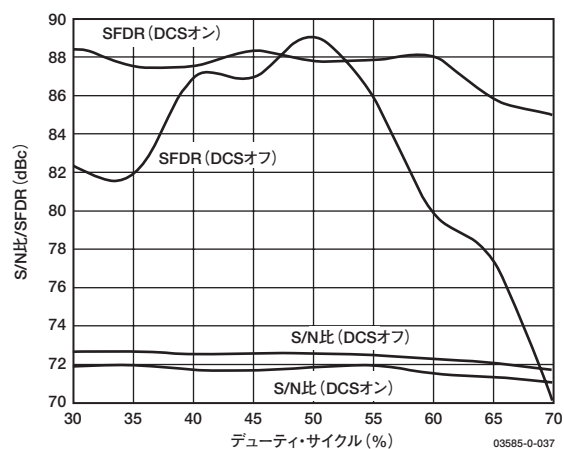
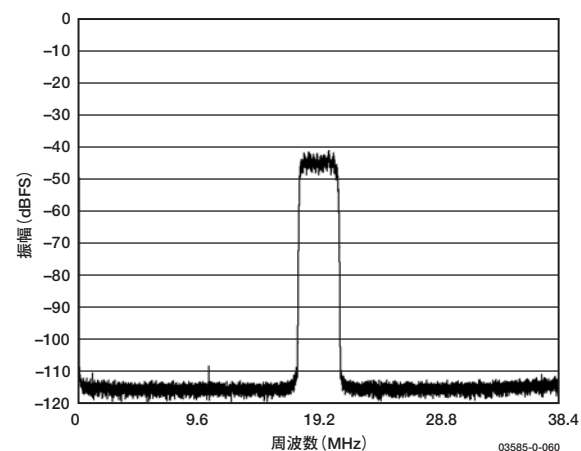
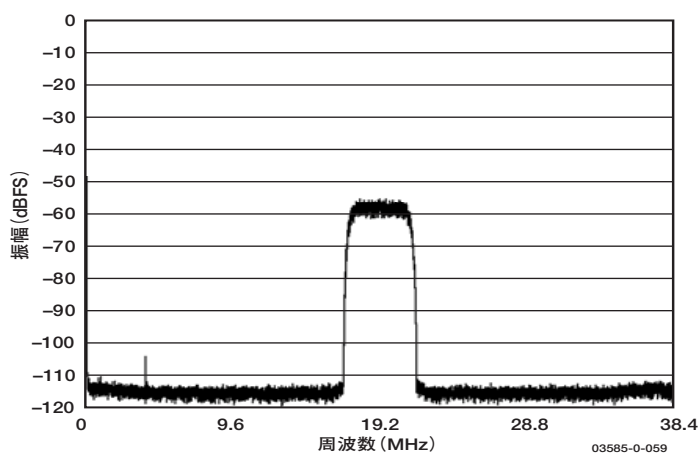
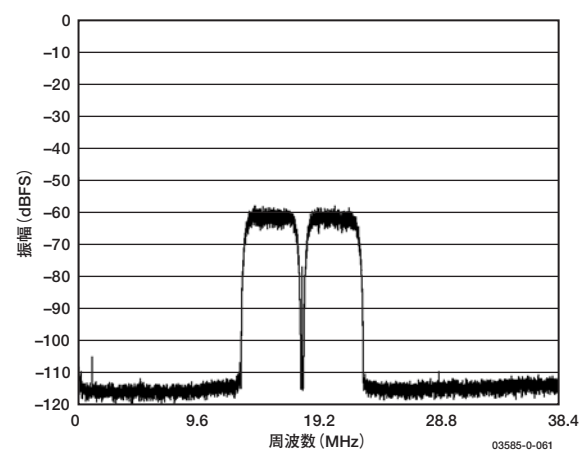


図21. S/N比/SFDRとクロック・デューティ・サイクルの関係

図24. $F_{IN}=46.08\text{MHz}$ 、サンプル・レート＝61.44MSPSでの2つの32K FFT
CDMA2Kキャリア図22. $F_{IN}=96\text{MHz}$ 、サンプル・レート＝76.8MSPSでの32K FFT WCDMA
キャリア図25. $F_{IN}=76.8\text{MHz}$ 、サンプル・レート＝61.44MSPSでの2つの32K FFT
WCDMAキャリア

AD9245

動作原理

AD9245のアーキテクチャは、フロントエンドのサンプル／ホールド・アンプ（SHA）と、これに続くパイプライン化されたスイッチド・キャパシタADCで構成されています。パイプライン化されたADCは、4ビットの第1段、それに続く1.5ビットの8つの段、さらに3ビットの最終フラッシュの3つのセクションに分けられます。各段には、前段のフラッシュ誤差を補正するために十分なオーバーラップがあります。各段からの量子化された出力はデジタル補正ロジックで結合され、14ビットの最終結果になります。パイプライン・アーキテクチャでは、第1段で新しい入力サンプルを処理し、残りの段では前のサンプルの処理を行います。サンプリングは、クロックの立ち上がりエッジで行われます。

パイプラインの最終段を除く各段は、スイッチド・キャパシタDACに接続された低分解能フラッシュADCと段間残留アンプ（MDAC）で構成されています。この残留アンプは、再構成されたDAC出力とパイプライン内の次の段に対するフラッシュ入力との差を増幅します。フラッシュ誤差のデジタル補正を容易にするため、各段で1ビットの冗長性を使用します。最終段は、フラッシュADCだけの構成になります。

入力段に含まれる差動SHAは、差動モードまたはシングルエンド・モードでAC結合またはDC結合が可能です。出力段のブロックがデータを整列させ、誤差補正を実行し、データを出力バッファに渡します。出力バッファには別電源から電力を供給するので、出力電圧振幅の調整が可能です。パワーダウン中は、出力バッファが高インピーダンス状態になります。

アナログ入力とリファレンスの概要

AD9245へのアナログ入力は差動スイッチド・キャパシタSHAで、差動入力信号の処理に最適な性能を発揮するように設計されています。SHA入力は、図26に示すように、広範なコモン・モード範囲（VCM）に対応し、優れた性能を維持します。電源電圧の1/2での入力コモン・モード電圧によって、信号依存の誤差を最小限に抑え、最適な性能を実現します。

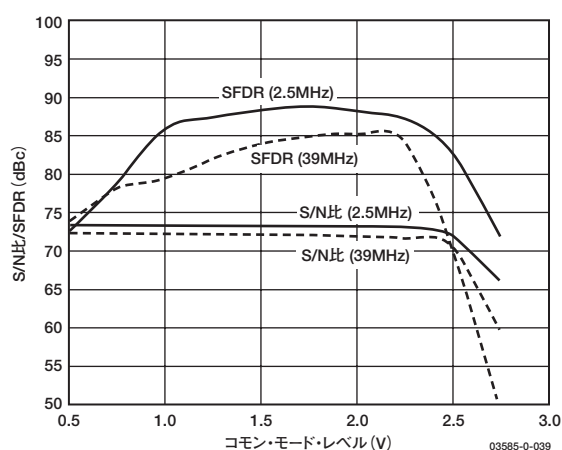


図26. S/N比、SFDRとコモン・モード・レベルの関係

図27に示すように、クロック信号は、SHAのサンプル・モードとホールド・モードを交互に切り替えます。SHAをサンプル・モードに切り替えるとき、信号源はサンプル・コンデンサに充電し、クロック・サイクルの1/2以内で整定できるものでなければなりません。各入力に直列に存在する小さな抵抗は、駆動源の出力段で必要とされるピーク過渡電流を低減するために効果的です。また、小さなシャント・コンデンサを入力間に接続して、ダイナミック充電電流を供給することもできます。この受動回路がADCの入力におけるローパス・フィルタになります。このため、正確な値はアプリケーションに依存します。IFアンダーサンプリング・アプリケーションでは、シャント・コンデンサを減らすか除去してください。シャント・コンデンサと駆動源インピーダンスの組み合わせによって、入力帯域幅が制限されます。

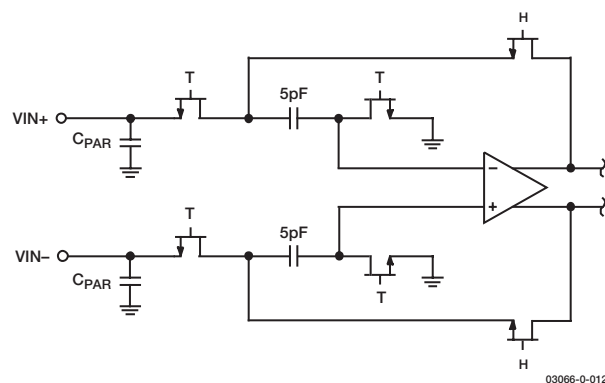


図27. スイッチド・キャパシタSHAの入力

最高のダイナミック性能を得るには、VIN+とVIN-を駆動するソース・インピーダンスを一致させて、コモン・モード整定誤差を対称にしてください。これらの誤差は、ADCのコモン・モード除去によって減少します。

内部の差動リファレンス・バッファによって作られる正と負のリファレンス（*REFT*と*REFB*）で、ADCコアのスパンが規定されます。リファレンス・バッファの出力コモン・モードは電源電圧の1/2に設定され、*REFT*電圧、*REFB*電圧、スパンは次のように定義されます。

$$REFT = \frac{1}{2} (AVDD + VREF)$$

$$REFB = \frac{1}{2} (AVDD - VREF)$$

$$\text{スパン} = 2 \times (REFT - REFB) = 2 \times VREF$$

上の式から分かるように、*REFT*電圧と*REFB*電圧は、電源電圧の1/2について対称で、定義によって、入力スパンは*VREF*電圧値の2倍になります。

内部リファレンスは、0.5Vまたは1.0Vの固定値にピン接続したり、「内部リファレンス接続」のセクションで説明するのと同じレンジで調整できます。AD9245を2V p-pの最大入力スパンに設定すると、最大のS/N比性能が得られます。2V p-pモードから1V p-pモードに変更するときの相対的なS/N比の低下は、3dBです。

SHAは、選択したリファレンスにおいて許容できるレンジ内に信号のピークを抑えるソースから駆動できます。最小と最大のコモン・モード入力レベルは、次のように定義されます。

$$VCM_{MIN} = \frac{VREF}{2}$$

$$VCM_{MAX} = \frac{(AVDD + VREF)}{2}$$

最小のコモン・モード入力レベルによって、AD9245においてグラウンド基準の入力が可能になります。

最適性能は差動入力で得られますが、シングルエンド・ソースをVIN+やVIN-に印加することもできます。この構成では、1つの入力は信号を受け付けますが、もう1つの入力の方は適切なリファレンスに接続して、ミッドスケールに設定してください。たとえば、1VリファレンスをVIN-に印加しながら、2V p-p信号をVIN+に印加することができます。これによって、AD9245は、2~0Vの間のさまざまな入力信号を受け付けるようになります。シングルエンド構成では、差動構成の場合に比べて、歪み性能が大幅に低下することもあります⁸、低い入力周波数ではこの影響は顕著ではありません。

差動入力構成

前述のように、最適性能は、AD9245を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションの場合、AD8138差動ドライバによってADCに優れた性能と柔軟なインターフェースがもたらされます。AD8138の出力コモン・モード電圧は簡単にAVDD/2に設定することができ、ドライバをSallen Keyフィルタ回路で構成して、入力信号の帯域制限を行うことができます。

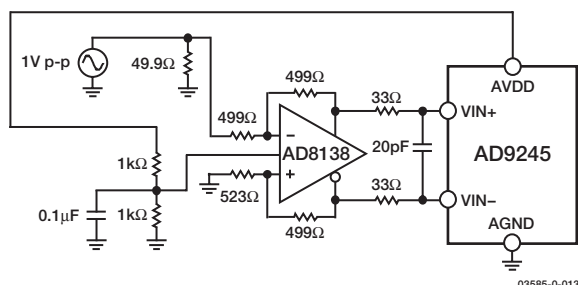


図28. AD8138を使用する差動入力構成

2次ナイキスト領域以上の入力周波数においては、大部分のアプリの性能はAD9245の真の性能を発揮させるのに不十分です。特に、70~100MHzレンジの周波数がサンプリングされるIFアンダーサンプリング・アプリケーションでは、これが当てはまります。こうしたアプリケーションでは、入力構成に差動トランス・カップリングの使用をお勧めします。シャント・コンデンサの値は入力周波数とソース・インピーダンスに依存するため、減らすか除去してください。図29に、一例を示します。

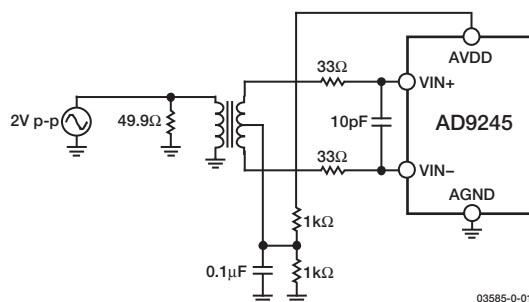


図29. 差動トランスのカップリング構成

トランスを選択するときには、信号特性を考慮する必要があります。大部分のRFトランスは数MHz以下の周波数で飽和し、過剰な信号電力でもコア飽和が生じ、これによって歪みが生じることがあります。

シングルエンド入力構成

シングルエンド入力は、価格重視のアプリケーションで十分な性能を提供できます。この構成では、大きな入力コモン・モード振幅によってSFDRと歪み性能が低下します（図13を参照）。しかし、各入力でのソース・インピーダンスが一致した場合には、S/N比性能にはほとんど影響がありません。図30に、代表的なシングルエンド入力構成を示します。

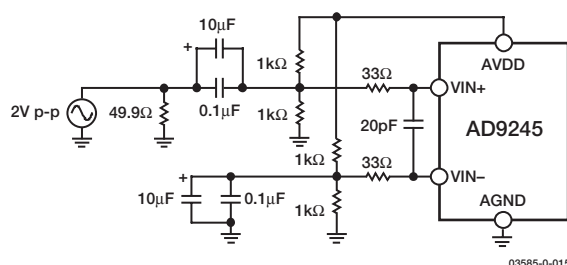


図30. シングルエンド入力構成

クロック入力の考慮事項

代表的な高速ADCでは、両方のクロック・エッジを使用してさまざまな内部タイミング信号を生成するため、クロック・デューティ・サイクルに影響されやすくなることがあります。一般に、ダイナミック性能特性を維持するには、クロック・デューティ・サイクルの変動を5%以内に抑える必要があります。AD9245の内蔵クロック・デューティ・サイクル安定器(DCS)は、非サンプリング・エッジのタイミングを再生して、ノミナル50%のデューティ・サイクルを持つ内部クロック信号を供給します。これによって、AD9245の性能に影響を与えることなく、広範囲のクロック入力デューティ・サイクルが可能になります。図21に示すように、DCSオンでの30~70%のデューティ・サイクルでノイズと歪みの性能はほぼ平坦です。

デューティ・サイクル安定器は、遅延ロック・ループ(DLL)を使用して、非サンプリング・エッジを生成します。その結果、サンプリング周波数が変化すると、DLLが新しいレートを取得してロックするために、約100クロック・サイクルが必要になります。

AD9245

ジッターの考慮事項

高速で高分解能のADCは、クロック入力の質に敏感です。アパーチャ・ジッター (t_J) だけにに基づく特定入力周波数 (f_{INPUT}) でのS/N比の低下は、次の式で計算できます。

$$\text{S/N比} = 20 \log \left[\frac{\pi}{2} f_{\text{INPUT}} \times t_J \right]$$

この式で、アパーチャ・ジッター実効値は、クロック入力、アナログ入力信号、ADCアパーチャ・ジッター仕様値を含む全ジッター・ソースの2乗平均平方根になります。IFアンダーサンプリング・アプリケーションは、ジッターに特に敏感です (図31を参照)。

アパーチャ・ジッターがAD9245のダイナミックレンジに影響を与える可能性がある場合は、クロック入力をアナログ信号として扱ってください。クロック信号をデジタル・ノイズで変調しないように、クロック・ドライバ用の電源をADC出力ドライバの電源から分離してください。低ジッターの水晶制御発振器は、最高のクロック・ソースになります。クロックが別のタイプのソースから (ゲートや分周などの方法によって) 生成される場合は、最後のステップで、元のクロックによってタイミングを再生する必要があります。

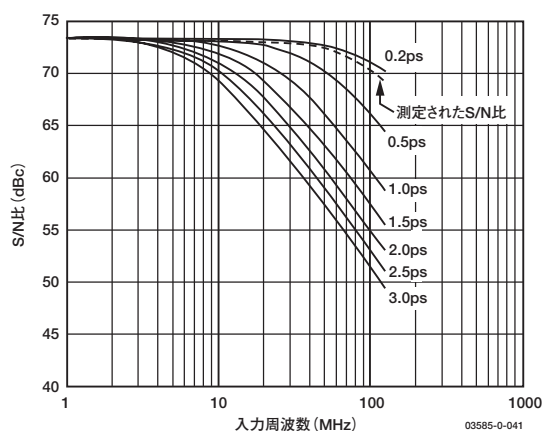


図31. S/N比と入力周波数およびジッターの関係

消費電力とスタンバイ・モード

図32に示すように、AD9245が消費する電力は、そのサンプル・レートに比例します。デジタル消費電力は、主にデジタル・ドライバの電流と各出力ビットでの負荷の大きさによって決まります。最大のDRVDD電流 (I_{DRVDD}) は、次のように計算できます。

$$I_{\text{DRVDD}} = V_{\text{DRVDD}} \times C_{\text{LOAD}} \times f_{\text{CLK}} \times N$$

ここで、 N は出力ビット数で、AD9245では14になります。この最大電流が発生するのは、すべての出力ビットがすべてのクロック・サイクルでスイッチングするとき、つまり、ナイキスト周波数 ($f_{\text{CLK}}/2$) でフルスケール方形波が入力されたときです。実際には、DRVDD電流は出力ビットの平均スイッチング数によって定められ、平均スイッチング数はサンプル・レートとアナログ入力信号の特性によって決まります。

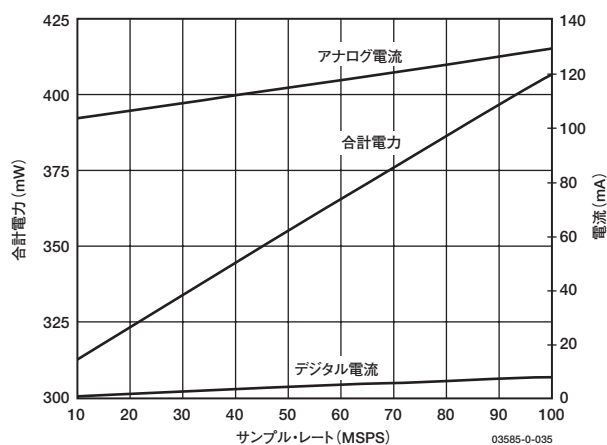


図32. 2.5MHzでの電力/電流とサンプル・レートの関係

出力ドライバに接続される容量性負荷を減らすことで、デジタル消費電力を最小限に抑えることができます。図32に示すデータは、各出力ドライバに5pFの負荷を接続し、「代表的な性能特性」と同じ動作条件で得たものです。

PDWNピンをハイレベルにアサートすると、AD9245はスタンバイ・モードになります。この状態では、CLK入力とアナログ入力がスタティックな場合、一般にADCが消費する電力は1mWです。スタンバイ中には、出力ドライバが高インピーダンス状態になります。PDWNピンをローレベルにアサートし直すと、AD9245は通常の動作モードに戻ります。

スタンバイ・モードでは、リファレンス、リファレンス・バッファ、バイアス回路をシャットダウンすることで低消費電力を実現します。REFLTとREFBに接続するデカップリング・コンデンサはスタンバイ・モードに入ると放電し、通常動作に戻るときに再充電しなければなりません。この結果、ウェイクアップ時間はスタンバイ・モードになっていた時間に関係し、スタンバイ・サイクルが短いほど、それに比例してウェイクアップ時間も短くなります。REFLTとREFBに推奨の0.1μFと10μFのデカップリング・コンデンサを接続すると、リファレンス・バッファのデカップリング・コンデンサを完全に放電するために約1秒かかり、フル動作に復元するために7msかかります。

デジタル出力

AD9245の出力ドライバを2.5Vまたは3.3Vのロジック・ファミリーに接続するために設定する場合、接続先のロジックのデジタル電源にDRVDDを一致させます。出力ドライバは、多種多様なロジック・ファミリーを駆動するために十分な出力電流を提供できるよう設計されています。ただし、大きな駆動電流によって電源に電流グリッチが発生してコンバータ性能に影響を与えることがあります。ADCで大きな容量性負荷や大きなファンアウトを駆動する必要があるアプリケーションでは、外部バッファやラッチが必要となることもあります。

表IVに示すように、データ・フォーマットには、オフセット・バイナリか2の補数を選択できます。

タイミング

AD9245は、7クロック・サイクルのパイプライン遅延を持つラッチされたデータ出力を提供します。データ出力は、クロック信号の立ち上がりエッジから1伝搬遅延 (t_{PD}) 後に有効になります。詳細なタイミングについては、図2を参照してください。

AD9245内の過渡電圧を減らすには、出力データ・ラインの長さや、それらに接続される負荷を最小限に抑えてください。こうした過渡電圧は、コンバータのダイナミック性能を低下させることがあります。

AD9245の最低変換レート (typ値) は1MSPSです。1MSPSより下のクロック・レートでは、ダイナミック性能が低下することがあります。

リファレンス

AD9245は、安定した正確な0.5Vリファレンスを内蔵しています。入力範囲を調整するには、内部リファレンスまたは外部リファレンスを使用して、AD9245に印加するリファレンスを変更します。ADCの入力スパンは、リファレンスの変化に比例して変化します。さまざまなリファレンス・モードを表IIIにまとめ、以下のセクションで説明します。

トランスを通じてADCを差動で駆動する場合は、リファレンスを使用してセンター・タップをバイアスできます (コモン・モード電圧)。

内部リファレンスの接続

AD9245内のコンパレータは、SENSEピンでの電位を検出し、表IIIに示す4つの状態のいずれかにリファレンスを設定します。SENSEがグラウンド・レベルの場合、リファレンス・アンプ・スイッチが内部抵抗分割器に接続され (図33を参照)、VREFは1Vに設定されます。SENSEピンをVREFに接続すると、リファレンス・アンプの出力がSENSEピンに切り替えられ、ループが構成されて、0.5Vのリファレンス出力が供給されます。図35に示すように抵抗分割器を接続する場合には、スイッチが再びSENSEピンに設定されます。これによって、リファレンス・アンプは非反転モードになり、VREF出力は次のように定義されます。

$$VREF = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

すべてのリファレンス設定で、REFTとREFBでA/D変換コアを駆動し、その入力スパンを決めます。ADCの入力範囲は、内部／外部リファレンスに対して、常にリファレンス・ピンでの電圧の2倍になります。

表III. リファレンス設定のまとめ

選択するモード	SENSE電圧	内部スイッチ位置	得られるVREF (V)	得られる差動スパン (V p-p)
外部リファレンス	AVDD	N/A	N/A	2×外部リファレンス
内部固定リファレンス	VREF	SENSE	0.5	1.0
プログラマブル・リファレンス	0.2V～VREF	SENSE	$0.5 \times \left(1 + \frac{R2}{R1} \right)$ (図35 参照)	2×VREF
内部固定リファレンス	AGND～0.2V	内部分割器	1.0	2.0

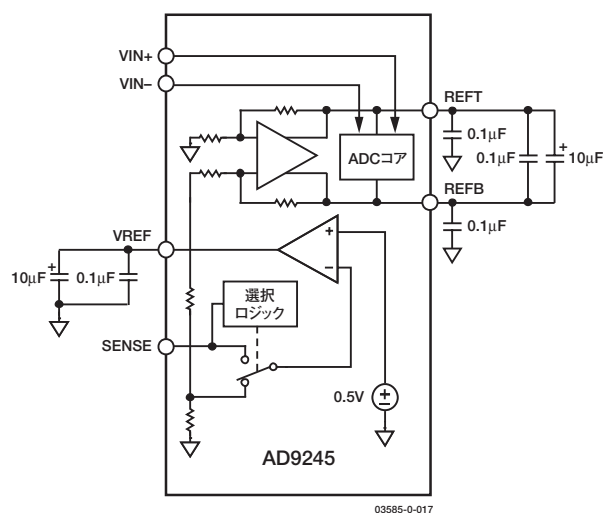


図33. 内部リファレンスの設定

ゲイン・マッチングを改善するために、AD9245の内部リファレンスを使用して複数のコンバータを駆動する場合は、他のコンバータによるリファレンス負荷を考慮する必要があります。図34に、内部リファレンスに対する負荷の影響を示します。

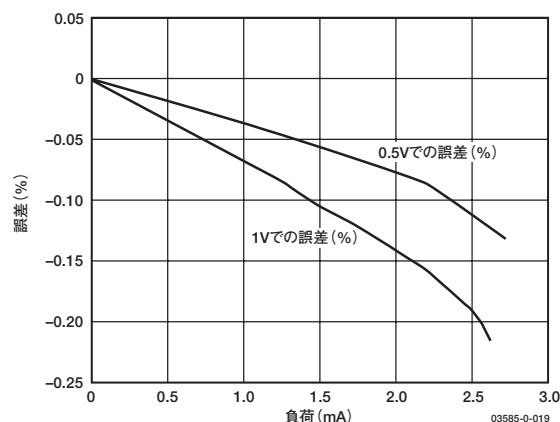


図34. VREF精度と負荷

AD9245

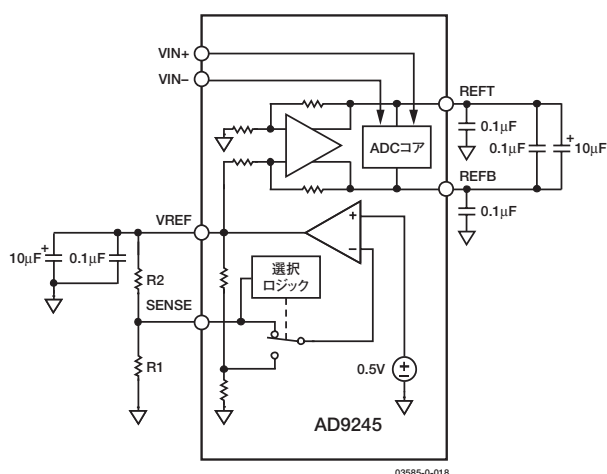


図35. プログラマブル・リファレンスの設定

外部リファレンスの動作

ADCのゲイン精度を高めたり、熱ドリフト特性を改善するには、外部リファレンスを使用しなければならないことがあります。複数のADCが互いに監視する場合は、ゲイン・マッチング誤差を許容可能なレベルまで減らすために、内部または外部の1つのリファレンスが必要になることがあります。図36に、1Vモードと0.5Vモードでの内部リファレンスの代表的なドリフト特性を示します。

SENSEピンをAVDDに接続すると、内部リファレンスがディスエーブルにされ、外部リファレンスを使用できるようになります。内部リファレンス・バッファは、外部リファレンスに7kΩの等価負荷をロードします。内部バッファからは、ADCコアに対する正と負のフルスケール・リファレンス（REFTとREFB）が依然として提供されます。入力スパンは常にリファレンス値の2倍になるため、外部リファレンスは最大1Vに制限する必要があります。

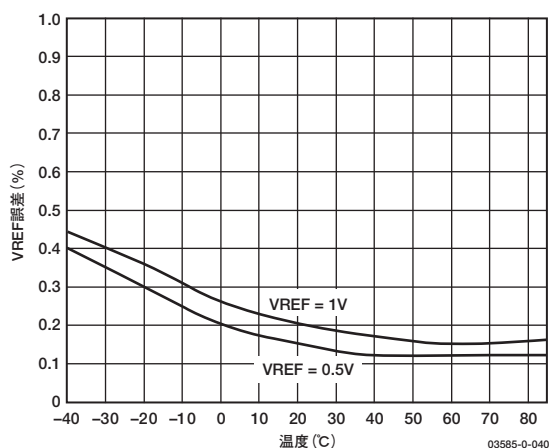


図36. 代表的なVREFドリフト

動作モードの選択

前述のように、AD9245は、オフセット・バイナリまたは2の補数のフォーマットでデータを出力できます。クロック・デューティ・サイクル安定器（DCS）をイネーブル／ディスエーブルにする機能も備えています。MODEピンは、データ・フォーマットとDCS状態を制御するマルチレベル入力です。表IVに、入力スレッショルド値と対応するモードの選択を示します。

表IV. モードの選択

MODE電圧	データ・フォーマット	デューティ・サイクル安定器
AVDD	2の補数	ディスエーブル
2/3AVDD	2の補数	イネーブル
1/3AVDD	オフセット・バイナリ	イネーブル
AGND (デフォルト)	オフセット・バイナリ	ディスエーブル

評価ボード

AD9245評価ボードは、ADCをさまざまなモードと設定で動作させるために必要なすべてのサポート回路を提供します。全回路図とレイアウトを以下に示します。これは、システム・レベルで使用する適切な配線とグラウンド接続の技術を示しています。

コンバータの究極の性能を実現するには、きわめて低い位相ノイズ（1ps未満のrmsジッター）を持つ信号源を使用することが不可欠です。仕様のノイズ性能を実現するには、入力信号の適切なフィルタリングによって、高調波を除去し、入力での総合ノイズを下げる必要もあります。

AD9245は、トランスを通じてシングルエンドまたは差動で駆動できます。DUTをサポート回路から絶縁するために、別個の電源ピンがあります。それぞれの入力設定は、さまざまなジャンパを適切に接続することによって選択します（回路図を参照）。

AD8351オペアンプを使用する代替の差動アナログ入力バスは、レイアウトに含まれていますが、出荷時には実装されていません。ADC付きオペアンプの評価に関心がある設計者は、C15、R12、R3を除去し、オペアンプ回路を実装してください。AD8351出力とAD9245との間の受動回路によって、ユーザーは、オペアンプの周波数応答をアプリケーションに合わせて最適化できます。



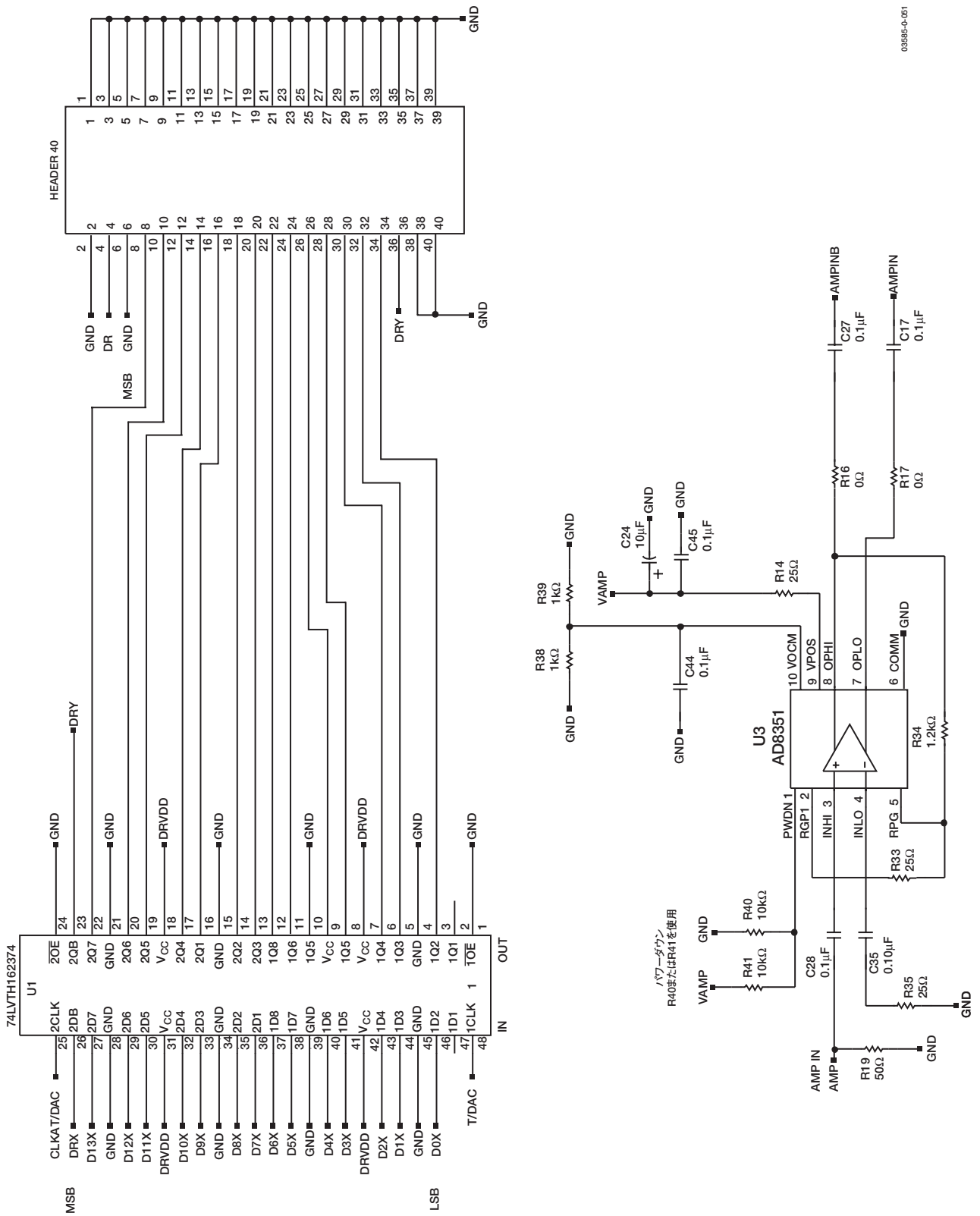
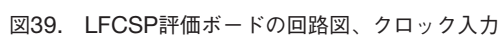
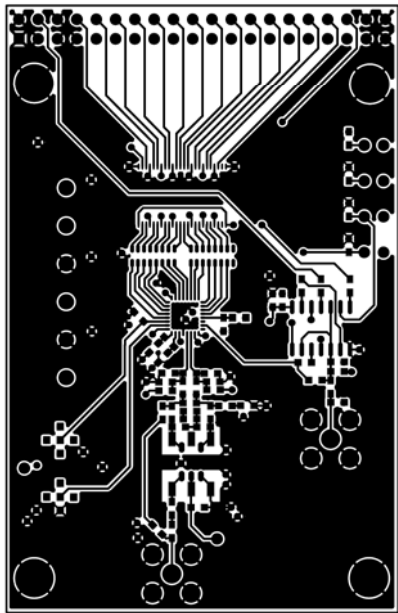


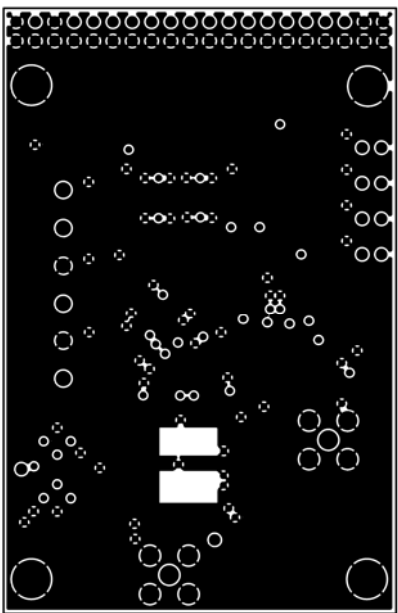
図38. LFCSP評価ボードの回路図、デジタル・パス





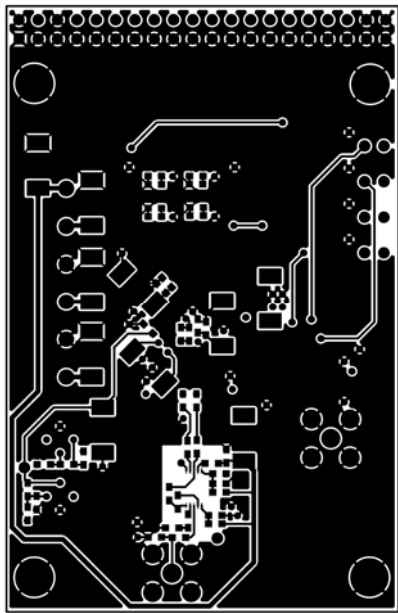
03585-0-053

図40. LFCSP評価ボードのレイアウト、表面



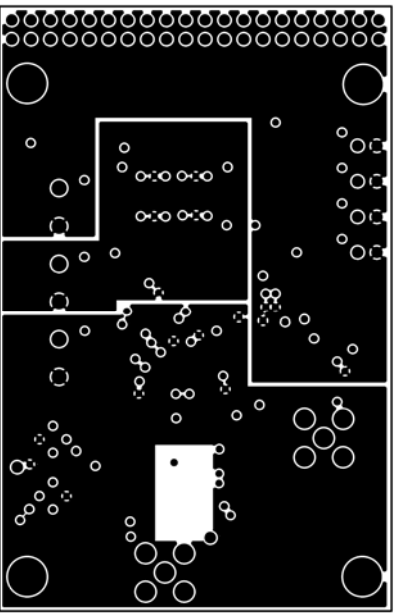
03585-0-055

図42. LFCSP評価ボードのレイアウト、グラウンド・プレーン



03585-0-054

図41. LFCSP評価ボードのレイアウト、裏面



03585-0-056

図43. LFCSP評価ボードのレイアウト、電源プレーン



図44. LFCSP評価ボードのレイアウト、表面シルクスクリーン



図45. LFCSP評価ボードのレイアウト、裏面シルクスクリーン

AD9245

表V. LFCSP評価ボードの部品表

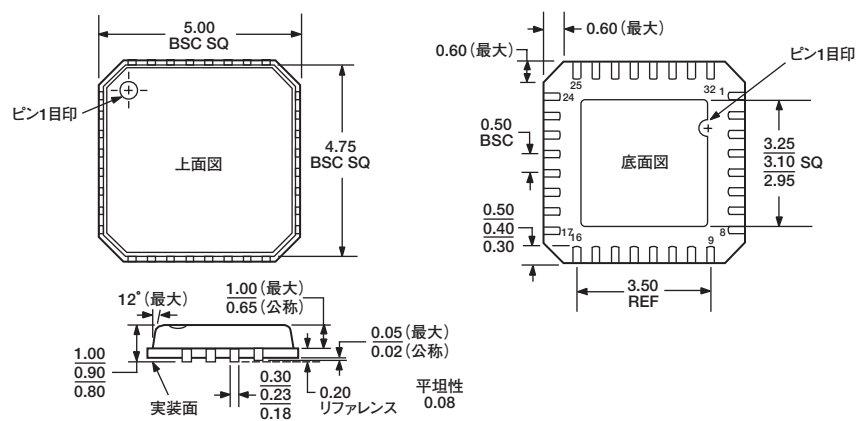
項目	数量	省略 ¹	参照記号	デバイス	パッケージ	値	推奨ベンダー／ パーツ番号	ADIから の提供
1	18		C1、C5、C7、C8、C9、C11、C12、 C13、C15、C16、C31、C33、C34、 C36、C37、C41、C43、C47	チップ・コンデンサ	0603	0.1μF		
		8	C6、C18、C27、C17、C28、C35、 C45、C44					
2	8		C2、C3、C4、C10、C20、C22、 C25、C29	タンタル・ コンデンサ	TAJD	10μF		
		2	C46、C24					
3	8		C14、C30、C32、C38、C39、C40、 C48、C49	チップ・コンデンサ	0603	0.001μF		
4	3		C19、C21、C23	チップ・コンデンサ	0603	10pF		
5	1		C26	チップ・コンデンサ	0603	10pF		
6	9		E31、E35、E43、E44、E50、E51、 E52、E53	ヘッダー	EHOLE		ジャンパ・ブロック	
		2	E1、E45					
7	2		J1、J2	SMAコネクタ／50Ω	SMA			
8	1		L1	インダクタ	0603	10nH	Coilcraft/0603CS- 10NXGBU	
9	1		P2	端子ブロック	TB6		Wieland/25.602.2653.0, z5-530-0625-0	
10	1		P12	ヘッダー・デュアル 20ピンRTアングル	HEADER 40		Digi-Key S2131-20-ND	
11	5		R3、R12、R23、R28、RX	チップ抵抗	0603	0Ω		
		6	R37、R22、R42、R16、R17、R27					
12	2		R4、R15	チップ抵抗	0603	33Ω		
13	14		R5、R6、R7、R8、R13、 R20、R21、R24、R25、R26、 R30、R31、R32、R36	チップ抵抗	0603	1kΩ		
14	2		R10、R11	チップ抵抗	0603	36Ω		
15	1		R29	チップ抵抗	0603	50Ω		
		1	R19					
16	2		RP1、RP2	抵抗パック	R_742	220Ω	Digi-Key CTS/742C163220JTR	
17	1		T1	ADT1-1WT	AWT1-1T		Mini-Circuits	
18	1		U1	74LVTH162374 CMOSレジスタ	TSSOP-48			
19	1		U4	AD9245BCP ADC (DUT)	CSP-32		アナログ・デバイセズ社	×
20	1		U5	74VCX86M	SOIC-14		Fairchild	
21	1		PCB	AD92XXBCP/PCB	PCB		アナログ・デバイセズ社	×
22		1	U3	AD8351 オペアンプ	MSOP-8		アナログ・デバイセズ社	×
23		1	T2	MACOM トランス	ETC1-1-13	1-1 TX	MACOM/ETC1-1-13	
24		5	R9、R1、R2、R38、R39	チップ抵抗	0603	SELECT		
25		3	R18、R14、R35	チップ抵抗	0603	25Ω		
26		2	R40、R41	チップ抵抗	0603	10kΩ		
27		1	R34	チップ抵抗		1.2kΩ		
28		1	R33	チップ抵抗		100Ω		
合計	78	20						

¹ これらの項目は、PCB設計には含まれていますが、組み立て時には省略されています。

外形寸法

32ピン・フレーム・チップ・スケール・パッケージ [LFCSP]
(CP-32)

寸法はミリメートルで表示



JEDEC規格MO-220-VHHD-2に準拠

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ外形
AD9245BCP-80 ¹	-40～+85℃	ピン・フレーム・チップ・スケール・パッケージ (LFCSP)	CP-32
AD9245BCPRL7-80 ¹	-40～+85℃	ピン・フレーム・チップ・スケール・パッケージ (LFCSP)	CP-32
AD9245BCP-80EB ¹		評価ボード	

¹ 露出パドルをLFCSPパッケージのグラウンド・プレーンにハンダ付けすることをお勧めします。ハンダ接合部の信頼性は向上しており、露出パドルをカスタム・ボードにハンダ付けすることで、パッケージの最大の熱性能が実現できます。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD9245

