

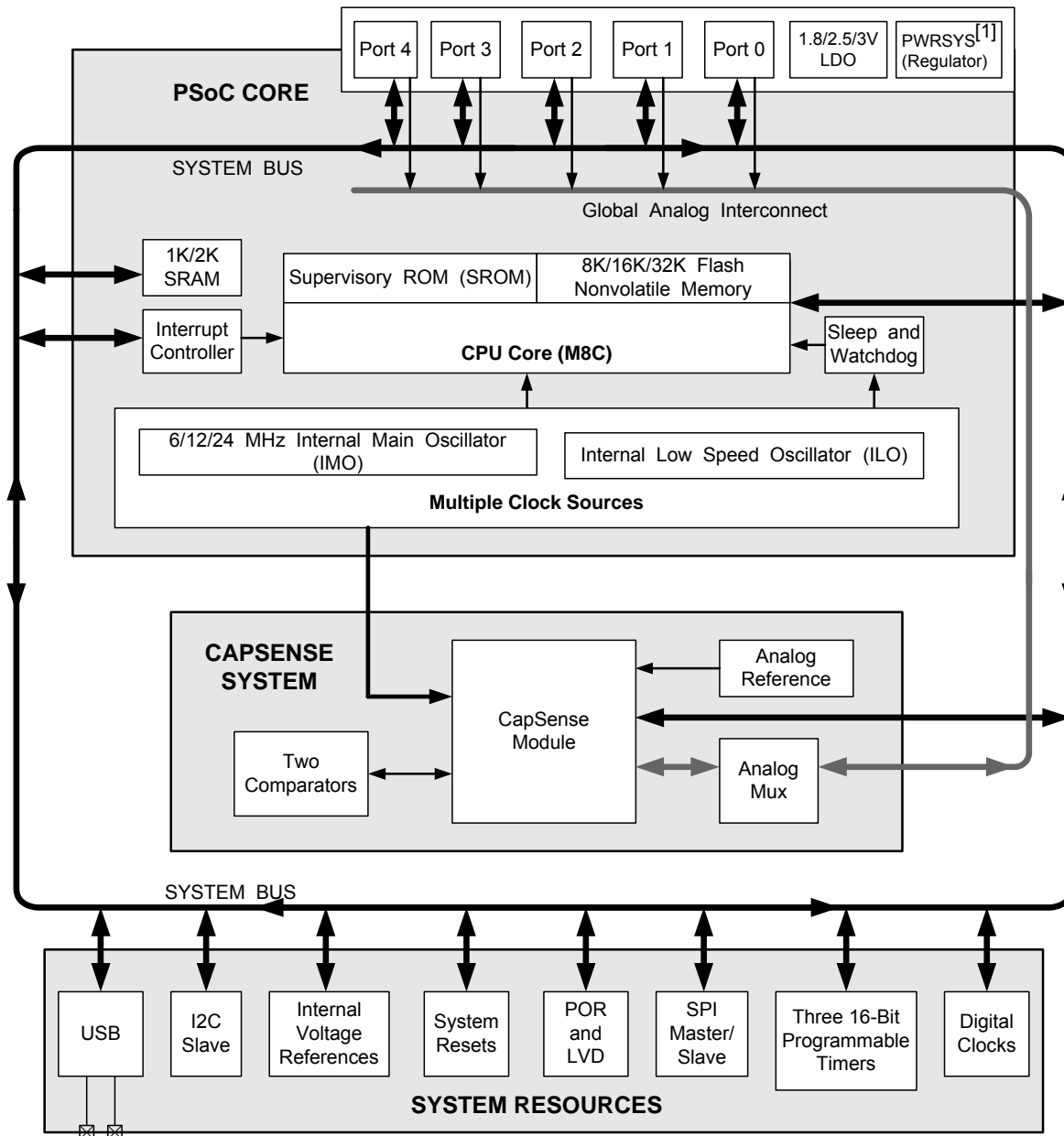
1 ~ 33 ボタン、0 ~ 6 スライダーの SmartSense™
自動チューニングを備えた 1.8V プログラマブルな
CapSense® コントローラー

特長

- SmartSense 自動チューニングを備えた低消費電力 CapSense® ブロック
 - 特許 CSA_EMC、CSD センシング アルゴリズム
 - SmartSense_EMC 自動チューニング
 - 実行中に最適なセンサーの性能を設定し維持
 - 開発と量産段階のシステム チューニングの必要性を排除
 - 製造工程でのばらつきを補正。平均消費電力が低い：動作時に 28µA/ センサー (125ms 毎に 1 回ウェイクアップしてスキャン処理を行う)
- 高性能ハーバード アーキテクチャ プロセッサ
 - 最高速度 24MHz の M8C CPU
- 動作電圧範囲：1.71V ~ 5.5V
 - スタンバイ モード：1.1µA (Typ)
 - ディープ スリープ：0.1µA (Typ)
- 動作温度範囲：-40°C ~ +85°C
- 柔軟性のあるオンチップ メモリ
 - 8KB フラッシュ、1KB SRAM
 - 16KB フラッシュ、2KB SRAM
 - 32KB フラッシュ、2KB SRAM
 - EEPROM エミュレーションによる Read-While-Write 機能
 - 5 万回の消去/書き込みが可能なフラッシュ
 - システム内プログラミングにより製造プロセスを簡略化
- 4 つのクロック ソース
 - 内部メイン振動子 (IMO): 6 / 12 / 24MHz
 - ウォッチドッグおよびスリープ タイマー用の 32kHz 内部低速振動子 (ILO)
 - 32kHz 外部水晶振動子
 - 外部クロック入力
- プログラマブルなピン構成
 - ボタンかスライダーとして設定可能な最大 36 本の汎用 I/O (GPIO)
 - デュアルモード GPIO (アナログ入力とデジタル I/O に対応)
 - 各 GPIO で 25mA の高いシンク電流に対応
 - すべての GPIO で合計 120mA までのシンク電流に対応
 - ソース電流
 - ポート 0 と 1 では 5mA
 - ポート 2、3、4 では 1mA
 - 設定可能な内部プルアップ、High-Z とオープン ドレイン モード
 - ポート 1 上の選択可能な安定化デジタル I/O
 - ポート 1 上の設定可能な入力閾値
- 汎用性の高いアナログ機能
 - 内部アナログ バスは、連結近接センサーを形成するように複数のセンサー間の接続をサポート
 - 高い電源電圧変動除去比 (PSRR) を実現する内部低ドロップアウト電圧レギュレータ
- フルスピード USB
 - 12Mbps USB 2.0 に準拠
- その他のシステム リソース
 - I²C スレーブ：
 - 50kHz、100kHz、または 400kHz を選択可能
 - 最大 12MHz の SPI マスターおよびスレーブとして構成可能
 - 3 個の 16 ビット タイマー
 - ウォッチドッグ タイマーとスリープ タイマー
 - 内蔵の監視回路
 - 内部電圧リファレンスに対応した 10 ビット インクリメンタル アナログ - デジタル コンバーター (ADC)
 - 2 個の汎用高速低消費電力アナログ コンパレータ
- 完全な開発ツール
 - 無償の開発ツール (PSoC Designer™)
- センサーとパッケージのオプション
 - 10 センサー - QFN 16、24
 - 16 センサー - QFN 24
 - 22/25 センサー - QFN 32
 - 24 センサー - WLCSP 30
 - 31 センサー - SSOP 48
 - 33 センサー - QFN 48

エラッタ：シリコン チップ エラッタに関する情報については、47 ページのエラッタをご参照ください。詳細には、トリガー条件、影響を受けるデバイス、および提案する回避策が含まれています。

論理ブロック図



注：
1. 内部回路用の内蔵電圧レギュレータ

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの総合リストについては、「[Resources Available for CapSense® Controllers - KBA92181](#)」知識ベース記事をご参照ください。以下は CapSense のリソースの要約です。

- 概要 : CapSense ポートフォリオ、CapSense ロードマップ
- 製品セクター : CapSense、CapSense Plus、CapSense Express、CapSense 付きの PSoC3、CapSense 付きの PSoC5、PSoC4。さらに、PSoC Designer は新規プロジェクト作成時のデバイス選択ツールも提供しています。
- アプリケーション ノート : サイプレスは、基本レベルから上級レベルまでの様々なトピックに触れる CapSense アプリケーション ノートを提供しています。以下は、CapSense 入門用の推奨アプリケーション ノートです。
 - AN64846: CapSense 入門
 - AN73034: CY8C20xx6A/H/AS CapSense® デザインガイド
 - AN2397: CapSense® データ表示ツール
- テクニカル リファレンス マニュアル (TRM):
 - PSoC® CY8C20xx6A/AS/L ファミリのテクニカル リファレンス マニュアル
- 開発キット :
 - 汎用 CY3280-20x66 CapSense コントローラーキットはあらかじめ設定された制御回路、プラグイン ハードウェアを

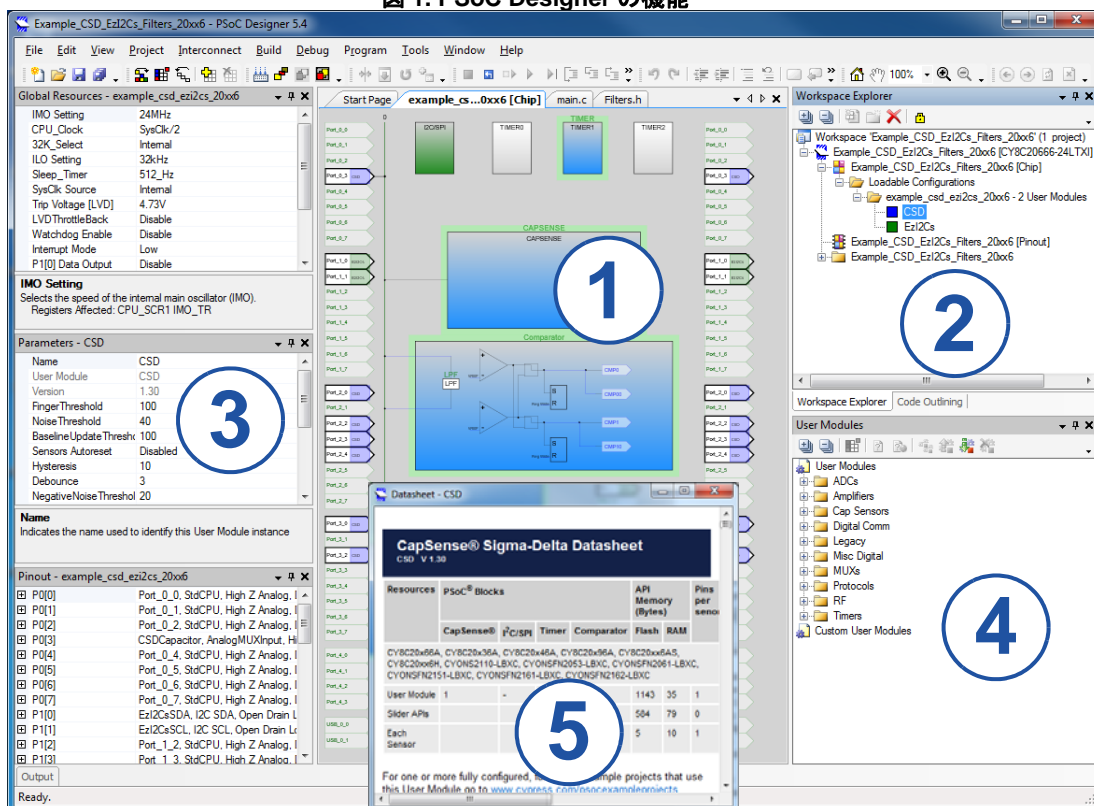
- 備えており、プロトタイプやデバッグを簡単に行えます。調整およびデータ取得用にプログラミングおよび I2C-USB ブリッジ ハードウェアが含まれています。
 - CY3280-BMM マトリックス ボタン モジュール キットは、4x4 マトリックス形式として構成される 8 個の CapSense センサーからなります (すなわち、16 個の物理的ボタンおよび 8 個の LED が形成される)。このモジュールは CY3280-20x66 ユニバーサル CapSense コントローラーを含むあらゆる CY3280 ユニバーサル CapSense コントローラー基板に接続します。
 - CY3280-BSM シンプル ボタン モジュール キットは、10 個の CapSense ボタンと 10 個の LED から成ります。このモジュールは CY3280-20x66 ユニバーサル CapSense コントローラーを含むあらゆる CY3280 ユニバーサル CapSense コントローラー基板に接続します。
- CY3217-MiniProg1 および CY8CKIT-002 PSoC® MiniProg3 デバイスはフラッシュのプログラミング用のインターフェースを提供します。

PSoC Designer

PSoC Designer は無償の Windows ベースの統合設計環境 (IDE) です。このキットにより、CapSense ベースのシステムについて、ハードウェアとファームウェアの同時進行の設計が可能です (図 1 をご参照ください)。PSoC Designer により、以下が可能となります。

1. ユーザー モジュールをドラッグ アンド ドロップして、メイン デザイン ワークスペースでハードウェア システム デザインを構築します。
2. PSoC Designer IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを相互設計します。
3. ユーザー モジュールを設定します。
4. ユーザー モジュールのライブラリを利用します。
5. ユーザー モジュールのデータシートを確認します。

図 1. PSoC Designer の機能



目次

PSoC® 機能概要	5	I2C の DC 仕様	27
PSoC コア	5	リファレンスバッファの DC 仕様	27
CapSense システム	5	IDAC の DC 仕様	27
その他のシステム リソース	6	チップ レベルの AC 仕様	28
はじめに	7	GPIO の AC 仕様	29
CapSense 設計ガイド	7	コンパレータの AC 仕様	30
シリコン エラッタ	7	外部クロックの AC 仕様	30
開発キット	7	プログラミングの AC 仕様	31
トレーニング	7	I2C の AC 仕様	32
CYPros コンサルタント	7	パッケージ情報	35
ソリューションズ ライブラリ	7	熱インピーダンス	38
テクニカル サポート	7	水晶振動子ピンの静電容量	38
開発ツール	8	はんだリフローの仕様	38
PSoC Designer ソフトウェア サブシステム	8	開発ツールの選択	39
PSoC Designer を使用したデザイン	9	ソフトウェア	39
ユーザー モジュールの選択	9	開発キット	39
ユーザー モジュールの設定	9	評価ツール	39
構成および接続	9	デバイス プログラマ	39
生成、検証、およびデバッグ	9	アクセサリ	39
ピン配列	10	(エミュレーションおよびプログラミング)	40
16 ピン QFN (10 本のセンシング入力)[3、4]	10	サードパーティ ツール	40
24 ピン QFN (17 本のセンシング入力)[8]	11	基板上の PSoC エミュレータの構築	40
24 ピン QFN (15 本のセンシング入力		注文情報	41
(USB 付き))[13]	12	注文コードの定義	43
30 ボール WLCSP (24 本のセンシング入力)[18]	13	略語	44
32 ピン QFN (25 本のセンシング入力)[22]	14	参考資料	44
32 ピン QFN (22 本のセンシング入力		本書の表記法	45
(USB 付き))[27]	15	測定単位	45
48 ピン SSOP (31 本のセンシング入力)[32]	16	数値の表記法	45
48 ピン QFN (33 本のセンシング入力)[36]	17	用語集	46
48 ピン QFN (33 本のセンシング入力		エラッタ	47
(USB 付き))[41]	18	認定の状態	47
48 ピン QFN (OCD) (33 本のセンシング入力)[46]	19	エラッタのまとめ	47
電氣的仕様	20	改訂履歴	50
絶対最大定格	20	セールス、ソリューションおよび法律情報	51
動作温度	20	ワールドワイド販売と設計サポート	51
チップ レベルの DC 仕様	21	製品	51
GPIO の DC 仕様	22	PSoC® ソリューション	51
アナログ マルチプレクサ バスの DC 仕様	24	サイプレス開発者コミュニティ	51
低消費電力コンパレータの DC 仕様	24	テクニカル サポート	51
コンパレータ ユーザー モジュールの電氣的仕様	25		
ADC の電氣的仕様	25		
POR および LVD の DC 仕様	26		
プログラミングの DC 仕様	26		

PSoC[®] 機能概要

PSoC ファミリーは、複数の従来型マイクロコントローラ ユニット (MCU) ベースのコンポーネントを低コストのプログラム可能なシングルチップコンポーネント1台で置き換えられるように設計された、オンチップ コントローラ デバイスで構成されています。PSoC デバイスは、設定可能なアナログ ブロックとデジタルブロック、およびプログラム可能な相互接続を備えています。このアーキテクチャによって、個々の用途の要件に合わせたペリフェラル構成のカスタマイズが可能となります。さらに、高速 CPU、フラッシュ プログラム メモリ、SRAM データ メモリ、および設定可能な I/O が、使いやすいピン配列でまとめられています。

2 ページの論理ブロック図に示すように、このデバイス ファミリーのアーキテクチャは 3 個の主要な領域で構成されます。

■ コア

■ CapSense アナログ システム

■ システム リソース (フルスピード USB ポートを含む)

共通の汎用バスを使用し、I/O とアナログ システムを接続できます。

各 CY8C20XX6A/SPSoC デバイスは、容量センシングを利用したアプリケーション向けのセンシングとスキャンの制御回路を備えた専用の CapSense ブロックを内蔵しています。PSoC パッケージによっては、最大 36 個の GPIO があります。GPIO は、MCU およびアナログ マルチプレクサへのアクセスを提供します。

PSoC コア

PSoC コアは、充実した命令セットを持つ強力なエンジンです。このコアは、データ記憶用の SRAM、割り込みコントローラ、スリープ タイマーとウォッチドッグ タイマー、および IMO と ILO で構成されています。この CPU コアは最大 24MHz で動作する高性能プロセッサ M8C です。M8C は、4-MIPS の 8 ビット ハードウェア アーキテクチャ マイクロプロセッサです。

CapSense システム

アナログ システムには、容量センシング ハードウェアが装備されています。サポートされているハードウェア アルゴリズムがいくつかあります。このハードウェアは、外部部品を必要とせず容量センシングおよびスキャンを実現します。アナログ システムは、CapSense PSoC ブロックと 1V または 1.2V 内部アナログ リファレンスで構成され、これらはともに最大 33 本の入力の容量センシングをサポートします^[2]。容量センシングは、各 GPIO ピンで設定可能です。有効な CapSense ピンのスキャンは、複数のポートで迅速、容易に実行できます。

SmartSense

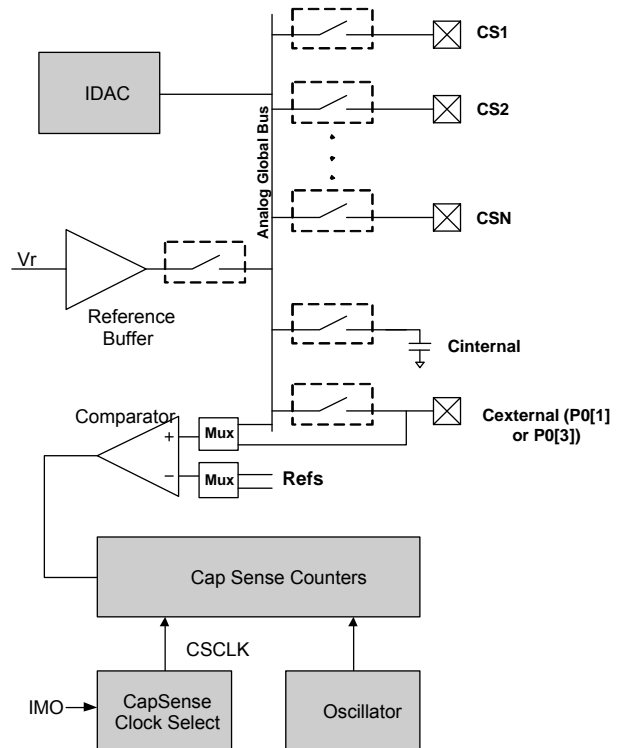
SmartSense は、CapSense アプリケーションにおける手動による調整を排除する、サイプレスの画期的なソリューションです。このソリューションは使いやすく、安定したノイズ耐性を

提供します。必要なパラメーター全てを確立、監視、維持する、唯一の自動調整ソリューションです。SmartSense により、エンジニアは、PCB やオーバーレイ素材の特性による製造ばらつきを再調整することなく、プロトタイプングから大量生産に移行することが可能です。

SmartSense_EMC

SmartSense_EMC ユーザー モジュールは、CapSense アプリケーションの手動チューニングを排除するための SmartSense 自動チューニング アルゴリズムの他に、高周波の伝導および放射ノイズに対する容量センシング アルゴリズム/回路の耐久性を改善する独自のアルゴリズムを組み込んでいます。各電子デバイスは、放射および伝導された外部ノイズの一定の限度を順守しなければならず、これらの限度は規制機関 (FCC、CE、UL など) で規定されます。非常に優れた PCB レイアウト設計、電源設計およびシステム設計は、製品が伝導と放射ノイズテストに合格するための必須条件です。理想的な PCB レイアウト、電源設計またはシステム設計は、製品のコストや形状の制限により実現できないことが多くあります。優れたノイズ耐性を持つ SmartSense_EMC は、こうしたアプリケーションを放射と伝導ノイズテストに合格させるのに適しており、便利です。

図 2. CapSense システムのブロック図



注:

- 36 本の GPIO = 容量センシング用の 33 本のピン + I²C 用の 2 本のピン + 変調コンデンサ用の 1 本のピン。

アナログ マルチプレクサ システム

アナログ マルチプレクサ バスは、どの GPIO ピンにも接続できます。ピンは、バスに個別に接続できるほか、任意の組み合わせで接続することもできます。このバスをアナログ システムに接続すると、CapSense ブロック コンパレータによる分析も可能です。

スイッチ制御ロジックにより、選択したピンをハードウェア制御で連続的にプリチャージできます。これにより、タッチ センシングなどの用途で容量測定が可能になります。マルチプレクサには、他にも次のような用途があります。

- スライダーやタッチパッドなどの複雑な容量センシング インターフェース
- 任意の I/O ピンからアナログ入力可能なチップ全体規模のマルチプレクサ
- 任意の I/O ピンの組み合わせによるクロスポイント接続

その他のシステム リソース

システム リソースは、設定可能な USB、I²C スレーブおよび SPI マスタ/スレーブの通信インターフェース、3 個の 16 ビット プログラマブルなタイマー、M8C がサポートする様々なシステム リセットなどの他の機能を提供します。

システム リソースは、完全なシステムに役立つ追加機能を提供します。その他の追加リソースとして、低電圧検出やパワーオン リセットなどがあります。各システム リソースの利点は、以下の通りです。

- I²C スレーブと SPI マスタスレーブ モジュールは、2 線式で 50kHz、100kHz、および 400kHz での通信をサポートします。3 線式または 4 線式の SPI 通信速度は 46.9kHz ~ 3MHz です (低速のシステム クロックほどこの周波数が低くなります)。
- 低電圧検出 (LVD) 割り込みは、電圧レベルの低下を通知する信号をアプリケーションに送信します。その一方、高度な POR (パワーオン リセット) 回路を使用することでシステム監視が不要になります。
- 内部リファレンスは、容量センシング用の絶対リファレンスを提供します。
- レジスタ制御バイパス モードを使用すると、LDO を無効にすることができます。

はじめに

PSoC シリコン チップを効率的に理解するには、このデータシートを読み、PSoC Designer 統合開発環境 (IDE) を使用してみることをお勧めします。このデータシートは PSoC 集積回路の概要を紹介するもので、特定のピンとレジスタの仕様、および電氣的仕様を示します。

詳細情報やプログラミングの詳細については、この CY8C20XX6A/SPSoC デバイスの [テクニカル リファレンス マニュアル](#) を参照してください。

注文、パッケージ、および電氣的仕様の最新情報については、www.cypress.com/psoc にある最新の PSoC デバイス データシートをご参照ください。

CapSense 設計ガイド

設計ガイドには、各種の CapSense 設計が掲載されています。これらは www.cypress.com/go/CapSenseDesignGuides から入手できます。

CapSense 設計に関する情報については、「Getting Started with CapSense」設計ガイドをご参照ください。また、CY8C20XX6A/AS CapSense コントローラーの特定の情報については、「CY8C20XX6A/H/AS CapSense® Design Guide」をご参照ください。

シリコン エラッタ

シリコンに関する既知の問題を扱っているエラッタ資料には、エラッタのトリガ状況、影響の範囲、可能な回避手段、シリコン リビジョンの適用可能性について記載されています。CY8C20xx6A/AS/H ファミリのデバイスに関するエラッタ情報については、<http://www.cypress.com/?rID=56239> にある PSoC® CY8C20x36A/46A/66A/96A/46AS/66AS/36H/46H ファミリのシリコン エラッタをご参照ください。デバイスの完全な機能説明については、エラッタ資料をデータシートと合わせてご参照ください。

開発キット

PSoC 開発キットは、サイプレスのオンライン ストアで入手できます。また、各地域や世界規模で Arrow、Avnet、Digi-Key、Farnell、Future Electronics、Newark などの販売代理店網が広がっているので、こちらからお求めいただくこともできます。

トレーニング

PSoC の無料技術トレーニング (オンデマンド、ウェビナー、ワークショップ) は、オンラインで www.cypress.com で受講できます。このトレーニングでは、各種のトピックやスキルレベルをカバーしており、お客様の設計を支援します。

CYPros コンサルタント

認定された PSoC コンサルタントが、技術支援から完成した PSoC 設計までのあらゆるニーズに対応します。PSoC コンサルタントにお問い合わせになるには、またはコンサルタントになるには、[CYPros コンサルタント ウェブサイト](#) をご覧ください。

ソリューションズ ライブラリ

[ソリューションを重視した設計のライブラリ](#) をご覧ください。ライブラリには、設計を素早く完成するうえで役立つ、ファームウェアおよびハードウェア設計ファイルを含むさまざまなアプリケーション デザインが用意されています。

テクニカル サポート

[テクニカル サポート](#) - 検索可能な知識ベースの記事と技術フォーラムもオンラインでご利用になれます。解決策が見つからない場合は、テクニカル サポート (1-800-541-4736) までご連絡ください。

開発ツール

画期的な統合設計環境 (IDE) である PSoC Designer™ を使うと、ユーザーが必要とするアプリケーション要件を満たすよう PSoC をカスタマイズすることが可能になります。PSoC Designer ソフトウェアは、システム設計や市場投入までの時間を短縮するお手伝いをいたします。ユーザー モジュールと呼ばれる予め用意されたアナログ ペリフェラルやデジタル ペリフェラルのライブラリを、ドラッグ & ドロップによる設計環境内で利用して独自のアプリケーションを開発できます。そして、動的に生成されるアプリケーション プログラミング インターフェイス (API) のコード ライブラリを活用しながら、デザインをカスタマイズします。最後に、インサーキット エミュレーションや標準ソフトウェア デバッグ機能などを備えた統合デバッグ環境で、デザインのデバッグおよびテストを行います。PSoC Designer には以下が含まれます。

- デバイス、ユーザー モジュール コンフィギュレーションおよびダイナミック リコンフィギュレーション用のアプリケーション エディター グラフィカル ユーザー インターフェイス (GUI)
- 広範なユーザー モジュール カタログ
- 統合ソース コード エディター (C およびアセンブリ言語)
- サイズ制限や使用期限のない無償の C コンパイラ
- 内蔵デバッガ
- インサーキット エミュレータ
- 通信インターフェースの組み込みサポート機能は以下の通りです。
 - ハードウェアおよびソフトウェア I²C スレーブとマスター
 - フルスピード USB 2.0
 - 最大 4 個の全二重汎用非同期レシーバー/トランスミッター (UART)、SPI マスターと SPI スレーブ、およびワイヤレス

PSoC Designer は、PSoC 1 デバイスの全ライブラリをサポートしており、Windows XP、Windows Vista、Windows 7 上で動作します。

PSoC Designer ソフトウェア サブシステム

デザイン エントリ

まず、チップレベル ビューで対象の基本デバイスを選択します。次に、PSoC ブロックを使用するアナログとデジタルの各種オンボード コンポーネント (ユーザー モジュールと呼ばれる) を選択します。ユーザー モジュールの例として、アナログ - デジタル変換器 (ADC)、デジタル - アナログ変換器 (DAC)、アンプ、フィルタなどがあります。選択したアプリケーション向けにユーザー モジュールをコンフィギュレーションし、他のユーザー モジュールや適切なピンに接続します。その後、プロジェクトを生成します。それにより、アプリケーションのプログラミングに使用できる API とライブラリがプロジェクトに事前設定されます。

またこのツールを使用すると、マルチ コンフィギュレーションやダイナミック リコンフィギュレーション開発が容易になります。ダイナミック リコンフィギュレーションにより、実行中

にコンフィギュレーションを変更できます。基本的に、この機能によって、1つのアプリケーションで 100% 以上の PSoC リソースを使用することができます。

コード生成ツール

コード生成ツールは、PSoC Designer のインターフェースでシームレスに動作し、さまざまなデバッグ ツールでテスト済みです。C 言語、アセンブリ言語、または両方の組み合わせで設計を開発できます。

アセンブラ：アセンブラでは、アセンブリ コードを C コードとシームレスに組み合わせることができます。リンク ライブラリでは、自動的に絶対アドレス指定を使用できるほか、相対モードでコンパイルしたうえで他のソフトウェア モジュールとリンクし、絶対アドレス指定を取得することもできます。

C 言語コンパイラ：PSoC ファミリのデバイスをサポートする C 言語コンパイラを利用できます。これらの製品を使用することで、PSoC ファミリ デバイス向けに完全な C プログラムを作成できます。これらの最適化 C コンパイラは、PSoC のアーキテクチャに合わせて設定した C 言語のすべての機能を提供します。コンパイラには、ポートとバスの動作、標準のキーボードとディスプレイのサポート、および拡張演算機能を提供する組み込みライブラリが付属しています。

デバッガ

PSoC Designer はハードウェアによるインサーキット エミュレーション機能を提供するデバッグ環境を備えており、PSoC デバイスの内部状態を観察しながら実システムでプログラムに対してテストを行うことができます。デバッガ コマンドを使用して、データ メモリの読み出しとプログラム、データ メモリの読み書き、I/O レジスタの読み書きが可能です。また、CPU レジスタの読み書き、ブレークポイントの設定と消去、プログラムの実行、停止、およびステップ制御が可能です。また、調査対象のレジスタとメモリ位置のトレース バッファをデバッガで作成することもできます。

オンライン ヘルプ システム

オンライン ヘルプ システムでは、オンラインで状況に応じたヘルプが表示されます。それぞれの機能のサブシステムには固有状況に応じたヘルプがあり、操作手順のヘルプやクイック リファレンスとして使用できます。また、このヘルプ システムは設計者を支援するためのチュートリアル、FAQ とオンライン サポート フォーラムへのリンクを提供しています。

インサーキット エミュレータ

コストの低く、機能性の高いインサーキット エミュレータ (ICE) が開発作業をサポートするために用意されています。このハードウェアは単独のデバイスをプログラムできます。

エミュレータは、USB ポートを通じて PC に接続する 1つの基本ユニットで構成されています。この基本ユニットは汎用型で、すべての PSoC デバイスで動作します。各デバイス ファミリのエミュレーション ポッドは、それぞれ別々に用意されています。エミュレーション ポッドは、作業対象の基板上の PSoC デバイスと置き換わり、全速 (24MHz) で動作します。

PSoC Designer を使用したデザイン

PSoC デバイスの開発プロセスは、従来の固定機能マイクロプロセッサの開発プロセスとは異なります。コンフィギュレーション可能なアナログとデジタル ハードウェア ブロックは PSoC アーキテクチャに独特の柔軟性をもたらし、開発時の仕様変更の管理や在庫費用の削減に役立ちます。これらのコンフィギュレーション可能なリソースは PSoC ブロックと呼ばれ、ユーザーが選択可能なさまざまな機能を実装できます。PSoC 開発プロセスは次の通りです。

6. ユーザー モジュールの選択
7. ユーザー モジュールの設定
8. 構成および接続
9. 生成、検証、およびデバッグ

ユーザー モジュールの選択

PSoC Designer は、あらかじめ構築され、テスト済みのハードウェア周辺コンポーネント (ユーザー モジュールと呼ばれる) のライブラリを備えています。これらのユーザー モジュールにより、アナログとデジタル両方の周辺デバイスの選択と実装が簡単になります。

ユーザー モジュールの設定

選択した各ユーザー モジュールにより、選択した機能を実装する基本的なレジスタ設定を確立できます。また、コンポーネントの的確なコンフィギュレーションを特定のアプリケーションに合わせて行うパラメーターとプロパティも提供されます。例えば PWM ユーザー モジュールでは、1 個以上のデジタル PSoC ブロックをそれぞれが 8 ビット分解能を持つようコンフィギュレーションします。これらのパラメーターを使って、パルス幅とデューティ比を設定できます。選択したアプリケーションに対応するようパラメーターとプロパティをコンフィギュレーションします。値は直接入力することも、ドロップダウン メニューから選択することもできます。すべてのユーザー モジュールはデータシートに文書化され、PSoC Designer またはサイプレスのウェブサイトですべて確認できます。これらの [ユーザー モジュール データシート](#) には、ユーザー モジュールの内部動作に関する説明と性能仕様が記載されています。また、各データシートにはユーザー モジュールの各パラメーターの使用法や、デザインを適切に実装するために必要なその他の情報もまとめられています。

構成および接続

ユーザー モジュールを他のモジュールおよび I/O ピンに相互接続することによって、チップレベルで信号チェーンを構築することができます。すべてのオンチップ リソースを完全に制御できるように、選択、コンフィギュレーション、およびルーティングを行います。

生成、検証、およびデバッグ

ハードウェアのコンフィギュレーションのテスト、またはプロジェクトのコード開発の準備ができたなら、「コンフィギュレーション ファイルの生成」手順を実行します。このステップで PSoC Designer によって生成されるソース コードは、仕様に合わせてデバイスを自動的にコンフィギュレーションし、システム用のソフトウェアを提供します。生成されたコードは、実行時に発生するハードウェア イベントの制御とそれに対する応答を実現する高レベル API、および必要に応じて修正して使用できる割り込みサービス ルーチンを提供します。

高い完成度のコード開発環境により、C、アセンブリ言語、またはその両方を使用したアプリケーションの開発とカスタマイズが可能です。

開発プロセスの最後のステップは、PSoC Designer のデバッガー内で進めます (接続のアイコンをクリックしてアクセスします)。PSoC Designer によって HEX イメージが ICE にダウンロードされ、フルスピードで実行されます。PSoC Designer のデバッグ機能は、それよりもはるかに高価なシステムの機能に匹敵します。デバッグ インターフェースは、シングル ステップ実行、ブレークポイントまでの実行、変数値の追跡などの従来の機能のほか、大容量のトレース バッファを備えています。よって、アドレスとデータ バス値の監視、メモリ位置の監視、外部信号の監視などの複雑なブレークポイント イベントを定義できます。

ピン配列

CY8C20XX6A/S PSoc デバイスは様々なパッケージで提供しています。各パッケージについて次の表に示します。すべてのポートピン（「P」というラベルが付いたもの）はデジタル I/O の機能を備えており、共通のアナログ バスに接続できます。ただし、V_{SS}、V_{DD}、および XRES はデジタル I/O の機能を備えていません。

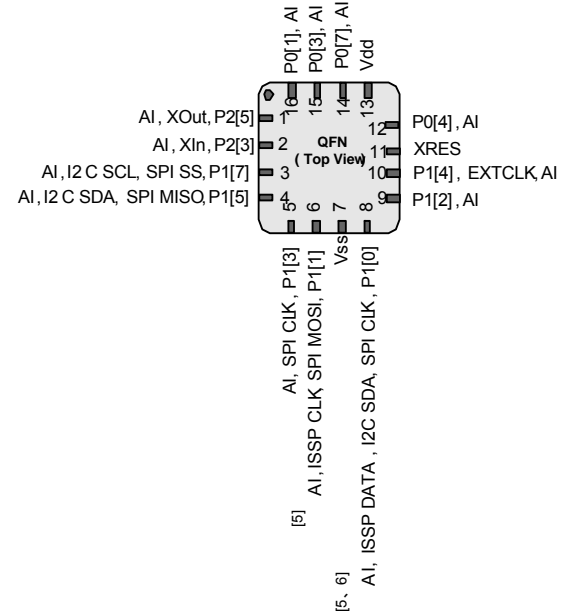
16 ピン QFN (10 本のセンシング入力)^[3, 4]

表 1. ピンの定義 – CY8C20236A、CY8C20246A、CY8C20246AS PSoc デバイス

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P2[5]	水晶振動子出力 (XOut)
2	I/O	I	P2[3]	水晶振動子入力 (XIn)
3	IOHR	I	P1[7]	I ² C SCL、SPI SS
4	IOHR	I	P1[5]	I ² C SDA、SPI MISO
5	IOHR	I	P1[3]	SPI CLK
6	IOHR	I	P1[1]	ISSP CLK ^[5] 、I ² C SCL、SPI MOSI
7	電源		V _{SS}	グラウンド接続 ^[7]
8	IOHR	I	P1[0]	ISSP DATA ^[5] 、I ² C SDA、SPI CLK ^[6]
9	IOHR	I	P1[2]	
10	IOHR	I	P1[4]	任意の外部クロック (EXTCLK)
11	入力		XRES	内部プルダウン抵抗を持つアクティブ HIGH 外部リセット
12	IOH	I	P0[4]	
13	電源		V _{DD}	電源電圧
14	IOH	I	P0[7]	
15	IOH	I	P0[3]	積分入力
16	IOH	I	P0[1]	積分入力

凡例：A= アナログ、I= 入力、O= 出力、OH=5mA HIGH 出力駆動、R= 安定化出力。

図 3. CY8C20236A、CY8C20246A、CY8C20246AS



注：

- 13 本の GPIO= 容量センシング用の 10 本のピン + I²C 用の 2 本のピン + 変調コンデンサ用の 1 本のピン。
- センターパッドなし。
- 電源投入時、SDA(P1[0]) は 256 スリープ クロック サイクル間ストロング HIGH で駆動し、次の 256 スリープ クロック サイクル間レジスティブ LOW で駆動します。SCL(P1[1]) ラインは 512 スリープ クロック サイクル間レジスティブ LOW で駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRES がデアサートした後、SDA と SCL ラインは 8 スリープ クロック サイクル間レジスティブ LOW で駆動し、その後高インピーダンス状態に移行します。このため、電源投入イベントまたはリセット イベント中、P1[1] と P1[0] が I²C バスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
- 代替 SPI クロック。
- すべての VSS ピンは 1 つの共通 GND 面に引き寄せる必要があります。

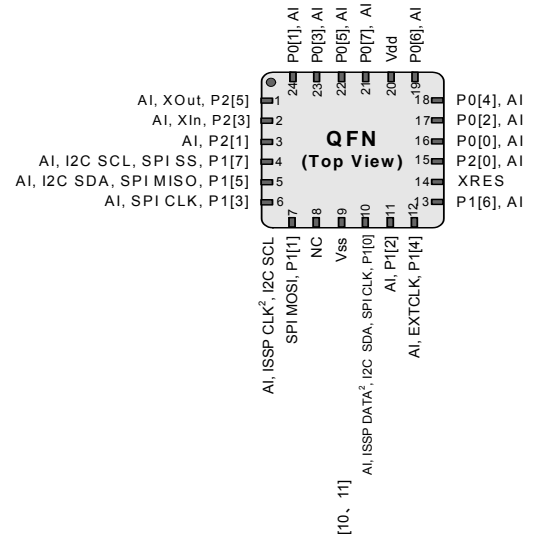
24 ピン QFN (17 本のセンシング入力)^[8]

表 2. ピンの定義 – CY8C20336A、CY8C20346A、CY8C20346AS^[9]

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P2[5]	水晶振動子出力 (XOut)
2	I/O	I	P2[3]	水晶振動子入力 (XIn)
3	I/O	I	P2[1]	
4	IOHR	I	P1[7]	I ² C SCL、SPI SS
5	IOHR	I	P1[5]	I ² C SDA、SPI MISO
6	IOHR	I	P1[3]	SPI CLK
7	IOHR	I	P1[1]	ISSP CLK ^[10] 、I ² C SCL、SPI MOSI
8			NC	接続なし
9	電源		V _{SS}	グランド接続 ^[12]
10	IOHR	I	P1[0]	ISSP DATA ^[10] 、I ² C SDA、SPI CLK ^[11]
11	IOHR	I	P1[2]	
12	IOHR	I	P1[4]	任意の外部クロック入力 (EXTCLK)
13	IOHR	I	P1[6]	
14	入力		XRES	内部プルダウン抵抗を持つアクティブ HIGH 外部リセット
15	I/O	I	P2[0]	
16	IOH	I	P0[0]	
17	IOH	I	P0[2]	
18	IOH	I	P0[4]	
19	IOH	I	P0[6]	
20	電源		V _{DD}	電源電圧
21	IOH	I	P0[7]	
22	IOH	I	P0[5]	
23	IOH	I	P0[3]	積分入力
24	IOH	I	P0[1]	積分入力
CP	電源		V _{SS}	センターパッドをグランドに接続しなければならない

凡例：A= アナログ、I= 入力、O= 出力、OH=5mA HIGH 出力駆動、R= 安定化出力。

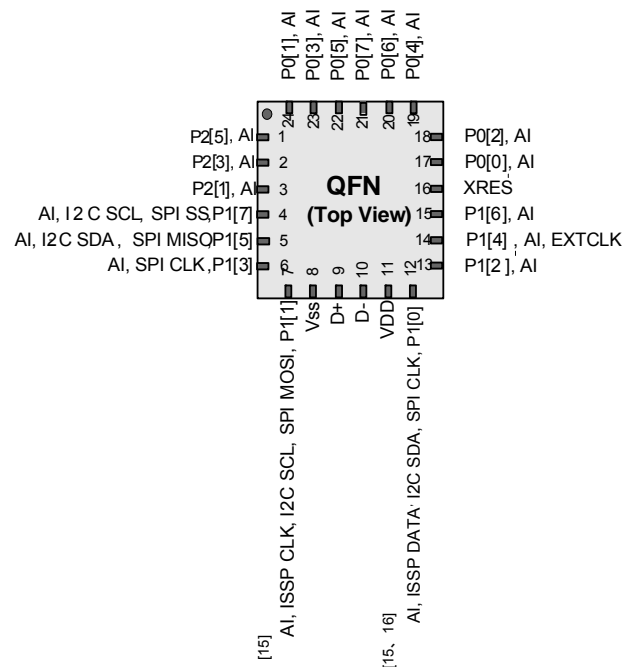
図 4. CY8C20336A、CY8C20346A、CY8C20346AS



- 注：
- 20 本の GPIO= 容量センシング用の 17 本のピン + I²C 用の 2 本のピン + 変調コンデンサ用の 1 本のピン。
 - 機械的、熱的、および電氣的に最適な性能を得るために、QFN パッケージのセンターパッド (CP) を必ずグランド (V_{SS}) に接続する必要があります。グランドに接続しないと、パッドは電氣的に開放し、どの信号にも接続されていない状態になります。
 - 電源投入時、SDA(P1[0]) は 256 スリープ クロック サイクル間ストロング HIGH で駆動し、次の 256 スリープ クロック サイクル間レジスティブ LOW で駆動します。SCL(P1[1]) ラインは 512 スリープ クロック サイクル間レジスティブ LOW で駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRES がデアサートした後、SDA と SCL ラインは 8 スリープ クロック サイクル間レジスティブ LOW で駆動し、その後高インピーダンス状態に移行します。このため、電源投入イベントまたはリセット イベント中、P1[1] と P1[0] が I²C バスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
 - 代替 SPI クロック。
 - すべての VSS ピンは 1 つの共通 GND 面に引き寄せる必要があります。

24 ピン QFN (15 本のセンシング入力 (USB 付き))^[13]
表 3. ピンの定義 – CY8C20396A ^[14]

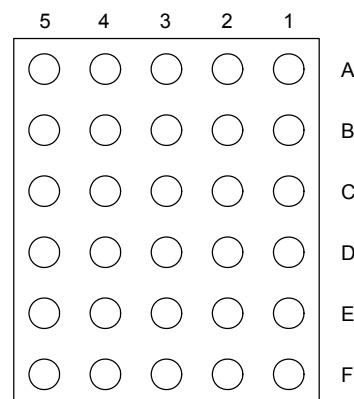
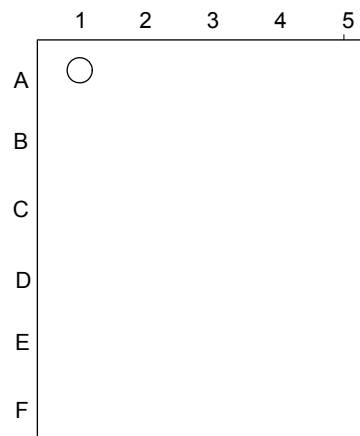
ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	I/O	I	P2[5]	
2	I/O	I	P2[3]	
3	I/O	I	P2[1]	
4	IOHR	I	P1[7]	I ² C SCL、SPI SS
5	IOHR	I	P1[5]	I ² C SDA、SPI MISO
6	IOHR	I	P1[3]	SPI CLK
7	IOHR	I	P1[1]	ISSP CLK ^[15] 、I ² C SCL、SPI MOSI
8	電源		V _{SS}	グラウンド ^[17]
9	I/O	I	D+	USB D+
10	I/O	I	D-	USB D-
11	電源		V _{DD}	電源
12	IOHR	I	P1[0]	ISSP DATA ^[15] 、I ² C SDA、SPI CLK ^[16]
13	IOHR	I	P1[2]	
14	IOHR	I	P1[4]	任意の外部クロック入力 (EXTCLK)
15	IOHR	I	P1[6]	
16	リセット入力		XRES	内部プルダウン抵抗を持つアクティブ HIGH 外部リセット
17	IOH	I	P0[0]	
18	IOH	I	P0[2]	
19	IOH	I	P0[4]	
20	IOH	I	P0[6]	
21	IOH	I	P0[7]	
22	IOH	I	P0[5]	
23	IOH	I	P0[3]	積分入力
24	IOH	I	P0[1]	積分入力
CP	電源		V _{SS}	センターパッドをグラウンドに接続しなければならぬ

図 5. CY8C20396A

凡例: I= 入力、O= 出力、OH=5mA HIGH 出力駆動、R= 安定化出力

- 注:**
- 20本のGPIO=容量センシング用の15本のピン+I²C用の2本のピン+USB用の2本のピン+変調コンデンサ用の1本のピン。
 - 機械的、熱的、および電氣的に最適な性能を得るために、QFNパッケージのセンターパッド(CP)を必ずグラウンド(V_{SS})に接続する必要があります。グラウンドに接続しないと、パッドは電氣的に開放し、どの信号にも接続されていない状態になります。
 - 電源投入時、SDA(P1[0])は256スリープクロックサイクル間ストロングHIGHで駆動し、次の256スリープクロックサイクル間レジスティブLOWで駆動します。SCL(P1[1])ラインは512スリープクロックサイクル間レジスティブLOWで駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRESがデアサートした後、SDAとSCLラインは8スリープクロックサイクル間レジスティブLOWで駆動し、その後高インピーダンス状態に移行します。このため、電源投入イベントまたはリセットイベント中、P1[1]とP1[0]がI²Cバスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
 - 代替SPIクロック。
 - すべてのVSSピンは1つの共通GND面に引き寄せる必要があります。

30 ボール WLCSP (24 本のセンシング入力)^[18]
表 4. ピンの定義 – CY8C20766A、CY8C20746A30 ボール WLCSP

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
A1	IOH	I	P0[2]	
A2	IOH	I	P0[6]	
A3	電源		V _{DD}	電源電圧
A4	IOH	I	P0[1]	積分入力
A5	I/O	I	P2[7]	
B1	I/O	I	P2[6]	
B2	IOH	I	P0[0]	
B3	IOH	I	P0[4]	
B4	IOH	I	P0[3]	積分入力
B5	I/O	I	P2[5]	水晶振動子出力 (Xout)
C1	I/O	I	P2[2]	
C2	I/O	I	P2[4]	
C3	IOH	I	P0[7]	
C4	IOH	I	P0[5]	
C5	I/O	I	P2[3]	水晶振動子入力 (XIn)
D1	I/O	I	P2[0]	
D2	I/O	I	P3[0]	
D3	I/O	I	P3[1]	
D4	I/O	I	P3[3]	
D5	I/O	I	P2[1]	
E1	入力		XRES	内部プルダウン抵抗を持つアクティブ HIGH 外部リセット
E2	IOHR	I	P1[6]	
E3	IOHR	I	P1[4]	任意の外部クロック入力 (EXTCLK)
E4	IOHR	I	P1[7]	I ² C SCL、SPI SS
E5	IOHR	I	P1[5]	I ² C SDA、SPI MISO
F1	IOHR	I	P1[2]	
F2	IOHR	I	P1[0]	ISSP DATA ^[19] 、I ² C SDA、SPI CLK ^[20]
F3	電源		V _{SS}	電源グランド ^[21]
F4	IOHR	I	P1[1]	ISSP CLK ^[19] 、I ² C SCL、SPI MOSI
F5	IOHR	I	P1[3]	SPI CLK

図 6. CY8C20766A 30 ボール WLCSP
底面図

上面図

注:

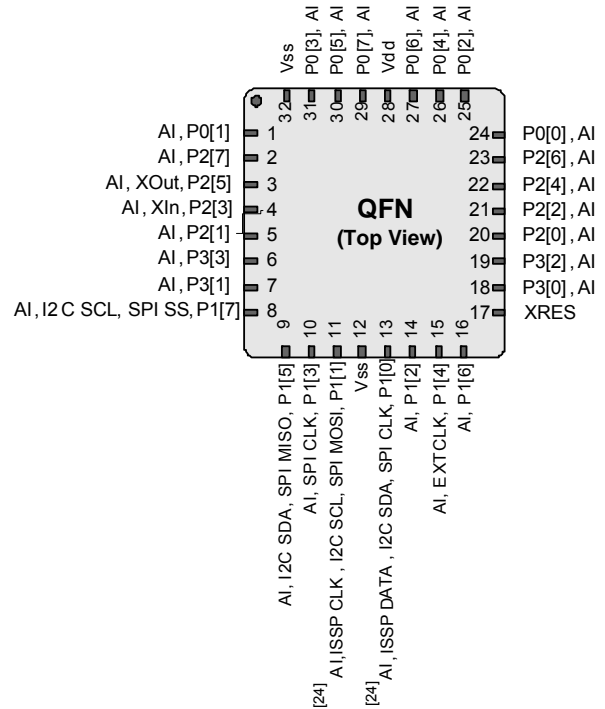
18. 27 本の GPIO = 容量センシング用の 24 本のピン + I²C 用の 2 本のピン + 変調コンデンサ用の 1 本のピン。
19. 電源投入時、SDA(P1[0]) は 256 スリープ クロック サイクル間ストロング HIGH で駆動し、次の 256 スリープ クロック サイクル間レジスティブ LOW で駆動します。SCL(P1[1]) ラインは 512 スリープ クロック サイクル間レジスティブ LOW で駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRES がデアサートした後、SDA と SCL ラインは 8 スリープ クロック サイクル間レジスティブ LOW で駆動し、その後高インピーダンス状態に移行します。このため、電源投入イベントまたはリセット イベント中、P1[1] と P1[0] が I²C バスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
20. 代替 SPI クロック。
21. すべての VSS ピンは 1 つの共通 GND 面に引き寄せる必要があります。

32ピン QFN (25本のセンシング入力)^[22]

表 5. ピンの定義— CY8C20436A、CY8C20446A、CY8C20446AS、CY8C20466A、CY8C20466AS^[23]

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	IOH	I	P0[1]	積分入力
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	水晶振動子出力 (XOut)
4	I/O	I	P2[3]	水晶振動子入力 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P3[3]	
7	I/O	I	P3[1]	
8	IOHR	I	P1[7]	I ² C SCL、SPI SS
9	IOHR	I	P1[5]	I ² C SDA、SPI MISO
10	IOHR	I	P1[3]	SPI CLK
11	IOHR	I	P1[1]	ISSP CLK ^[24] 、I ² C SCL、SPI MOSI
12	電源		V _{SS}	グランド接続 ^[26]
13	IOHR	I	P1[0]	ISSP DATA ^[24] 、I ² C SDA、SPI CLK ^[25]
14	IOHR	I	P1[2]	
15	IOHR	I	P1[4]	任意の外部クロック入力 (EXTCLK)
16	IOHR	I	P1[6]	
17	入力		XRES	内部プルダウン抵抗を持つアクティブ HIGH 外部リセット
18	I/O	I	P3[0]	
19	I/O	I	P3[2]	
20	I/O	I	P2[0]	
21	I/O	I	P2[2]	
22	I/O	I	P2[4]	
23	I/O	I	P2[6]	
24	IOH	I	P0[0]	
25	IOH	I	P0[2]	
26	IOH	I	P0[4]	
27	IOH	I	P0[6]	
28	電源		V _{DD}	電源電圧
29	IOH	I	P0[7]	
30	IOH	I	P0[5]	
31	IOH	I	P0[3]	積分入力
32	電源		V _{SS}	グランド接続 ^[26]
CP	電源		V _{SS}	センターパッドをグランドに接続しなければならない

図 7. CY8C20436A、CY8C20446A、CY8C20446AS、CY8C20466A、CY8C20466AS



凡例: A= アナログ、I= 入力、O= 出力、OH=5mA HIGH 出力駆動、R= 安定化出力。

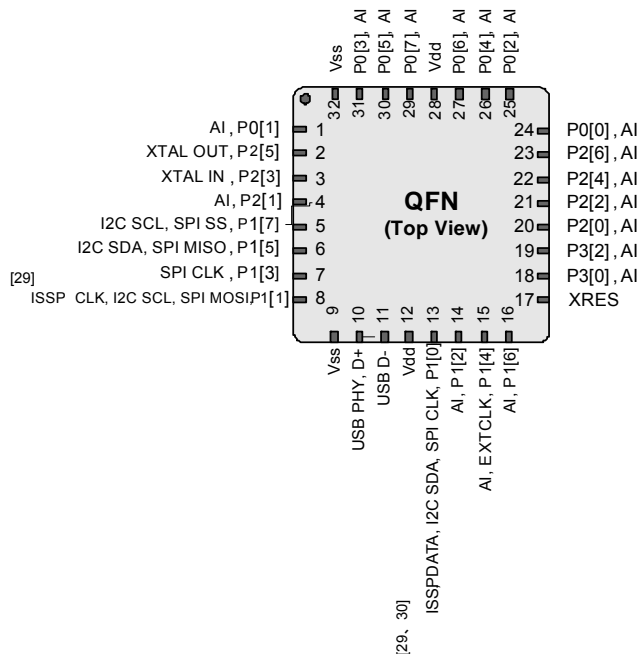
- 注:
- 22. 28本のGPIO=容量センシング用の25本のピン+I²C用の2本のピン+変調コンデンサ用の1本のピン。
 - 23. 機械的、熱的、および電氣的に最適な性能を得るために、QFNパッケージのセンターパッド(CP)を必ずグランド(V_{SS})に接続する必要があります。グランドに接続しないと、パッドは電氣的に開放し、どの信号にも接続されていない状態になります。
 - 24. 電源投入時、SDA(P1[0])は256スリープクロックサイクル間ストロングHIGHで駆動し、次の256スリープクロックサイクル間レジスティブLOWで駆動します。SCL(P1[1])ラインは512スリープクロックサイクル間レジスティブLOWで駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRESがデアサートした後、SDAとSCLラインは8スリープクロックサイクル間レジスティブLOWで駆動し、その後高インピーダンス状態に移行します。このため、電源投入イベントまたはリセットイベント中、P1[1]とP1[0]がI²Cバスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
 - 25. 代替SPIクロック。
 - 26. すべてのVSSピンは1つの共通GND面に引き寄せる必要があります。

32ピン QFN (22本のセンシング入力 (USB付き))^[27]

表 6. ピンの定義 -CY8C20496A^[28]

ピン番号	タイプ		ピン名	説明
	デジタル	アナログ		
1	IOH	I	P0[1]	積分入力
2	I/O	I	P2[5]	XTAL 出力
3	I/O	I	P2[3]	XTAL 入力
4	I/O	I	P2[1]	
5	IOHR	I	P1[7]	I ² C SCL、SPI SS
6	IOHR	I	P1[5]	I ² C SDA、SPI MISO
7	IOHR	I	P1[3]	SPI CLK
8	IOHR	I	P1[1]	ISSP CLK ^[29] 、I ² C SCL、SPI MOSI
9	電源		V _{SS}	グラウンドピン ^[31]
10		I	D+	USB D+
11		I	D-	USB D-
12	電源		V _{DD}	電源ピン
13	IOHR	I	P1[0]	ISSP DATA ^[29] 、I ² C SDA、SPI CLKI ^[30]
14	IOHR	I	P1[2]	
15	IOHR	I	P1[4]	任意の外部クロック入力 (EXTCLK)
16	IOHR	I	P1[6]	
17	入力		XRES	内部プルダウン抵抗を持つアクティブ HIGH 外部リセット
18	I/O	I	P3[0]	
19	I/O	I	P3[2]	
20	I/O	I	P2[0]	
21	I/O	I	P2[2]	
22	I/O	I	P2[4]	
23	I/O	I	P2[6]	
24	IOH	I	P0[0]	
25	IOH	I	P0[2]	
26	IOH	I	P0[4]	
27	IOH	I	P0[6]	
28	電源		V _{DD}	電源ピン
29	IOH	I	P0[7]	
30	IOH	I	P0[5]	
31	IOH	I	P0[3]	積分入力
32	電源		V _{SS}	グラウンドピン ^[31]

図 8. CY8C20496A



凡例：A= アナログ、I= 入力、O= 出力、OH=5mA HIGH 出力駆動、R= 安定化出力。

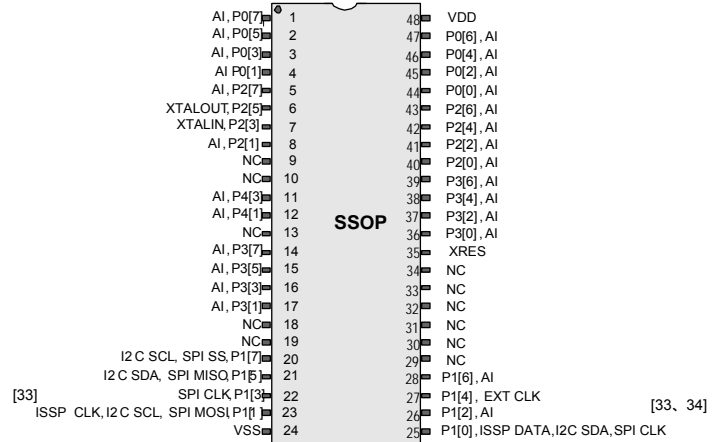
- 注：
- 27. 27本のGPIO=容量センシング用の22本のピン+I²C用の2本のピン+USB用の2本のピン+変調コンデンサ用の1本のピン。
 - 28. 機械的、熱的、および電氣的に最適な性能を得るために、QFNパッケージのセンターパッド(CP)を必ずグラウンド(V_{SS})に接続する必要があります。グラウンドに接続しないと、パッドは電氣的に開放し、どの信号にも接続されていない状態になります。
 - 29. 電源投入時、SDA(P1[0])は256スリープクロックサイクル間ストロングHIGHで駆動し、次の256スリープクロックサイクル間レジスティブLOWで駆動します。SCL(P1[1])ラインは512スリープクロックサイクル間レジスティブLOWで駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRESがデアサートした後、SDAとSCLラインは8スリープクロックサイクル間レジスティブLOWで駆動し、その後高インピーダンス状態に移行します。このため、電源投入イベントまたはリセットイベント中、P1[1]とP1[0]がI²Cバスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
 - 30. 代替SPIクロック。
 - 31. すべてのVSSピンは1つの共通GND面に引き寄せる必要があります。

48ピン SSOP (31本のセンシング入力)^[32]

表 7. ピンの定義 - CY8C20536A、CY8C20546A、および CY8C20566A^[33]

ピン番号	デジタル	アナログ	ピン名	説明
1	IOH	I	P0[7]	
2	IOH	I	P0[5]	
3	IOH	I	P0[3]	積分入力
4	IOH	I	P0[1]	積分入力
5	I/O	I	P2[7]	
6	I/O	I	P2[5]	XTAL 出力
7	I/O	I	P2[3]	XTAL 入力
8	I/O	I	P2[1]	
9			NC	接続なし
10			NC	接続なし
11	I/O	I	P4[3]	
12	I/O	I	P4[1]	
13			NC	接続なし
14	I/O	I	P3[7]	
15	I/O	I	P3[5]	
16	I/O	I	P3[3]	
17	I/O	I	P3[1]	
18			NC	接続なし
19			NC	接続なし
20	IOHR	I	P1[7]	I ² C SCL、SPI SS
21	IOHR	I	P1[5]	I ² C SDA、SPI MISO
22	IOHR	I	P1[3]	SPI CLK
23	IOHR	I	P1[1]	ISSP CLK ^[33] 、I ² C SCL、SPI MOSI
24			V _{SS}	グラウンドピン ^[35]
25	IOHR	I	P1[0]	ISSP DATA ^[33] 、I ² C SDA、SPI CLK ^[34]
26	IOHR	I	P1[2]	
27	IOHR	I	P1[4]	任意の外部クロック入力 (EXT CLK)
28	IOHR	I	P1[6]	
29			NC	接続なし
30			NC	接続なし
31			NC	接続なし
32			NC	接続なし
33			NC	接続なし
34			NC	接続なし
35			XRES	内部ブルダウン抵抗を持つアクティブ HIGH 外部リセット
36	I/O	I	P3[0]	
37	I/O	I	P3[2]	
38	I/O	I	P3[4]	
39	I/O	I	P3[6]	
40	I/O	I	P2[0]	

図 9. CY8C20536A、CY8C20546A、および CY8C20566A



凡例: A=アナログ、I=入力、O=出力、NC=接続なし、H=5mA HIGH 出力駆動、R=安定化出力オプション。

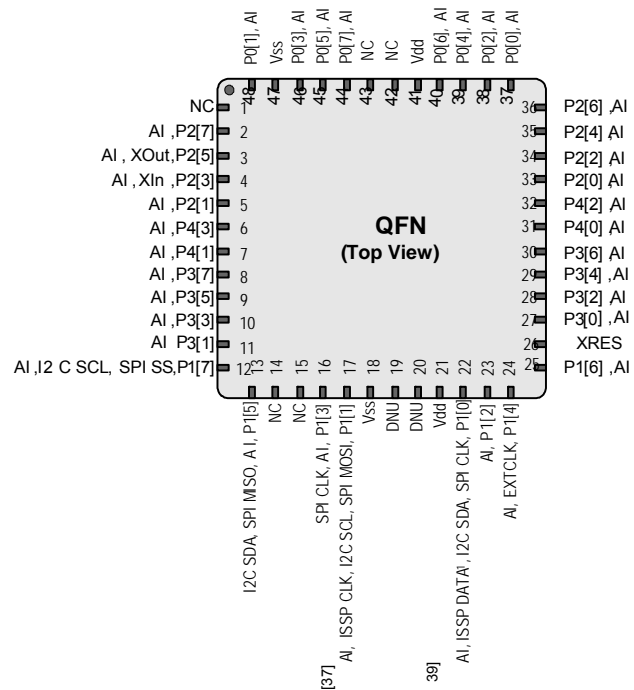
- 注:
- 32. 34本のGPIO=容量センシング用の31本のピン+I²C用の2本のピン+変調コンデンサ用の1本のピン。
 - 33. 電源投入時、SDA(P1[0])は256スリープクロックサイクル間ストロングHIGHで駆動し、次の256スリープクロックサイクル間レジスティブLOWで駆動します。SCL(P1[1])ラインは512スリープクロックサイクル間レジスティブLOWで駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRESがデアサートした後、SDAとSCLラインは8スリープクロックサイクル間レジスティブLOWで駆動し、その後高インピーダンス状態に移行します。このため、電源投入イベントまたはリセットイベント中、P1[1]とP1[0]がI²Cバスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
 - 34. 代替SPIクロック。
 - 35. すべてのVSSピンは1つの共通GND面に引き寄せる必要があります。

48ピン QFN (33本のセンシング入力)^[36]

表 8. ピンの定義 – CY8C20636A^[37, 38]

ピン番号	デジタル	アナログ	ピン名	説明
1			NC	接続なし
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	水晶振動子出力 (XOut)
4	I/O	I	P2[3]	水晶振動子入力 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P4[3]	
7	I/O	I	P4[1]	
8	I/O	I	P3[7]	
9	I/O	I	P3[5]	
10	I/O	I	P3[3]	
11	I/O	I	P3[1]	
12	IOHR	I	P1[7]	I ² C SCL、SPI SS
13	IOHR	I	P1[5]	I ² C SDA、SPI MISO
14			NC	接続なし
15			NC	接続なし
16	IOHR	I	P1[3]	SPI CLK
17	IOHR	I	P1[1]	ISSP CLK ^[37] 、I ² C SCL、SPI MOSI
18	電源		V _{SS}	グランド接続 ^[40]
19			DNU	
20			DNU	
21	電源		V _{DD}	電源電圧
22	IOHR	I	P1[0]	ISSP DATA ^[37] 、I ² C SDA、SPI CLK ^[39]
23	IOHR	I	P1[2]	
24	IOHR	I	P1[4]	任意の外部クロック入力 (EXTCLK)
25	IOHR	I	P1[6]	
26	入力		XRES	内部プルダウン抵抗を持つアクティブ HIGH 外部リセット
27	I/O	I	P3[0]	
28	I/O	I	P3[2]	
29	I/O	I	P3[4]	
30	I/O	I	P3[6]	
31	I/O	I	P4[0]	
32	I/O	I	P4[2]	
33	I/O	I	P2[0]	
34	I/O	I	P2[2]	
35	I/O	I	P2[4]	
36	I/O	I	P2[6]	
37	IOH	I	P0[0]	積分入力
38	IOH	I	P0[2]	
39	IOH	I	P0[4]	
ピン番号	デジタル	アナログ	ピン名	説明
40	IOH	I	P0[6]	
41	電源		V _{DD}	電源電圧
42			NC	接続なし
43			NC	接続なし
44	IOH	I	P0[7]	
45	IOH	I	P0[5]	
46	IOH	I	P0[3]	積分入力
47	電源		V _{SS}	グランド接続 ^[40]
48	IOH	I	P0[1]	
ピン番号	デジタル	アナログ	ピン名	説明
CP	電源		V _{SS}	センターパッドをグランドに接続しなければならない

図 10. CY8C20636A



凡例: A= アナログ、I= 入力、O= 出力、NC= 接続なし、H=5mA HIGH 出力駆動、R= 安定化出力

注:

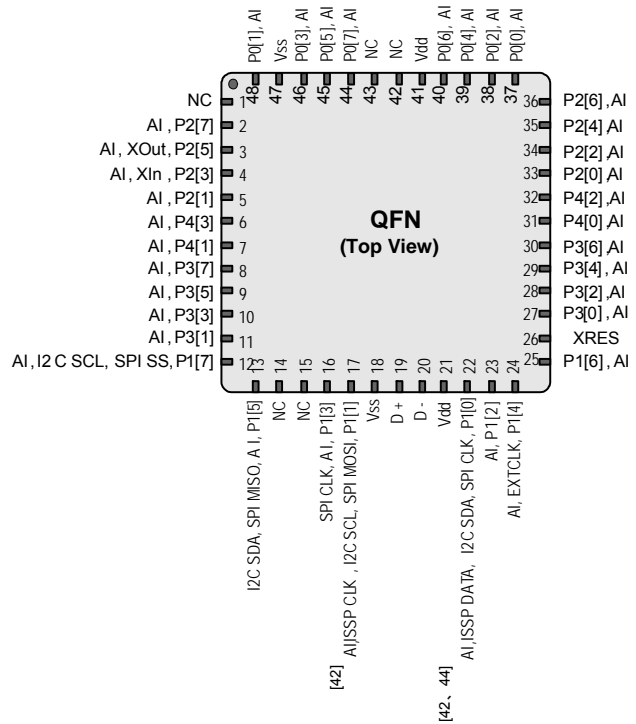
- 36. 36本のGPIO=容量センシング用の33本のピン+I²C用の2本のピン+変調コンデンサ用の1本のピン。
- 37. 電源投入時、SDA(P1[0])は256スリープクロックサイクル間ストロングHIGHで駆動し、次の256スリープクロックサイクル間レジスティブLOWで駆動します。SCL(P1[1])ラインは512スリープクロックサイクル間レジスティブLOWで駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRESがデアサートした後、SDAとSCLラインは8スリープクロックサイクル間レジスティブLOWで駆動し、その後高インピーダンス状態に移行します。このため、電源投入イベントまたはリセットイベント中、P1[1]とP1[0]がI²Cバスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
- 38. 機械的、熱的、および電氣的に最適な性能を得るために、QFNパッケージのセンターパッド(CP)を必ずグランド(V_{SS})に接続する必要があります。グラウンドに接続しないと、パッドは電氣的に開放し、どの信号にも接続されていない状態になります。
- 39. 代替SPIクロック。
- 40. すべてのVSSピンは1つの共通GND面に引き寄せる必要があります。

48ピン QFN (33本のセンシング入力 (USB付き))^[41]

表 9. ピンの定義 – CY8C20646A、CY8C20646AS、CY8C20666A、CY8C20666AS ^[42、43]

ピン番号	デジタル	アナログ	ピン名	説明
1			NC	接続なし
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	水晶振動子出力 (XOut)
4	I/O	I	P2[3]	水晶振動子入力 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P4[3]	
7	I/O	I	P4[1]	
8	I/O	I	P3[7]	
9	I/O	I	P3[5]	
10	I/O	I	P3[3]	
11	I/O	I	P3[1]	
12	IOHR	I	P1[7]	I ² C SCL、SPI SS
13	IOHR	I	P1[5]	I ² C SDA、SPI MISO
14			NC	接続なし
15			NC	接続なし
16	IOHR	I	P1[3]	SPI CLK
17	IOHR	I	P1[1]	ISSP CLK ^[42] 、I ² C SCL、SPI MOSI
18		電源	V _{SS}	グランド接続 ^[45]
19	I/O		D+	USB D+
20	I/O		D-	USB D-
21		電源	V _{DD}	電源電圧
22	IOHR	I	P1[0]	ISSP DATA ^[42] 、I ² C SDA、SPI CLK ^[44]
23	IOHR	I	P1[2]	
24	IOHR	I	P1[4]	任意の外部クロック入力 (EXTCLK)
25	IOHR	I	P1[6]	
26		入力	XRES	内部プルダウン抵抗を持つアクティブ HIGH 外部リセット
27	I/O	I	P3[0]	
28	I/O	I	P3[2]	
29	I/O	I	P3[4]	
30	I/O	I	P3[6]	
31	I/O	I	P4[0]	
32	I/O	I	P4[2]	
33	I/O	I	P2[0]	
34	I/O	I	P2[2]	
35	I/O	I	P2[4]	
36	I/O	I	P2[6]	
37	IOH	I	P0[0]	積分入力
38	IOH	I	P0[2]	電源 グランド接続 ^[45]
39	IOH	I	P0[4]	
			CP	電源 V _{SS} センターパッドをグランドに接続しなければならない

図 11. CY8C20646A、CY8C20646AS、CY8C20666A、CY8C20666AS



凡例: A= アナログ、I= 入力、O= 出力、NC= 接続なし、H=5mA HIGH 出力駆動、R= 安定化出力

- 注:
41. 38本のGPIO=容量センシング用の33本のピン +I²C用の2本のピン +USB用の2本のピン +変調コンデンサ用の1本のピン。
 42. 電源投入時、SDA(P1[0])は256スリープクロックサイクル間ストロングHIGHで駆動し、次の256スリープクロックサイクル間レジスティブLOWで駆動します。SCL(P1[1])ラインは512スリープクロックサイクル間レジスティブLOWで駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRESがデアサートした後、SDAとSCLラインは8スリープクロックサイクル間レジスティブLOWで駆動し、その後高インピーダンス状態に移行します。どちらの場合も、これらのライン上のプルアップ抵抗がプルダウン抵抗(5.6Kオーム)と組み合わせ、潜在的な分圧回路を形成します。このため、電源投入イベントまたはリセットイベント中、P1[1]とP1[0]がI²Cバスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
 43. 機械的、熱的、および電氣的に最適な性能を得るために、QFNパッケージのセンターパッド(CP)を必ずグランド(V_{SS})に接続する必要があります。グランドに接続しないと、パッドは電氣的に開放し、どの信号にも接続されていない状態になります。
 44. 代替SPIクロック。
 45. すべてのVSSピンは1つの共通GND面に引き寄せる必要があります。

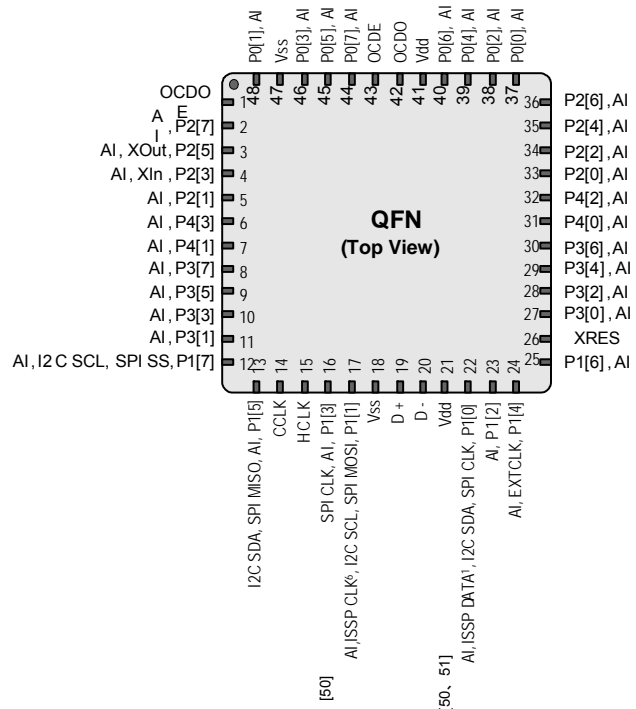
48ピン QFN (OCD) (33本のセンシング入力)^[46]

48ピン QFN 製品は CY8C20066A オンチップ デバッグ (OCD) 用です。この製品は、インサーキット デバッグのみに使用されることに注意してください。

表 10. ピンの定義 - CY8C20066A^[47, 48]

ピン番号	デジタル	アナログ	ピン名	説明
1 ^[49]			OCDOE	OCD モード方向ピン
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	水晶振動子出力 (XOut)
4	I/O	I	P2[3]	水晶振動子入力 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P4[3]	
7	I/O	I	P4[1]	
8	I/O	I	P3[7]	
9	I/O	I	P3[5]	
10	I/O	I	P3[3]	
11	I/O	I	P3[1]	
12	IOHR	I	P1[7]	I ² C SCL、SPI SS
13	IOHR	I	P1[5]	I ² C SDA、SPI MISO
14 ^[49]			CCLK	OCD CPU クロック出力
15 ^[49]			HCLK	OCD 高速クロック出力
16	IOHR	I	P1[3]	SPI CLK
17	IOHR	I	P1[1]	ISSP CLK ^[50] 、I ² C SCL、SPI MOSI
18	電源		V _{SS}	グラウンド接続 ^[52]
19	I/O		D+	USB D+
20	I/O		D-	USB D-
21	電源		V _{DD}	電源電圧
22	IOHR	I	P1[0]	ISSP DATA ^[50] 、I ² C SDA、SPI CLK ^[51]
23	IOHR	I	P1[2]	
24	IOHR	I	P1[4]	任意の外部クロック入力
25	IOHR	I	P1[6]	
26	入力		XRES	内部プルダウン抵抗を持つ
27	I/O	I	P3[0]	
28	I/O	I	P3[2]	
29	I/O	I	P3[4]	
30	I/O	I	P3[6]	
31	I/O	I	P4[0]	
32	I/O	I	P4[2]	
33	I/O	I	P2[0]	
34	I/O	I	P2[2]	
35	I/O	I	P2[4]	
36	I/O	I	P2[6]	
37	IOH	I	P0[0]	
38	IOH	I	P0[2]	
39	IOH	I	P0[4]	
40	IOH	I	P0[6]	
41	電源		V _{DD}	電源電圧
42 ^[49]			OCDO	OCD 偶数データ I/O
43 ^[49]			OCDE	OCD 奇数データ出力
44	IOH	I	P0[7]	
45	IOH	I	P0[5]	
46	IOH	I	P0[3]	積分入力
47	電源		V _{SS}	グラウンド接続 ^[52]
48	IOH	I	P0[1]	
CP	電源		V _{SS}	センターパッドをグラウンドに接続しなければならない

図 12. CY8C20066A



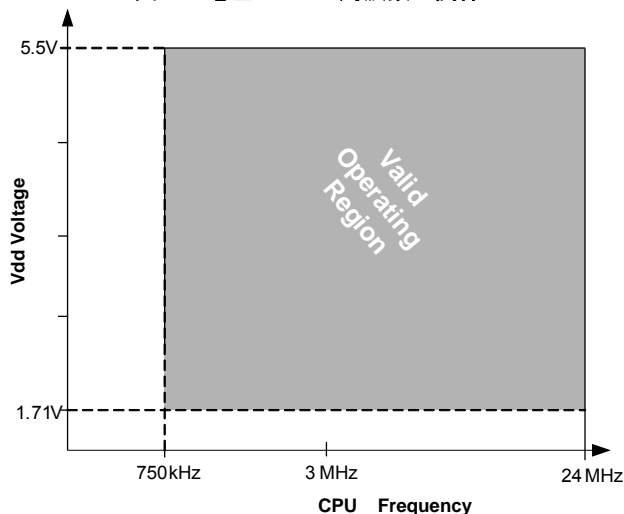
凡例: A=アナログ、I=入力、O=出力、NC=接続なし、H=5mA HIGH 出力駆動、R=安定化出力

- 注:
46. 38本のGPIO=容量センシング用の33本のピン+I²C用の2本のピン+USB用の2本のピン+変調コンデンサ用の1本のピン。
 47. この製品は、プロトタイプ開発中のインサーキット デバッグ用として、限られた数量のみ提供されています。量産製品用としては提供できません。
 48. 機械的、熱的、および電気的に最適な性能を得るために、QFNパッケージのセンターパッド (CP) を必ずグラウンド (V_{SS}) に接続する必要があります。グラウンドに接続しないと、パッドは電気的に開放し、どの信号にも接続されていない状態になります。
 49. このピン (OCD 製品のみに対応する) は、ファームウェアのデバッグ処理のために、デバイスを ICE-Cube インサーキット エミュレータに接続するのに必要です。ICE-Cube の使用に関する詳細については、「CY3215-DK PSoc[®] IN-CIRCUIT EMULATOR KIT GUIDE」をご参照ください。
 50. 電源投入時、SDA (P1[0]) は 256 スリープ クロック サイクル間レジスティブ HIGH で駆動し、次の 256 スリープ クロック サイクル間レジスティブ LOW で駆動します。SCL (P1[1]) ラインは 512 スリープ クロック サイクル間レジスティブ LOW で駆動し、その後両方のピンは高インピーダンス状態に移行します。リセット時、XRES がデアサートした後、SDA と SCL ラインは 8 スリープ クロック サイクル間レジスティブ LOW で駆動し、その後高インピーダンス状態に移行します。どちらの場合も、これらのライン上のプルアップ抵抗がプルダウン抵抗 (5.6K オーム) と組み合わさり、潜在的な分圧回路を形成します。このため、電源投入イベントまたはリセット イベント中、P1[1] と P1[0] が I²C バスに影響を与える場合があります。問題が発生する場合は別のピンを使用してください。
 51. 代替 SPI クロック。
 52. すべての V_{SS} ピンは 1 つの共通 GND 面に引き寄せる必要があります。

電氣的仕様

本節では、CY8C20XX6A/S PSoC デバイスの DC および AC 電氣的仕様について説明します。最新の電氣的仕様については、<http://www.cypress.com/psoc> にアクセスして、最新のデータシートをご確認ください。

図 13. 電圧と CPU 周波数の関係



絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインは未テストです。

表 11. 絶対最大定格

記号	説明	条件	Min	Typ	Max	単位
T _{STG}	保管温度	保管温度が高ければ高いほど、データ保存期間が短くなる。推奨保管温度は +25°C ± 25°C。85°C を超える温度で長期間保管すると、信頼性が低下。	-55	+25	+125	°C
V _{DD}	V _{SS} を基準にした電源電圧	-	-0.5	-	+6.0	V
V _{IO}	DC 入力電圧	-	V _{SS} - 0.5	-	V _{DD} + 0.5	V
V _{IOZ} ^[53]	トリステート ピンに印加する DC 電圧	-	V _{SS} - 0.5	-	V _{DD} + 0.5	V
I _{MIO}	ポート ピンへの最大電流	-	-25	-	+50	mA
ESD	静電放電電圧	人体モデルでの ESD	2000	-	-	V
LU	ラッチアップ電流	JESD78 標準に準拠	-	-	200	mA

動作温度

表 12. 動作温度

記号	説明	条件	Min	Typ	Max	単位
T _A	周囲温度	-	-40	-	+85	°C
T _C	民生用温度範囲	-	0	-	70	°C
T _J	動作ダイ温度	周囲温度から接合部温度の上昇はパッケージによって異なる。38 ページの熱インピーダンスを参照してください。この要件を満たすように、消費電力を制限する必要があります。	-40	-	+100	°C

注:

53. ポート 1 ピンは、High-Z モードで設定された I/O でホットスワップが可能で、ピンの入力電圧は V_{DD} 以上です。

チップレベルの DC 仕様

表 13 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 13. チップレベルの DC 仕様

記号	説明	条件	Min	Typ	Max	単位
V_{DD} [54、55、56、57]	電源電圧	USB アクティビティなし。表を参照してください。26 ページの POR および LVD の DC 仕様	1.71	–	5.50	V
V_{DDUSB} [54、55、56、57]	動作電圧	USB アクティビティあり、USB レギュレータは有効	4.35	–	5.25	V
		USB アクティビティあり、USB レギュレータはバイパス	3.15	3.3	3.60	V
I_{DD24}	電源電流、IMO=24MHz	条件： $V_{DD} \leq 3.0V$ 、 $T_A=25^\circ C$ 、CPU=24 MHz。CapSense は 12MHz で動作、I/O ソース電流なし	–	2.88	4.00	mA
I_{DD12}	電源電流、IMO=12MHz	条件： $V_{DD} \leq 3.0V$ 、 $T_A=25^\circ C$ 、CPU=12MHz。CapSense は 12MHz で動作、I/O ソース電流なし	–	1.71	2.60	mA
I_{DD6}	電源電流、IMO=6MHz	条件： $V_{DD} \leq 3.0V$ 、 $T_A=25^\circ C$ 、CPU=6MHz。CapSense は 6MHz で動作、I/O ソース電流なし	–	1.16	1.80	mA
$I_{DDAVG10}$	センサー毎の平均電源電流	1 個のセンサーは 10mS レートでスキャン	–	250	–	μA
$I_{DDAVG100}$	センサー毎の平均電源電流	1 個のセンサーは 100mS レートでスキャン	–	25	–	μA
$I_{DDAVG500}$	センサー毎の平均電源電流	1 個のセンサーは 500mS レートでスキャン	–	7	–	μA
I_{SB0} [58、59、60、61、62、63]	ディープスリープ電流	$V_{DD} \leq 3.0V$ 、 $T_A=25^\circ C$ 、I/O レギュレータはオフ	–	0.10	1.05	μA
I_{SB1} [58、59、60、61、62、63]	POR、LVD、およびスリープタイマーが有効な場合のスタンバイ電流	$V_{DD} \leq 3.0V$ 、 $T_A=25^\circ C$ 、I/O レギュレータはオフ	–	1.07	1.50	μA
I_{SBI2C} [58、59、60、61、62、63]	I ² C が有効な場合のスタンバイ電流	条件： $V_{DD}=3.3V$ 、 $T_A=25^\circ C$ 、CPU=24MHz	–	1.64	–	μA

注：

54. V_{DD} が 1.71V ~ 1.9V の範囲にある時間が 50 μs を超えている場合、1.71V ~ 1.9V の範囲から 2V 以上まで上昇する時に、POR をトリガしないようにするために、スルーレートを 1 V/500 μs 未満にする必要があります。これ以外の電圧範囲や電圧の移行の際のスルーレートについては、SR_{POWER_UP} パラメーターが唯一の制限です。
55. スタンバイスリープモードで電源を遮断する場合、 V_{DD} の電圧低下状態を適切に検出し、この状態から回復できるようにするには、次のいずれかの措置をとる必要があります。
 - a. 電源を遮断する前にデバイスをスリープ状態から復帰させる。
 - b. 再度電源を投入する前に、 V_{DD} が 100mV を下回っているようにする。
 - c. OSC_CR0 レジスタで No Buzz (ブザーなし) ビットを設定し、スリープ中に電圧監視回路への電源供給を維持する。
 - d. ブザーレートを上げて、 V_{DD} の立ち下がりがリッジを取り込むようにする。レートは、SLP_CFG レジスタで PSSDC ビットにより設定されます。リファレンスレジスタについては、CY8C20X36 のテクニカルリファレンスマニュアルをご参照ください。ディープスリープモードでは、追加の低電圧監視回路によって、1V/ms より遅いエッジレートで V_{DD} 電力低下状態を検出できます。
56. USB モードでは、バスパワーで動作するアプリケーション用の V_{DD} を 4.35 ~ 5.35V に制限する必要があります。セルフパワーで動作するアプリケーション用の V_{DD} は 3.15 ~ 3.45V でなければなりません。
57. 適切な CapSense ブロック機能のために、 V_{DD} の低下が基準 V_{DD} の 5% を超える場合、 V_{DD} の低下率は 200mV/秒を超えてはいけません。基準 V_{DD} は、1.8V ~ 5.5V です。
58. **エラッタ：** デバイスをスタンバイまたは I²C USB モードでスリープに移行し、かつバンドギャップ回路が 8ms (デフォルト) よりも長い間隔でリフレッシュされる場合、デバイスはスリープ終了の入力が受信される時、スリープを終了しない場合があります。詳細については、47 ページのエラッタをご参照ください。
59. **エラッタ：** デバイスがスリープモードへ/から移行している中に I²C マスターがトランザクションを開始すると、I²C ブロックはデータとバス破損エラーを示すことがあります。詳細については、47 ページのエラッタをご参照ください。
60. **エラッタ：** レジスタ 0 のビット 1 (BoH (PTO_CFG)) をセットすることでプログラム可能なタイマー 0 が「ワンショット」モードで使用されており、かつタイマー割り込みがデバイスをスリープからウェイクアップするのに使用されている場合は、割り込みサービサールーチン (ISR) が 2 回実行される可能性があります。詳細については、48 ページの「エラッタ」をご参照ください。
61. **エラッタ：** スリープモードの時、GPIO 割り込みがタイマー 0 またはスリープタイマー割り込みと同時に発生すると、GPIO 割り込みが見逃され、対応する GPIO ISR が実行されない場合があります。詳細については、ページの「エラッタ」48 をご参照ください。
62. **エラッタ：** ファームウェアがデバイスにスリープに入るよう命令する短い時間 (2.5 CPU サイクル以内) 前に割り込みが発行されたら、その割り込みは見逃されません。詳細については、49 ページの「エラッタ」をご参照ください。
63. **エラッタ：** アナログ割り込みがトリガされると、デバイスはスリープから復帰します。詳細については、49 ページの「エラッタ」をご参照ください。

GPIO の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：3.0V ~ 5.5V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、2.4V ~ 3.0V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 1.71V ~ 2.4V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、温度 25°C、電圧 5V および 3.3V の場合の値で、設計の参考としてみ示します。

表 14. 3.0V ~ 5.5V での GPIO の DC 仕様

記号	説明	条件	Min	Typ	Max	単位
R _{PU}	プルアップ抵抗	-	4	5.60	8	kΩ
V _{OH1}	HIGH 出力電圧 ポート 2、3 または 4 のピン	I _{OH} ≤ 10mA、すべての I/O でのソース電流は最大 10mA	V _{DD} - 0.20	-	-	V
V _{OH2}	HIGH 出力電圧 ポート 2、3 または 4 のピン	I _{OH} = 1mA、すべての I/O でのソース電流は最大 20mA	V _{DD} - 0.90	-	-	V
V _{OH3}	HIGH 出力電圧 ポート 0 または 1 のピン、 ポート 1 では LDO レギュレータは無効	I _{OH} < 10mA、すべての I/O でのソース電流は最大 10mA	V _{DD} - 0.20	-	-	V
V _{OH4}	HIGH 出力電圧 ポート 0 または 1 のピン、 ポート 1 では LDO レギュレータは無効	I _{OH} = 5mA、すべての I/O でのソース電流は最大 20mA	V _{DD} - 0.90	-	-	V
V _{OH5}	HIGH 出力電圧 ポート 1 のピン、 3V 出力の LDO レギュレータは有効	I _{OH} < 10mA、V _{DD} > 3.1V、最大 4 本の I/O ピン、各ピンの供給電流は 5mA	2.85	3.00	3.30	V
V _{OH6}	HIGH 出力電圧 ポート 1 のピン、 3V 出力の LDO レギュレータは有効	I _{OH} = 5mA、V _{DD} > 3.1V、すべての I/O で供給電流は最大 20mA	2.20	-	-	V
V _{OH7}	HIGH 出力電圧 ポート 1 のピン、 2.5V 出力の LDO は有効	I _{OH} < 10 mA、V _{DD} > 2.7V、すべての I/O での供給電流は最大 20mA	2.35	2.50	2.75	V
V _{OH8}	HIGH 出力電圧 ポート 1 のピン、 2.5V 出力の LDO は有効	I _{OH} = 2mA、V _{DD} > 2.7V、すべての I/O での供給電流は最大 20mA	1.90	-	-	V
V _{OH9}	HIGH 出力電圧 ポート 1 のピン、 1.8V 出力の LDO は有効	I _{OH} < 10 mA、V _{DD} > 2.7V、すべての I/O での供給電流は最大 20mA	1.60	1.80	2.10	V
V _{OH10}	HIGH 出力電圧 ポート 1 のピン、 1.8V 出力の LDO は有効	I _{OH} = 1mA、V _{DD} > 2.7V、すべての I/O での供給電流は最大 20mA	1.20	-	-	V
V _{OL}	出力 LOW 電圧	I _{OL} = 25 mA、V _{DD} > 3.3V、偶数ポートピン (例えば、P0[2]、P1[4]) での最大シンク電流は 60mA、奇数ポートピン (例えば、P0[3]、P1[5]) での最大シンク電流は 60mA。	-	-	0.75	V
V _{IL}	入力 LOW 電圧	-	-	-	0.80	V
V _{IH}	入力 HIGH 電圧	-	2.00	-	-	V
V _H	入力ヒステリシス電圧	-	-	80	-	mV
I _{IL}	入力リーク電流 (絶対値)	-	-	0.001	1	μA
C _{PIN}	ピン静電容量	パッケージとピンによって異なる 温度 = 25°C	0.50	1.70	7	pF
V _{ILLVT3.3}	低閾値イネーブルが有効な入力 LOW 電圧、 ポート 1 で有効	ポート 1 入力の低閾値電圧を有効にするために、IO_CFG1 のビット 3 をセット	0.8	V	-	-
V _{IHLVT3.3}	低閾値イネーブルが有効な入力 HIGH 電圧、 ポート 1 で有効	ポート 1 入力の低閾値電圧を有効にするために、IO_CFG1 のビット 3 をセット	1.4	-	-	V
V _{ILLVT5.5}	低閾値イネーブルが有効な入力 LOW 電圧、 ポート 1 で有効	ポート 1 入力の低閾値電圧を有効にするために、IO_CFG1 のビット 3 をセット	0.8	V	-	-
V _{IHLVT5.5}	低閾値イネーブルが有効な入力 HIGH 電圧、 ポート 1 で有効	ポート 1 入力の低閾値電圧を有効にするために、IO_CFG1 のビット 3 をセット	1.7	-	-	V

表 15. 2.4V ~ 3.0V での GPIO の DC 仕様

記号	説明	条件	Min	Typ	Max	単位
R _{PU}	プルアップ抵抗	–	4	5.60	8	kΩ
V _{OH1}	HIGH 出力電圧 ポート 2、3 または 4 のピン	I _{OH} < 10mA、すべての I/O でのソース電流は最大 10mA	V _{DD} – 0.20	–	–	V
V _{OH2}	HIGH 出力電圧 ポート 2、3 または 4 のピン	I _{OH} = 0.2mA、すべての I/O での供給電流は最大 10mA	V _{DD} – 0.40	–	–	V
V _{OH3}	HIGH 出力電圧 ポート 0 または 1 のピン、 ポート 1 では LDO レギュレータは無効	I _{OH} < 10mA、すべての I/O でのソース電流は最大 10mA	V _{DD} – 0.20	–	–	V
V _{OH4}	HIGH 出力電圧 ポート 0 または 1 のピン、 ポート 1 では LDO レギュレータは無効	I _{OH} = 2mA、すべての I/O での供給電流が最大 10mA	V _{DD} – 0.50	–	–	V
V _{OH5A}	HIGH 出力電圧 ポート 1 のピン、 1.8V 出力の LDO は有効	I _{OH} < 10 mA、V _{DD} > 2.4V、すべての I/O での供給電流は最大 20mA	1.50	1.80	2.10	V
V _{OH6A}	HIGH 出力電圧 ポート 1 のピン、 1.8V 出力の LDO は有効	I _{OH} = 1mA、V _{DD} > 2.4V、すべての I/O での供給電流は最大 20mA	1.20	–	–	V
V _{OL}	LOW 出力電圧	I _{OL} = 10mA、偶数ポート ピン (例えば、P0[2]、P1[4]) でのシンク電流は最大 30mA、奇数ポート ピン (例えば、P0[3]、P1[5]) でのシンク電流は最大 30mA	–	–	0.75	V
V _{IL}	入力 LOW 電圧	–	–	–	0.72	V
V _{IH}	入力 HIGH 電圧	–	1.40	–	–	V
V _H	入力ヒステリシス電圧	–	–	80	–	mV
I _{IL}	入力リーク電流 (絶対値)	–	–	1	1000	nA
C _{PIN}	ピンの容量負荷	パッケージとピンによって異なる 温度 = 25°C	0.50	1.70	7	pF
V _{ILLVT2.5}	低閾値イネーブルが有効な入力 LOW 電圧、ポート 1 で有効	ポート 1 入力の低閾値電圧を有効にするために、IO_CFG1 のビット 3 をセット	0.7	V	–	
V _{IHLVT2.5}	低閾値イネーブルが有効な入力 HIGH 電圧、ポート 1 で有効	ポート 1 入力の低閾値電圧を有効にするために、IO_CFG1 のビット 3 をセット	1.2	–	–	V

表 16. 1.71V ~ 2.4V での GPIO の DC 仕様

記号	説明	条件	Min	Typ	Max	単位
R _{PU}	プルアップ抵抗	–	4	5.60	8	kΩ
V _{OH1}	HIGH 出力電圧 ポート 2、3 または 4 のピン	I _{OH} = 10mA、すべての I/O での供給電流は最大 10mA	V _{DD} – 0.20	–	–	V
V _{OH2}	HIGH 出力電圧 ポート 2、3 または 4 のピン	I _{OH} = 0.5mA、すべての I/O での供給電流は最大 10mA	V _{DD} – 0.50	–	–	V
V _{OH3}	HIGH 出力電圧 ポート 0 または 1 のピン、ポート 1 では LDO レギュレータは無効	I _{OH} = 100mA、すべての I/O での供給電流が最大 10mA	V _{DD} – 0.20	–	–	V
V _{OH4}	HIGH 出力電圧 ポート 0 または 1 のピン、ポート 1 では LDO レギュレータは無効	I _{OH} = 2mA、すべての I/O での供給電流が最大 10mA	V _{DD} – 0.50	–	–	V

表 16. 1.71V ~ 2.4V での GPIO の DC 仕様 (続き)

記号	説明	条件	Min	Typ	Max	単位
V _{OL}	出力 LOW 電圧	I _{OL} = 5mA、偶数ポートピン (例えば、P0[2]、P1[4]) でのシンク電流は最大 20mA、奇数ポートピン (例えば、P0[3]、P1[5]) でのシンク電流は最大 30mA	–	–	0.40	V
V _{IL}	入力 LOW 電圧	–	–	–	0.30 × V _{DD}	V
V _{IH}	入力 HIGH 電圧	–	0.65 × V _{DD}	–	–	V
V _H	入力ヒステリシス電圧	–	–	80	–	mV
I _{IL}	入力リーク電流 (絶対値)	–	–	1	1000	nA
C _{PIN}	ピンの容量負荷	パッケージとピンによって異なる 温度 = 25°C	0.50	1.70	7	pF

表 17. DC 仕様 – USB インターフェース

記号	説明	条件	Min	Typ	Max	単位
R _{USBI}	USB D+ プルアップ抵抗	アイドルバスあり	900	–	1575	Ω
R _{USBA}	USB D+ プルアップ抵抗	トラフィック受信中	1425	–	3090	Ω
V _{OHUSB}	スタティック出力 HIGH	–	2.8	–	3.6	V
V _{OLUSB}	スタティック出力 LOW	–	–	–	0.3	V
V _{DI}	差動入力感度	–	0.2	–	–	V
V _{CM}	差動入力同相モード範囲	–	0.8	–	2.5	V
V _{SE}	シングルエンド レシーバー閾値	–	0.8	–	2.0	V
C _{IN}	トランシーバー静電容量	–	–	–	50	pF
I _{IO}	High Z 状態でのデータラインのリーク電流	D+ または D- ライン上	–10	–	+10	μA
R _{PS2}	PS/2 プルアップ抵抗	–	3000	5000	7000	Ω
R _{EXT}	外付け USB 直列抵抗	各 USB ピンと直列	21.78	22.0	22.22	Ω

アナログマルチプレクサバスの DC 仕様

表 18 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 18. アナログマルチプレクサバスの DC 仕様

記号	説明	条件	Min	Typ	Max	単位
R _{SW}	共通アナログバスへのスイッチ抵抗	–	–	–	800	Ω
R _{GND}	V _{SS} への初期化スイッチの抵抗	–	–	–	800	Ω

R_{SW} と R_{GND} 測定用の最大ピン電圧は 1.8V

低消費電力コンパレータの DC 仕様

表 19 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 19. コンパレータの DC 仕様

記号	説明	条件	Min	Typ	Max	単位
V _{LPC}	低電力コンパレータ (LPC) の共通モード	V _{DD} に制限された最大電圧	0.0	–	1.8	V
I _{LPC}	LPC 電源電流	–	–	10	40	μA
V _{OSLPC}	LPC 電圧オフセット	–	–	3	30	mV

コンパレータ ユーザー モジュールの電氣的仕様

表 20 に、保証されている最大仕様と最小仕様を示します。特に記載されていない限り、この仕様は次のデバイスの全電圧範囲と全動作温度範囲でのものです： $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、 $1.71\text{V} \leq V_{DD} \leq 5.5\text{V}$ 。

表 20. コンパレータ ユーザー モジュールの電氣的仕様

記号	説明	条件	Min	Typ	Max	単位
t_{COMP}	コンパレータ応答時間	50mV オーバードライブ	–	70	100	ns
オフセット		$0.2\text{V} \sim V_{DD}-0.2\text{V}$ で有効	–	2.5	30	mV
電流		平均DC電流、50mVオーバードライブ	–	20	80	μA
PSRR	電源電圧 >2V	電源電圧変動除去比	–	80	–	dB
	電源電圧 <2V	電源電圧変動除去比	–	40	–	dB
入力範囲		–	0		1.5	V

ADC の電氣的仕様
表 21. ADC ユーザー モジュールの電氣的仕様

記号	説明	条件	Min	Typ	Max	単位
入力						
V_{IN}	入力電圧範囲	–	0	–	VREFADC	V
C_{IIN}	入力容量	–	–	–	5	pF
R_{IN}	入力抵抗	8ビット、9ビット、または10ビットの分解能時のスイッチト キャパシタ 入力の等価抵抗	$1/(500\text{fF} \times \text{データクロック})$	$1/(400\text{fF} \times \text{データクロック})$	$1/(300\text{fF} \times \text{データクロック})$	Ω
リファレンス						
V_{REFADC}	ADC リファレンス電圧	–	1.14	–	1.26	V
変換速度						
F_{CLK}	データ クロック	クロック ソースはチップの内部メイン振動子。精度については、チップレベルの AC 仕様を参照	2.25	–	6	MHz
S8	8ビットのサンプリング速度	データ クロックを 6MHz に設定。サンプリング速度 = $0.001 / (2^{\wedge} \text{分解能} / \text{データクロック})$	–	23.43	–	ksps
S10	10ビットのサンプリング速度	データ クロックを 6MHz に設定。サンプリング速度 = $0.001 / (2^{\wedge} \text{分解能} / \text{データクロック})$	–	5.85	–	ksps
DC 精度						
RES	分解能	8ビット、9ビット、または10ビットに設定可能	8	–	10	ビット
DNL	微分非直線性	–	–1	–	+2	LSB
INL	積分非直線性	–	–2	–	+2	LSB
E_{OFFSET}	オフセット誤差	8ビット分解能	0	3.20	19.20	LSB
		10ビット分解能	0	12.80	76.80	LSB
E_{GAIN}	ゲイン誤差	任意の分解能	–5	–	+5	%FSR
電源						
I_{ADC}	動作電流	–	–	2.10	2.60	mA
PSRR	電源電圧変動除去比	PSRR ($V_{DD} > 3.0\text{V}$)	–	24	–	dB
		PSRR ($V_{DD} < 3.0\text{V}$)	–	30	–	dB

POR および LVD の DC 仕様

表 22 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 22. POR および LVD の DC 仕様

記号	説明	条件	Min	Typ	Max	単位
V _{POR0}	PSoC Designer で 1.66V を選択	V _{DD} は、起動、XRES ピンからのリセット、またはウォッチドッグからのリセットの間、1.71V 以上でなければならない。	1.61	1.66	1.71	V
V _{POR1}	PSoC Designer で 2.36V を選択		–	2.36	2.41	V
V _{POR2}	PSoC Designer で 2.60V を選択		–	2.60	2.66	V
V _{POR3}	PSoC Designer で 2.82V を選択		–	2.82	2.95	V
V _{LVD0}	PSoC Designer で 2.45V を選択	–	2.40	2.45	2.51	V
V _{LVD1}	PSoC Designer で 2.71V を選択		2.64 ^[64]	2.71	2.78	V
V _{LVD2}	PSoC Designer で 2.92V を選択		2.85 ^[65]	2.92	2.99	V
V _{LVD3}	PSoC Designer で 3.02V を選択		2.95 ^[66]	3.02	3.09	V
V _{LVD4}	PSoC Designer で 3.13V を選択		3.06	3.13	3.20	V
V _{LVD5}	PSoC Designer で 1.90V を選択		1.84	1.90	2.32	V
V _{LVD6}	PSoC Designer で 1.80V を選択		1.75 ^[67]	1.80	1.84	V
V _{LVD7}	PSoC Designer で 4.73V を選択		4.62	4.73	4.83	V

プログラミングの DC 仕様

表 23 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 23. プログラミングの DC 仕様

記号	説明	条件	Min	Typ	Max	単位
V _{DDIWRITE}	フラッシュ書き込み動作の電源電圧	–	1.71	–	5.25	V
I _{DDP}	プログラミングまたは検証中の供給電流	–	–	5	25	mA
V _{ILP}	プログラミングまたは検証中の入力 LOW 電圧	22 ページの GPIO の DC 仕様を参照	–	–	V _{IL}	V
V _{IHP}	プログラミングまたは検証中の入力 HIGH 電圧	22 ページの GPIO の DC 仕様を参照	V _{IH}	–	–	V
I _{ILP}	プログラミングまたは検証中に V _{ILP} を P1[0] または P1[1] に印加する時の入力電流	内部プルダウン抵抗を駆動	–	–	0.2	mA
I _{IHP}	プログラミングまたは検証中に V _{IHP} を P1[0] または P1[1] に印加する時の入力電流	内部プルダウン抵抗を駆動	–	–	1.5	mA
V _{OLP}	プログラミングまたは検証中の出力 LOW 電圧	–	–	–	V _{SS} + 0.75	V
V _{OHP}	プログラミングまたは検証中の出力 HIGH 電圧	22 ページの GPIO の DC 仕様を参照。V _{DD} > 3V の場合、20 ページの表 12 での V _{OHP4} を使用	V _{OHP}	–	V _{DD}	V
Flash _{ENPB}	フラッシュの書き換え可能回数	ブロック当たりの消去／書き換えの回数	50,000	–	–	–
Flash _{DR}	フラッシュのデータ保持期間	フラッシュの最大書き換え回数に従う。周囲温度は 55°C	20	–	–	年

注:

- 64. 電源電圧低下時に、必ず V_{PPOR1}+50mV を上回る値とします。
- 65. 電源電圧低下時に、必ず V_{PPOR2}+50mV を上回る値とします。
- 66. 電源電圧低下時に、必ず V_{PPOR3}+50mV を上回る値とします。
- 67. 電源電圧低下時に、必ず V_{PPOR0}+50mV を上回る値とします。

I²C の DC 仕様

表 24 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：3.0V ~ 5.5V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、2.4V ~ 3.0V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 1.71V ~ 2.4V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、温度 25°C、電圧 5V および 3.3V の場合の値で、設計の参考としてのみ示します。

表 24. I²C の DC 仕様

記号	説明	条件	Min	Typ	Max	単位
V _{ILi2C}	入力 LOW レベル	$3.1\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	–	–	$0.25 \times V_{\text{DD}}$	V
		$2.5\text{V} \leq V_{\text{DD}} \leq 3.0\text{V}$	–	–	$0.3 \times V_{\text{DD}}$	V
		$1.71\text{V} \leq V_{\text{DD}} \leq 2.4\text{V}$	–	–	$0.3 \times V_{\text{DD}}$	V
V _{IHi2C}	入力 HIGH レベル	$1.71\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	$0.65 \times V_{\text{DD}}$	–	–	V

リファレンスバッファの DC 仕様

表 25 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：3.0V ~ 5.5V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、2.4V ~ 3.0V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 1.71V ~ 2.4V と $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、温度 25°C、電圧 5V および 3.3V の場合の値で、設計の参考としてのみ示します。

表 25. リファレンス バッファの DC 仕様

記号	説明	条件	Min	Typ	Max	単位
V _{Ref}	リファレンス バッファ出力	$1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	1	–	1.05	V
V _{RefHi}	リファレンス バッファ出力	$1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	1.2	–	1.25	V

IDAC の DC 仕様

表 26 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 26. IDAC の DC 仕様

記号	説明	Min	Typ	Max	単位	注
IDAC_DNL	微分非直線性	–4.5	–	+4.5	LSB	–
IDAC_INL	積分非直線性	–5	–	+5	LSB	–
IDAC_Gain (ソース)	レンジ =0.5x	6.64	–	22.46	μA	DAC 設定 =128 dec。 CapSense アプリケーションには 推奨しない
	レンジ =1x	14.5	–	47.8	μA	
	レンジ =2x	42.7	–	92.3	μA	
	レンジ =4x	91.1	–	170	μA	
	レンジ =8x	184.5	–	426.9	μA	

チップレベルの AC 仕様

表 27 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 27. チップレベルの AC 仕様

記号	説明	条件	Min	Typ	Max	単位
F _{IMO24}	IMO 周波数を 24MHz に設定	–	22.8	24	25.2	MHz
F _{IMO12}	IMO 周波数を 12MHz に設定	–	11.4	12	12.6	MHz
F _{IMO6}	IMO 周波数を 6MHz に設定	–	5.7	6.0	6.3	MHz
F _{CPU}	CPU 周波数	–	0.75	–	25.20	MHz
F _{32K1}	ILO 周波数	–	15	32	50	kHz
F _{32K_U}	ILO 周波数 (未トリム)	–	13	32	82	kHz
DC _{IMO}	IMO のデューティ比	–	40	50	60	%
DC _{ILO}	ILO のデューティ比	–	40	50	60	%
SR _{POWER_UP}	電源電圧スルー レート	電源投入時の V _{DD} スルー レート	–	–	250	V/ms
t _{XRST}	電源投入時の外部リセット パルス幅	電源電圧が有効になった後	1	–	–	ms
t _{XRST2}	電源投入後の外部リセット パルス幅 ^[68]	デバイス起動後に適用	10	–	–	μs
t _{OS}	ECO の起動時間	–	–	1	–	s
t _{JIT_IMO} ^[69]	N=32	6MHz IMO サイクル間ジッタ (RMS)	–	0.7	6.7	ns
		6MHz IMO 長周期 N (N=32) サイクル間ジッタ (RMS)	–	4.3	29.3	ns
		6MHz IMO 周期ジッタ (RMS)	–	0.7	3.3	ns
		12MHz IMO サイクル間ジッタ (RMS)	–	0.5	5.2	ns
		12MHz IMO 長周期 N (N=32) サイクル間ジッタ (RMS)	–	2.3	5.6	ns
		12MHz IMO 周期ジッタ (RMS)	–	0.4	2.6	ns
		24MHz IMO サイクル間ジッタ (RMS)	–	1.0	8.7	ns
		24MHz IMO 長周期 N (N=32) サイクル間ジッタ (RMS)	–	1.4	6.0	ns
		24MHz IMO 周期ジッタ (RMS)	–	0.6	4.0	ns

注：
 68. デバイスのプログラミング時に必要な最小 XRES パルス長は、この値より長くなります (31 ページの表 33 を参照)。
 69. 詳細については、サイプレスのジッタ仕様アプリケーション ノート「[Understanding Datasheet Jitter Specifications for Cypress Timing Products – AN5054](#)」をご参照ください。

GPIO の AC 仕様

表 28 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 28. GPIO の AC 仕様

記号	説明	条件	Min	Typ	Max	単位
f_{GPIO}	GPIO 動作周波数	通常のスロング モードのポート 0、1	0 0	- -	1.71V < V_{DD} < 2.40V の場合は 6MHz 2.40V < V_{DD} < 5.50V の場合は 12MHz	MHz MHz
t_{RISE23}	立ち上がり時間、スロング モード、 Clload=50pF ポート 2、3 または 4 のピン	V_{DD} =3.0 ~ 3.6V、10% ~ 90%	15	-	80	ns
$t_{RISE23L}$	立ち上がり時間、スロング モード、 低電源電圧、Clload=50pF、ポート 2、 3 または 4 ピン	V_{DD} =1.71 ~ 3.0V、10% ~ 90%	15	-	80	ns
t_{RISE01}	立ち上がり時間、スロング モード、 Clload=50pF ポート 0 または 1	V_{DD} =3.0 ~ 3.6V、10% ~ 90% LDO は有効または無効	10	-	50	ns
$t_{RISE01L}$	立ち上がり時間、スロング モード、 低電源電圧、Clload=50pF、 ポート 0 または 1	V_{DD} =1.71 ~ 3.0V、10% ~ 90% LDO は有効または無効	10	-	80	ns
t_{FALL}	立ち上がり時間、スロング モード、 Clload=50pF 全ポート	V_{DD} =3.0 ~ 3.6V、10% ~ 90%	10	-	50	ns
t_{FALLL}	立ち上がり時間、スロング モード、 低電源電圧、 Clload=50pF、全ポート	V_{DD} =1.71 ~ 3.0V、10% ~ 90%	10	-	70	ns

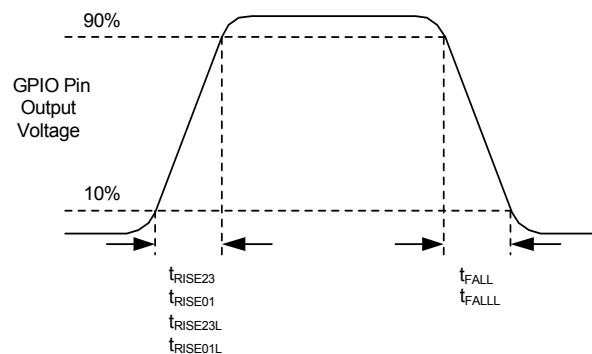
図 14. GPIO のタイミング図


表 29. AC 仕様— USB データ タイミング

記号	説明	条件	Min	Typ	Max	単位
t _{DRATE}	フルスピードのデータ転送速度	平均ビット レート	12 - 0.25%	12	12 + 0.25%	MHz
t _{JR1}	レシーバー ジッタ耐力	次の遷移まで	-18.5	-	18.5	ns
t _{JR2}	レシーバー ジッタ耐力	ペアの遷移まで	-9.0	-	9	ns
t _{DJ1}	FS ドライバー ジッタ	次の遷移まで	-3.5	-	3.5	ns
t _{DJ2}	FS ドライバー ジッタ	ペアの遷移まで	-4.0	-	4.0	ns
t _{FDEOP}	差分遷移のソース ジッタ	SE0 遷移まで	-2.0	-	5	ns
t _{FEOPT}	EOP のソース SE0 間隔	-	160.0	-	175	ns
t _{FEOPR}	EOP のレシーバー SE0 間隔	-	82.0	-	-	ns
t _{FST}	差動遷移中の SE0 間隔の幅	-	-	-	14	ns

表 30. AC 仕様— USB ドライバー

記号	説明	条件	Min	Typ	Max	単位
t _{FR}	遷移の立ち上がり時間	50pF	4	-	20	ns
t _{FF}	遷移の立ち下がり時間	50pF	4	-	20	ns
t _{FRFM} ^[70]	立ち上がり／立ち下がり時間の一致	-	90	-	111	%
V _{CRS}	出力信号クロスオーバー電圧	-	1.30	-	2.00	V

コンパレータの AC 仕様

表 31 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 31. 低消費電力コンパレータの AC 仕様

記号	説明	条件	Min	Typ	Max	単位
t _{LPC}	コンパレータ応答時間、50mV オーバードライブ	50mV オーバードライブはオフセット電圧を含まない	-	-	100	ns

外部クロックの AC 仕様

表 32 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 32. 外部クロックの AC 仕様

記号	説明	条件	Min	Typ	Max	単位
F _{OSCEXT}	周波数 (外部振動子周波数)	-	0.75	-	25.20	MHz
	HIGH 時間	-	20.60	-	5300	ns
	LOW 時間	-	20.60	-	-	ns
	IMO 電源投入から切り替えまでの時間	-	150	-	-	μs

注:
70. t_{FRFM} は、いかなる条件でも満たされません。3.3V 以下などの低電源電圧では、コーナー ケースがありますが、この条件は USB 通信には影響を与えません。シグナル インテグリティのテストでは、3.15V で優れたアイ ダイアグラムを表します。

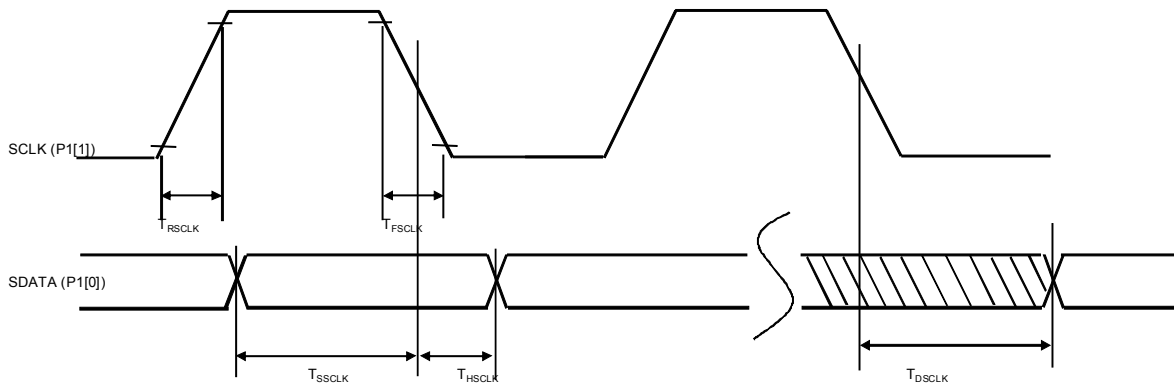
プログラミングの AC 仕様
図 15. AC 波形


表 33 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 33. プログラミングの AC 仕様

記号	説明	条件	Min	Typ	Max	単位
t_{RSCLK}	SCLK の立ち上がり時間	–	1	–	20	ns
t_{FSCLK}	SCLK の立ち下がり時間	–	1	–	20	ns
t_{SSCLK}	SCLK の立ち下がりエッジまでのデータセットアップ時間	–	40	–	–	ns
t_{HSCLK}	SCLK の立ち下がりエッジからのデータホールド時間	–	40	–	–	ns
F_{SCLK}	SCLK の周波数	–	0	–	8	MHz
t_{ERASEB}	フラッシュ消去時間 (ブロック)	–	–	–	18	ms
t_{WRITE}	フラッシュブロック書き込み時間	–	–	–	25	ms
t_{DSCLK}	SCLK の立ち下がりエッジからのデータ出力遅延	$3.6 < V_{DD}$	–	–	60	ns
t_{DSCLK3}	SCLK の立ち下がりエッジからのデータ出力遅延	$3.0 \leq V_{DD} \leq 3.6$	–	–	85	ns
t_{DSCLK2}	SCLK の立ち下がりエッジからのデータ出力遅延	$1.71 \leq V_{DD} \leq 3.0$	–	–	130	ns
t_{XRST3}	電源投入後の外部リセットパルス幅	スリープモードを終了してプログラミングモードに入るために必要	300	–	–	μ s
t_{XRES}	XRES パルス長	–	300	–	–	μ s
$t_{VDDWAIT}^{[71]}$	V_{DD} が安定してから待機およびポーリングがオフになるまでの時間	–	0.1	–	1	ms
$t_{VDDXRES}^{[71]}$	V_{DD} が安定してから XRES がアサートされるまでの遅延	–	14.27	–	–	ms
t_{POLL}	SDATA の HIGH パルス時間	–	0.01	–	200	ms
$t_{ACQ}^{[71]}$	256 ILO クロックに基づく V_{DD} ランプ獲得イベント後の「キーウィンドウ」時間	–	3.20	–	19.60	ms
$t_{XRESINI}^{[71]}$	8 ILO クロックに基づく XRES イベント後の「キーウィンドウ」時間	–	98	–	615	μ s

注:

71.5 ~ 50°C で有効です。詳細については、CY8C20X66、CY8C20X46、CY8C20X36、CY7C643XX、CY7C604XX、CY8CTST2XX、CY8CTMG2XX、CY8C20X67、CY8C20X47、CY8C20X37 の仕様、およびプログラミング仕様をご参照ください。

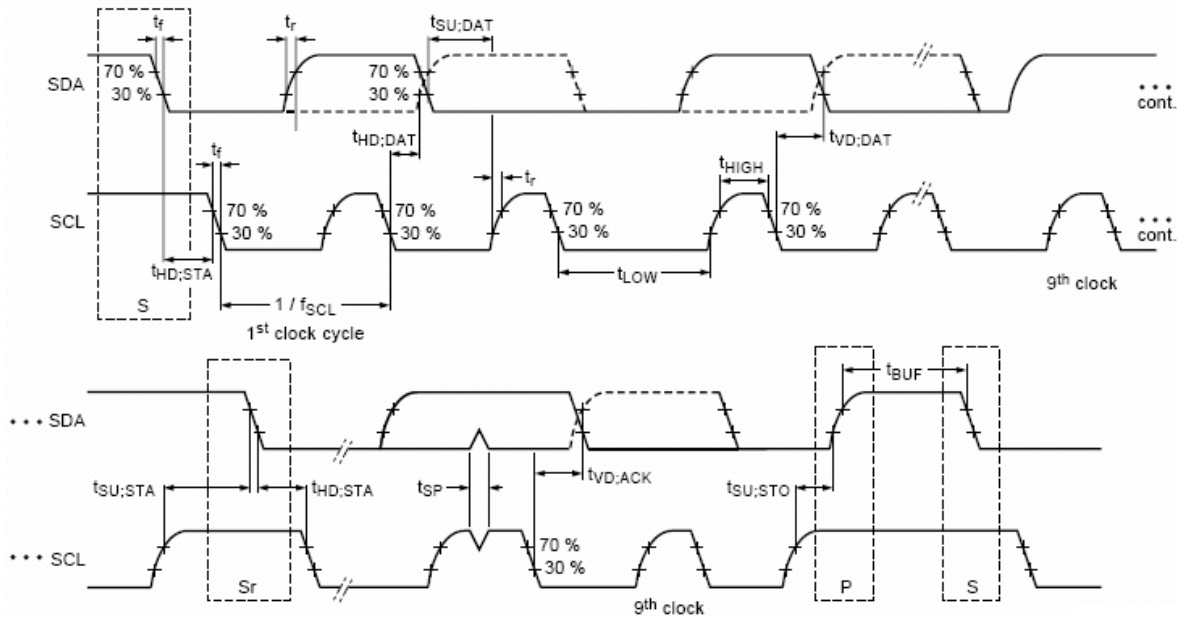
I²C の AC 仕様

表 34 に、電圧範囲および温度範囲の全域で保証されている最大値と最小値の仕様を示します。

表 34. I²C SDA と SCL ピンの AC 仕様

記号	説明	標準モード		高速モード		単位
		Min	Max	Min	Max	
f _{SCL}	SCL クロック周波数	0	100	0	400	kHz
t _{HD;STA}	ホールド時間 (反復) START 条件。この時間が経過した後、最初のクロックパルスが生成される	4.0	–	0.6	–	μs
t _{LOW}	SCL クロックの LOW 時間	4.7	–	1.3	–	μs
t _{HIGH}	SCL クロックの HIGH 時間	4.0	–	0.6	–	μs
t _{SU;STA}	反復 START 条件のセットアップ時間	4.7	–	0.6	–	μs
t _{HD;DAT}	データ ホールド時間	0	3.45	0	0.90	μs
t _{SU;DAT}	データ セットアップ時間	250	–	100 ^[72]	–	ns
t _{SU;STO}	STOP 条件のセットアップ時間	4.0	–	0.6	–	μs
t _{BUF}	STOP 条件と START 条件間のバスの空き時間	4.7	–	1.3	–	μs
t _{SP}	スパイクのパルス幅が入力フィルタによって抑制される時間	–	–	0	50	ns

図 16. ファースト/標準モードの I²C バス タイミングの定義



注：
 72. 高速モード I²C バス デバイスは標準モード I²C バス システムでも使用できますが、t_{SU;DAT} ≥ 250ns 条件を満たさなければなりません。SCL 信号の LOW 期間をデバイスで伸ばさなければ、この要件を自動的に満足できます。SCL 信号の LOW 期間をデバイスで伸ばす場合は、SCL ラインを解放する時点より [t_{rmax}+t_{SU;DAT}=1000+250=1250ns] 前に次のデータ ビットを SDA ラインに出力する必要があります (標準モード I²C バスの仕様により)。

表 35. SPI マスターの AC 仕様

記号	説明	条件	Min	Typ	Max	単位
F_{SCLK}	SCLK クロック周波数	$V_{DD} \geq 2.4V$ $V_{DD} < 2.4V$	- -	- -	6 3	MHz MHz
DC	SCLK デューティ比	-	-	50	-	%
t_{SETUP}	MISO から SCLK までのセットアップ時間	$V_{DD} \geq 2.4V$ $V_{DD} < 2.4V$	60 100	- -	- -	ns ns
t_{HOLD}	SCLK から MISO までのホールド時間	-	40	-	-	ns
t_{OUT_VAL}	SCLK から MOSI が有効になるまでの時間	-	-	-	40	ns
t_{OUT_H}	MOSI の HIGH 時間	-	40	-	-	ns

図 17. SPI マスタのモード 0 とモード 2

SPI Master, modes 0 and 2

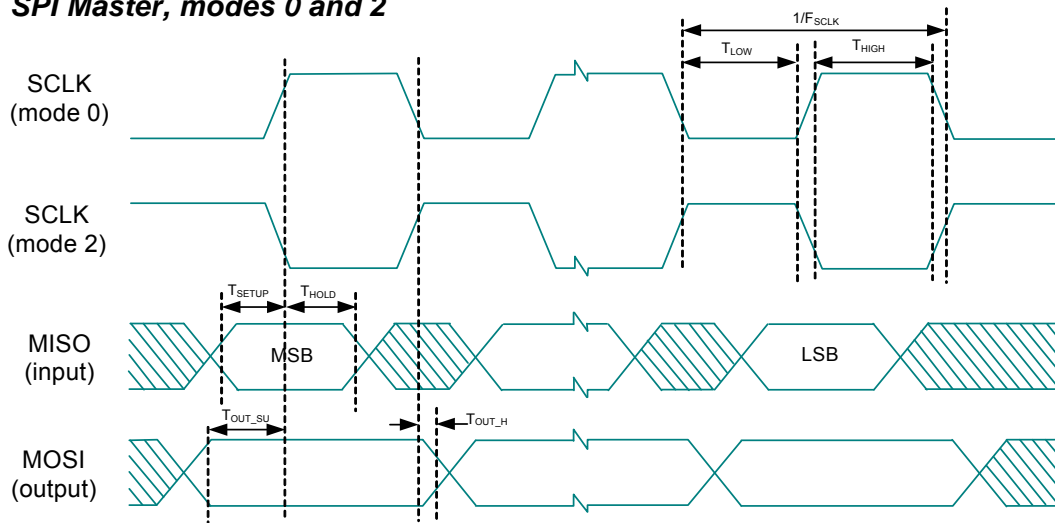


図 18. SPI マスタのモード 1 とモード 3

SPI Master, modes 1 and 3

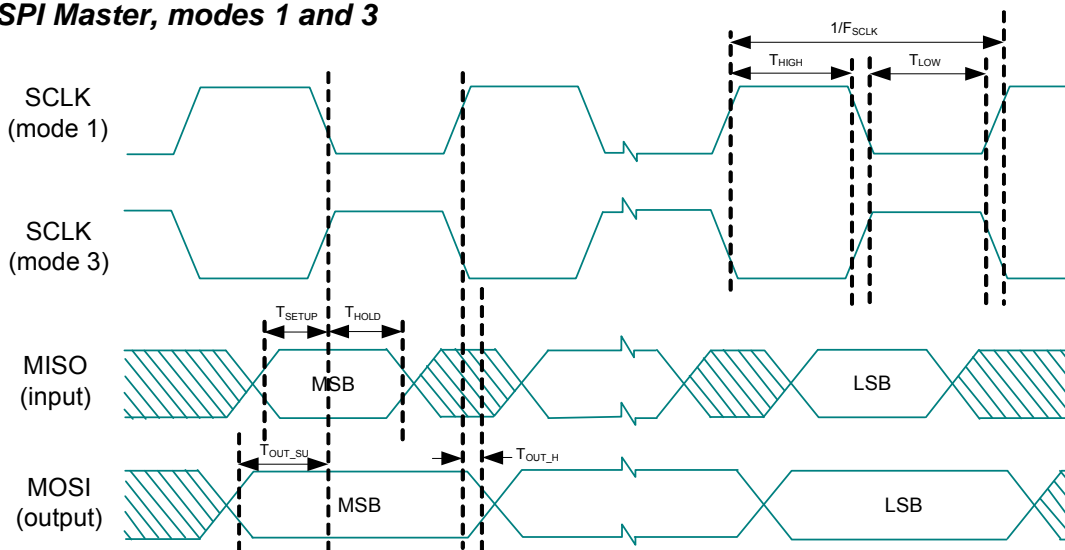


表 36. SPI スレーブの AC 仕様

記号	説明	条件	Min	Typ	Max	単位
F_{SCLK}	SCLK クロック周波数	-	-	-	4	MHz
t_{LOW}	SCLK の LOW 時間	-	42	-	-	ns
t_{HIGH}	SCLK の HIGH 時間	-	42	-	-	ns
t_{SETUP}	MOSI から SCLK までのセットアップ時間	-	30	-	-	ns
t_{HOLD}	SCLK から MOSI までのホールド時間	-	50	-	-	ns
t_{SS_MISO}	SS が HIGH になってから MISO が有効になるまでの時間	-	-	-	153	ns
t_{SCLK_MISO}	SCLK から MISO が有効になるまでの時間	-	-	-	125	ns
t_{SS_HIGH}	SS の HIGH 時間	-	50	-	-	ns
t_{SS_CLK}	SS が LOW になってから最初の SCLK までの時間	-	2/SCLK	-	-	ns
t_{CLK_SS}	最後の SCLK から SS が HIGH になるまでの時間	-	2/SCLK	-	-	ns

図 19. SPI スレーブのモード 0 とモード 2

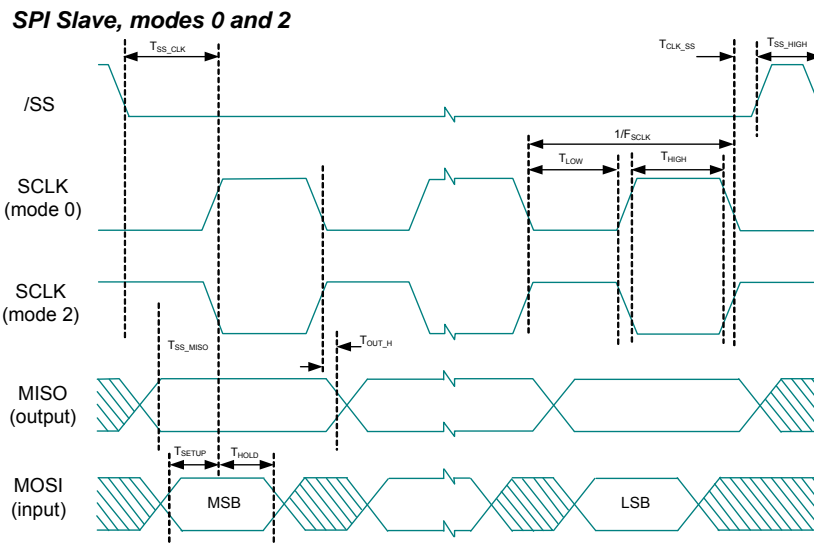
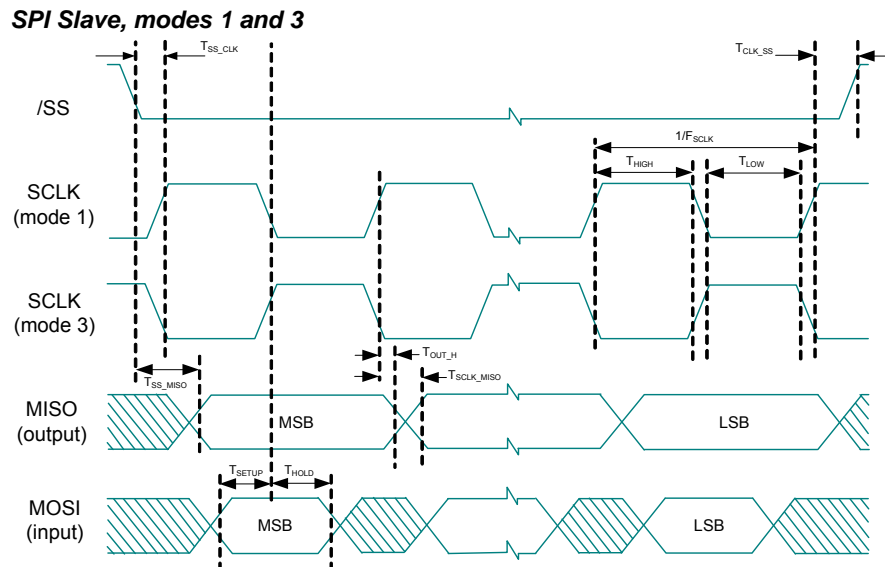


図 20. SPI スレーブのモード 1 とモード 3



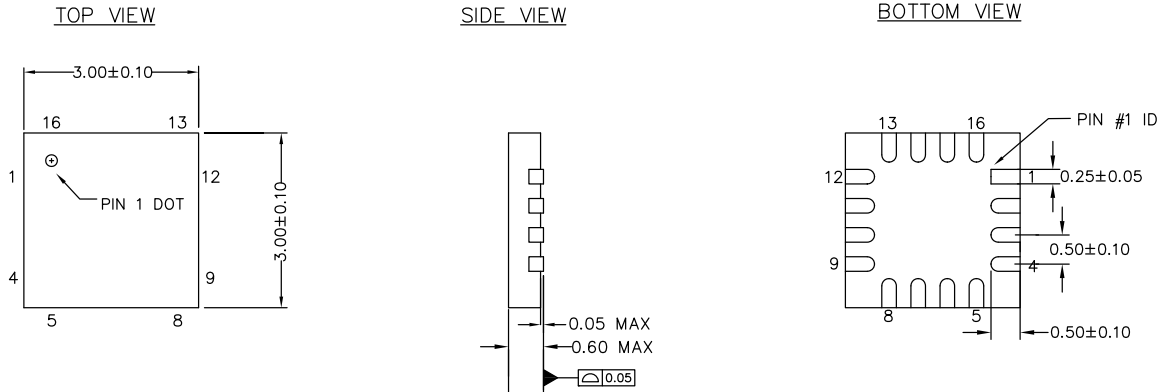
パッケージ情報

本節では、CY8C20XX6A/S PSoC デバイスのパッケージ仕様と、各パッケージの熱インピーダンスについて説明します。

重要な注意 エミュレーション ツールでは、対象のプリント基板上でチップの実装面積よりも広い面積が必要になる場合があります。

エミュレーション ツールの寸法の詳細な説明については、<http://www.cypress.com/design/MR10161> にアクセスして、「PSoC Emulator Pod Dimensions」を参照してください。

図 21. 16 ピン QFN (E-パッドなし) (3 × 3 × 0.6mm) LG16A (Sawn) パッケージの外形、001-09116

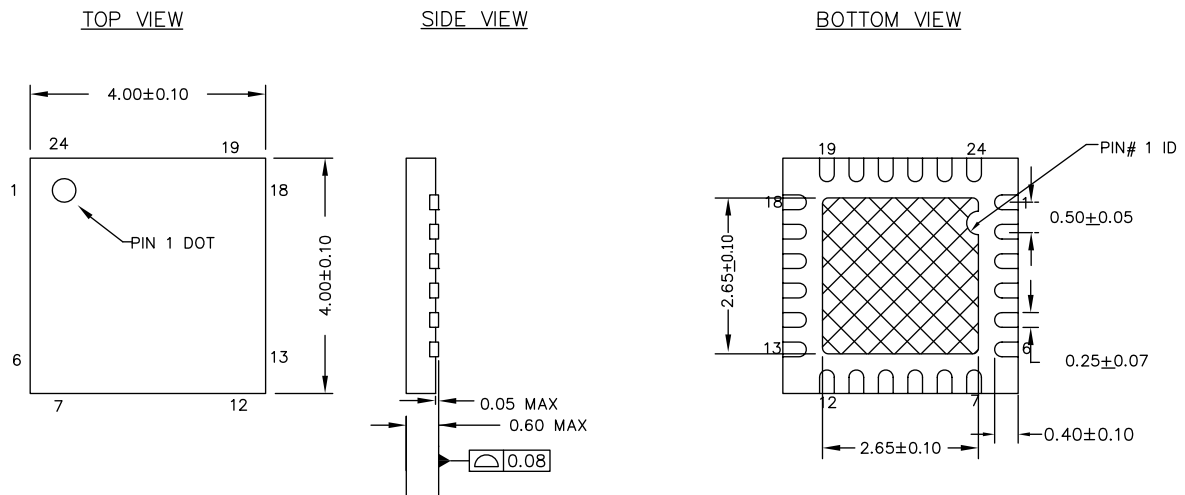


NOTES


1. REFERENCE JEDEC # MO-220
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-09116 *J

図 22. 24 ピン QFN (4 × 4 × 0.55 mm) LQ24A 2.65 × 2.65 E-パッド (Sawn) パッケージの外形、001-13937

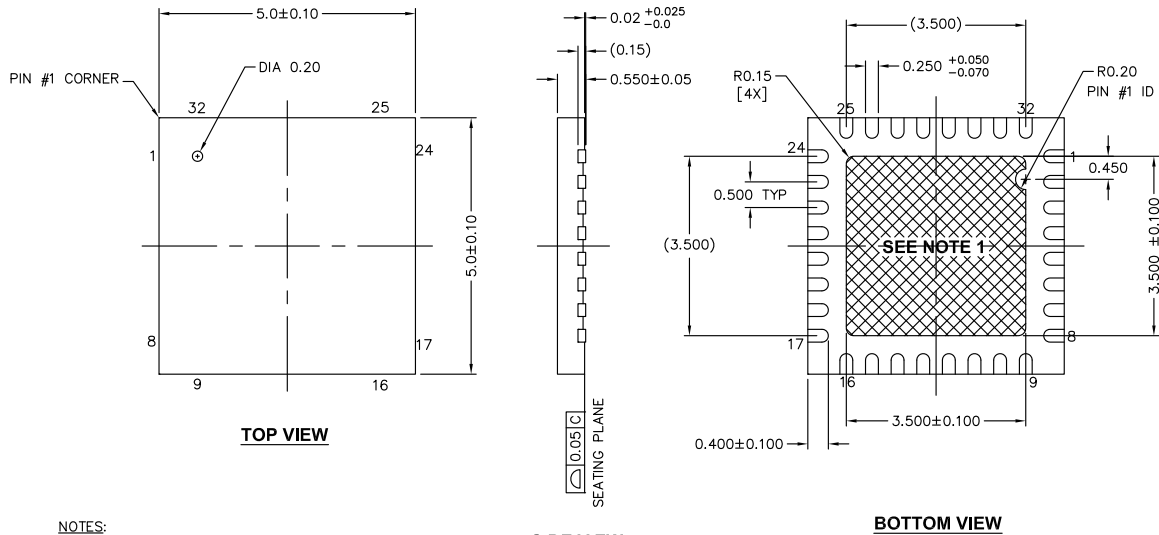


NOTES :


1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *F

図 23. 32 ピン QFN (5 × 5 × 0.55mm) LQ32 3.5x3.5 E- パッド (Sawn) パッケージの外形、001-42168



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-248
3. PACKAGE WEIGHT: 0.0388g
4. DIMENSIONS ARE IN MILLIMETERS

001-42168 *E

図 24. 48 ピン SSOP (300 ミル) O483 パッケージの外形、51-85061

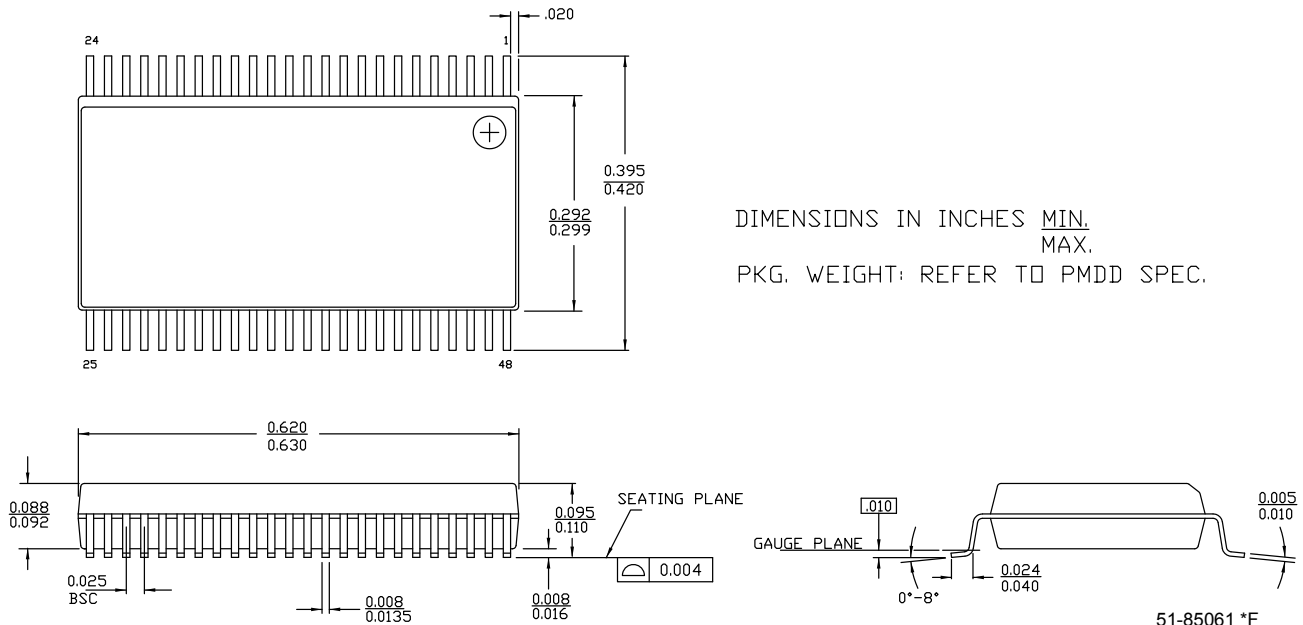
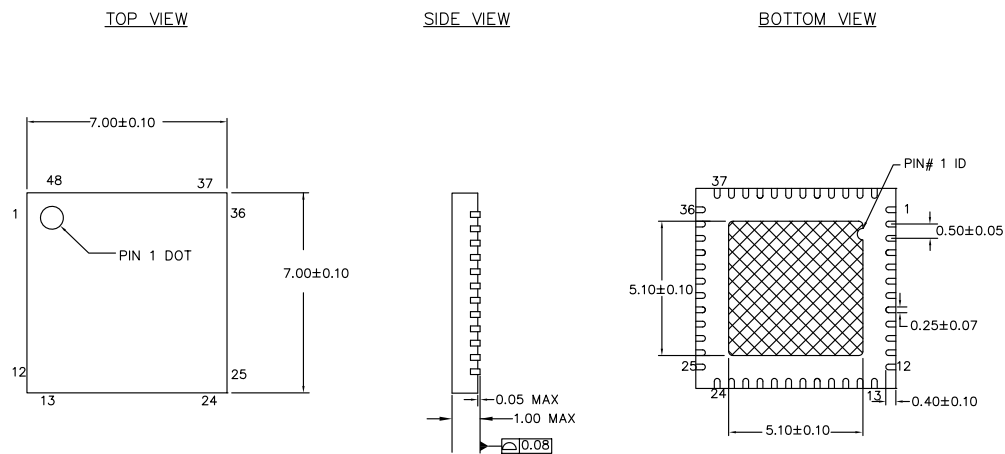



図 25. 48 ピン QFN (7 × 7 × 1.0 mm) LT48A 5.1 × 5.1 E- パッド (Sawn) パッケージの外形、001-13191

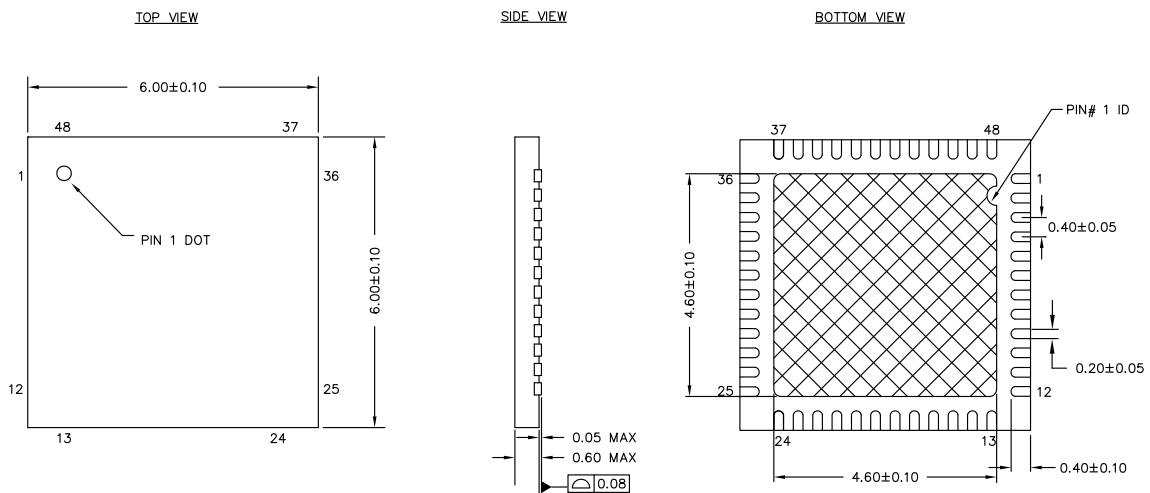


NOTES:


1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 13 ± 1 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13191 *H

図 26. 48 ピン QFN (6 × 6 × 0.6 mm) LQ48A 4.6x4.6 E- パッド (Sawn) パッケージの外形、001-57280



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ± 7 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-57280 *E

重要な注意

- QFN パッケージを取り付ける際の推奨される寸法については、
http://www.amkor.com/products/notes_papers/MLFAppNote.pdf のアプリケーション ノートをご参照ください。
- 低消費電力 PSoc デバイスでは、熱伝導用のピアホールは必要ありません。

熱インピーダンス
表 37. パッケージ別の熱インピーダンス

パッケージ	標準 θ_{JA} [73]	標準 θ_{JC}
16 ピン QFN (センターパッドなし)	33°C/W	—
24 ピン QFN [74]	21°C/W	—
32 ピン QFN [74]	20°C/W	—
48 ピン SSOP	69°C/W	—
48 ピン QFN (6 × 6 × 0.6mm) [74]	25.20°C/W	3.04°C/W
48 ピン QFN (7 × 7 × 1.0mm) [74]	18°C/W	—
30 ボール WLCSP	54°C/W	—

水晶振動子ピンの静電容量
表 38. パッケージ毎の水晶振動子ピンの標準的な静電容量

パッケージ	パッケージ静電容量
32 ピン QFN	3.2pF
48 ピン QFN	3.3pF

はんだリフローの仕様

表 39 には、超えてはならないはんだリフロー温度限界値を表します。

表 39. はんだリフローの仕様

パッケージ	最高ピーク温度 (T_C)	$T_C-5^\circ\text{C}$ 以上の最大時間
16 ピン QFN	260°C	30 秒
24 ピン QFN	260°C	30 秒
32 ピン QFN	260°C	30 秒
48 ピン SSOP	260°C	30 秒
48 ピン QFN (6 × 6 × 0.6mm)	260°C	30 秒
48 ピン QFN (7 × 7 × 1.0mm)	260°C	30 秒
30 ボール WLCSP	260°C	30 秒

注:

73. $T_J = T_A + \text{消費電力} \times \theta_{JA}$

74. QFN パッケージ固有の熱インピーダンスを実現するには、中央のサーマルパッドを PCB のグランド面にはんだ付けする必要があります。

開発ツールの選択

ソフトウェア

PSoC Designer™

PSoC 開発ソフトウェアスイートの中核となるのは、PSoC Designer です。この安定したソフトウェアは、何千人もの PSoC 開発者によって使用され、数年間にわたり PSoC 設計を支援してきました。PSoC Designer は、<http://www.cypress.com> から無償で入手できます。

PSoC Programmer

開発現場で使用できるほど柔軟性があり、工場プログラミングにも適している PSoC Programmer は、スタンドアロンのプログラミング アプリケーションとして機能するほか、PSoC Designer から直接実行することもできます。PSoC Programmer ソフトウェアは、PSoC ICE-Cube インサーキット エミュレータと PSoC MiniProg 両方との互換性があります。PSoC Programmer は <http://www.cypress.com> から無償で入手できます。

開発キット

開発キットは、サイプレス オンライン ストアで販売しています。

CY3215-DK 基本開発キット

CY3215-DK は、PSoC Designer を使用したプロトタイピングと開発用のキットです。このキットはインサーキット エミュレーションをサポートしており、ソフトウェア インターフェースを使用することで、プロセッサの実行、停止、およびシングル ステップ実行や、特定のメモリ位置の内容表示ができます。PSoC Designer は、高度エミュレーション機能もサポートしています。このキットの内容は次の通りです。

- PSoC Designer ソフトウェア CD
- ICE-Cube インサーキット エミュレータ
- CY8C29X66A ファミリー用 ICE フレックスポッド
- Cat-5 アダプタ
- Mini-Eval プログラミング ボード
- 110 ~ 240V 電源、ユーロプラグ アダプタ
- iMAGEcraft C コンパイラ (登録が必要)
- ISSP ケーブル
- USB 2.0 ケーブルとブルー Cat-5 ケーブル
- CY8C29466A-24PXI 28-PDIP チップ サンプル (2 個)

評価ツール

評価ツールは、サイプレス オンライン ストアで販売しています。

CY3210-MiniProg1

CY3210-MiniProg1 キットを使用すると、MiniProg1 プログラミング ユニットを使用して PSoC デバイスをプログラムできます。MiniProg は、キットに付属の USB 2.0 ケーブルを介して PC に接続する、サイズが小さいプロトタイピング プログラマです。このキットの内容は次の通りです。

- MiniProg プログラミング ユニット
- MiniEval ソケット プログラミングと評価用基板

- 28 ピン CY8C29466A-24PXI PDIP PSoC デバイス サンプル
- 28 ピン CY8C27443A-24PXI PDIP PSoC デバイス サンプル
- PSoC Designer ソフトウェア CD

- スタート ガイド
 - USB 2.0 ケーブル
- CY3210-PSoCEval1

CY3210-PSoCEval1 キットには、評価用基板と MiniProg1 プログラミング ユニットが含まれています。評価用基板は、評価に必要なすべての要件を満たすように、LCD モジュール、ポテンシオメーター、LED、および十分な大きさのブレッドボードを備えています。このキットの内容は次の通りです。

- LCD モジュール付きの評価用基板
- MiniProg プログラミング ユニット
- 28ピンCY8C29466A-24PXI PDIP PSoCデバイス サンプル (2)
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

CY3280-20X66 汎用 CapSense コントローラー

CY3280-20X66 CapSense コントローラー キットは、事前定義された制御回路とプラグイン ハードウェアを使用して、容易に CY8C20XX6A CapSense 設計のプロトタイプを作成し、デバッグできるように設計されています。プログラミング ハードウェアと I2C-USB ブリッジは、チューニングとデータ取得のために含まれています。

このキットの内容は次の通りです。

- CY3280-20X66 CapSense コントローラー ボード
- CY3240-I2USB ブリッジ
- CY3210 MiniProg1 プログラマ
- USB 2.0 巻き取り式ケーブル
- CY3280-20X66 キット CD

デバイス プログラマ

すべてのデバイス プログラマはサイプレスのオンライン ストアから購入できます。

CY3216 モジュラ プログラマ

CY3216 モジュラ プログラマ キットは、モジュラ プログラマと MiniProg1 プログラミング ユニットを備えています。モジュラ プログラマは 3 個のプログラミング モジュール カードを含んでおり、複数のサイプレス製品に対応します。このキットの内容は次の通りです。

- モジュラ プログラマ ベース
- 3 枚のプログラミング モジュール カード
- MiniProg プログラミング ユニット
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

CY3207ISSP インシステム シリアルプログラミング (ISSP)
 CY3207ISSP は量産プログラマです。ここには保護用回路と、
 量産プログラミング環境で MiniProg よりも安定した本格的な
 ケースが含まれます。
 注：CY3207ISSP には特殊なソフトウェアが必要であるため、
 PSoC Programmer とは互換性がありません。このキットの内
 容は次の通りです。

- CY3207 プログラマ ユニット
- PSoC ISSP ソフトウェア CD
- 110 ~ 240V 電源、ユーロプラグ アダプタ
- USB 2.0 ケーブル

アクセサリ (エミュレーションおよびプログラミング)

表 40. エミュレーションおよびプログラミング アクセサリ

製品番号	ピンパッケージ	フレックスポッドキット [75]	フットキット [76]	アダプタ [77]
CY8C20236A-24LKXI	16 ピン QFN (E-パッドなし)	CY3250-20246QFN	CY3250-20246QFN-POD	注 74 を参照
CY8C20246A-24LKXI	16 ピン QFN (E-パッドなし)	CY3250-20246QFN	CY3250-20246QFN-POD	注 77 を参照
CY8C20246AS-24LKXI	16 ピン QFN (E-パッドなし)	非対応		
CY8C20336A-24LQXI	24 ピン QFN	CY3250-20346QFN	CY3250-20346QFN-POD	注 74 を参照
CY8C20346A-24LQXI	24 ピン QFN	CY3250-20346QFN	CY3250-20346QFN-POD	注 77 を参照
CY8C20346AS-24LQXI	24 ピン QFN	非対応		
CY8C20396A-24LQXI	24 ピン QFN	非対応		
CY8C20436A-24LQXI	32 ピン QFN	CY3250-20466QFN	CY3250-20466QFN-POD	注 74 を参照
CY8C20446A-24LQXI	32 ピン QFN	CY3250-20466QFN	CY3250-20466QFN-POD	注 77 を参照
CY8C20446AS-24LQXI	32 ピン QFN	非対応		
CY8C20466A-24LQXI	32 ピン QFN	CY3250-20466QFN	CY3250-20466QFN-POD	注 77 を参照
CY8C20466AS-24LQXI	32 ピン QFN	非対応		
CY8C20496A-24LQXI	32 ピン QFN	非対応		
CY8C20536A-24PVXI	48 ピン SSOP	CY3250-20566	CY3250-20566-POD	注 77 を参照
CY8C20546A-24PVXI	48 ピン SSOP	CY3250-20566	CY3250-20566-POD	注 77 を参照
CY8C20566A-24PVXI	48 ピン SSOP	CY3250-20566	CY3250-20566-POD	注 77 を参照

サードパーティ ツール

開発と生産時に対応した PSoC 向けの様々なツールがサードパーティベンダーで作られています。それぞれのツールの詳細情報については、<http://www.cypress.com> で「Documentation」>「Evaluation Boards」をご覧ください。

基板上的 PSoC エミュレータの構築

オンチップ デバッグ (OCD) 機能付き非量産用 PSoC デバイスを使用して、大量生産を開始する前に回路をエミュレートする方法の詳細については、アプリケーション ノート「[Debugging - Build a PSoC Emulator into Your Board - AN2323](#)」をご参照ください。

注：
 75. フレックスポッドキットには、2個のポッドフィートの他に、フレックスポッドとフレックスケーブルが含まれています。
 76. フットキットには、対象の PCB にはんだ付けできる表面実装フットが含まれます。
 77. プログラミングアダプタは、非 DIP パッケージを DIP フットプリントに変換します。各アダプタの詳細と注文情報については、<http://www.emulation.com> をご参照ください。

注文情報

表 41 に、CY8C20XX6A/SPSoC デバイスの主なパッケージの機能と注文コードを示します。

表 41. PSoC デバイスの主な機能と注文情報

パッケージ	注文コード	フラッシュ (バイト)	SRAM (バイト)	CapSense ブロック	デジタル I/O ピン	アナログ 入力 ^[78]	XRES ピン	USB	ADC
16 ピン (3×3×0.6mm) QFN (E-パッドなし)	CY8C20236A-24LKXI	8K	1K	1	13	13	有	無	有
16 ピン (3×3×0.6mm) QFN (E-パッドなし) (テープ&リール)	CY8C20236A-24LKXIT	8K	1K	1	13	13	有	無	有
16 ピン (3×3×0.6mm) QFN (E-パッドなし)	CY8C20246A-24LKXI	16K	2K	1	13	13	有	無	有
16 ピン (3×3×0.6mm) QFN (E-パッドなし)	CY8C20246AS-24LKXI	16K	2K	1	13	13	有	無	有
16 ピン (3×3×0.6mm) QFN (E-パッドなし) (テープ&リール)	CY8C20246A-24LKXIT	16K	2K	1	13	13	有	無	有
16 ピン (3×3×0.6mm) QFN (E-パッドなし) (テープ&リール)	CY8C20246AS-24LKXIT	16K	2K	1	13	13	有	無	有
24 ピン (4×4×0.6mm) QFN	CY8C20336A-24LQXI	8K	1K	1	20	20	有	無	有
24 ピン (4×4×0.6mm) QFN (テープ&リール)	CY8C20336A-24LQXIT	8K	1K	1	20	20	有	無	有
24 ピン (4×4×0.6mm) QFN	CY8C20346A-24LQXI	16K	2K	1	20	20	有	無	有
24 ピン (4×4×0.6mm) QFN	CY8C20346AS-24LQXI	16K	2K	1	20	20	有	無	有
24 ピン (4×4×0.6mm) QFN (テープ&リール)	CY8C20346A-24LQXIT	16K	2K	1	20	20	有	無	有
24 ピン (4×4×0.6mm) QFN (テープ&リール)	CY8C20346AS-24LQXIT	16K	2K	1	20	20	有	無	有
24 ピン (4×4×0.6mm) QFN	CY8C20396A-24LQXI	16K	2K	1	19	19	有	有	有
24 ピン (4×4×0.6mm) QFN (テープ&リール)	CY8C20396A-24LQXIT	16K	2K	1	19	19	有	有	有
32 ピン (5×5×0.6mm) QFN	CY8C20436A-24LQXI	8K	1K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20436A-24LQXIT	8K	1K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN	CY8C20446A-24LQXI	16K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN	CY8C20446AS-24LQXI	16K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20446A-24LQXIT	16K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20446AS-24LQXIT	16K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN	CY8C20466A-24LQXI	32K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN	CY8C20466AS-24LQXI	32K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20466A-24LQXIT	32K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20466AS-24LQXIT	32K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN	CY8C20496A-24LQXI	16K	2K	1	25	25	有	有	有
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20496A-24LQXIT	16K	2K	1	25	25	有	有	有

注:

78. デュアル ファンクション デジタル I/O ピンも、共通のアナログ マルチプレクサに接続します。

79. 新規設計用へのご利用はお勧めできません。

表 41. PSoC デバイスの主な機能と注文情報 (続き)

パッケージ	注文コード	フラッシュ (バイト)	SRAM (バイト)	CapSense ブロック	デジタル I/O ピン	アナログ 入力 ^[78]	XRES ピン	USB	ADC
48 ピン SSOP ^[79]	CY8C20536A-24PVXI ^[79]	8K	1K	1	34	34	有	無	有
48 ピン SSOP (テープ&リール) ^[79]	CY8C20536A-24PVXIT ^[79]	8K	1K	1	34	34	有	無	有
48 ピン SSOP ^[79]	CY8C20546A-24PVXI ^[79]	16K	2K	1	34	34	有	無	有
48 ピン SSOP (テープ&リール) ^[79]	CY8C20546A-24PVXIT ^[79]	16K	2K	1	34	34	有	無	有
48 ピン SSOP ^[79]	CY8C20566A-24PVXI ^[79]	32K	2K	1	34	34	有	無	有
48 ピン SSOP (テープ&リール) ^[79]	CY8C20566A-24PVXIT ^[79]	32K	2K	1	34	34	有	無	有
48 ピン (6×6×0.6mm) QFN	CY8C20636A-24LQXI	8K	1K	1	36	36	有	無	有
48 ピン (6×6×0.6mm) QFN (テープ&リール)	CY8C20636A-24LQXIT	8K	1K	1	36	36	有	無	有
48 ピン (7×7×1.0mm) QFN ^[79]	CY8C20636A-24LTXI ^[79]	8K	1K	1	36	36	有	無	有
48 ピン (7×7×1.0mm) QFN (テープ&リール) ^[79]	CY8C20636A-24LTXIT ^[79]	8K	1K	1	36	36	有	無	有
48 ピン (6×6×0.6mm) QFN	CY8C20646A-24LQXI	16K	2K	1	36	36	有	有	有
48 ピン (6×6×0.6mm) QFN (テープ& リール)	CY8C20646A-24LQXIT	16K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN ^[79]	CY8C20646A-24LTXI ^[79]	16K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN (テープ&リール) ^[79]	CY8C20646A-24LTXIT ^[79]	16K	2K	1	36	36	有	有	有
48 ピン (6×6×0.6mm) QFN	CY8C20666A-24LQXI	32K	2K	1	36	36	有	有	有
48 ピン (6×6×0.6mm) QFN (テープ&リール)	CY8C20666A-24LQXIT	32K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN ^[79]	CY8C20666A-24LTXI ^[79]	32K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN ^[79]	CY8C20666AS-24LTXI ^[79]	32K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN (テープ&リール) ^[79]	CY8C20666A-24LTXIT ^[79]	32K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN (テープ&リール) ^[79]	CY8C20666AS-24LTXIT ^[79]	32K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN (OCD) ^[78]	CY8C20066A-24LTXI ^[78]	32K	2K	1	36	36	有	有	有
30 ボール WLCSP	CY8C20746A-24FDXC	16K	1K	1	27	27	有	無	有
30 ボール WLCSP (テープ&リール)	CY8C20746A-24FDXCT	16K	1K	1	27	27	有	無	有
30 ボール WLCSP	CY8C20766A-24FDXC	32K	2K	1	27	27	有	無	有
30 ボール WLCSP (テープ&リール)	CY8C20766A-24FDXCT	32K	2K	1	27	27	有	無	有
24 ピン (4×4×0.6mm) QFN	CY8C20336AN-24LQXI	8K	1K	1	20	20	有	無	無
24 ピン (4×4×0.6mm) QFN (テープ&リール)	CY8C20336AN-24LQXIT	8K	1K	1	20	20	有	無	無
32 ピン (5×5×0.6mm) QFN	CY8C20436AN-24LQXI	8K	1K	1	28	28	有	無	無
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20436AN-24LQXIT	8K	1K	1	28	28	有	無	無
16 ピン (3×3×0.6mm) QFN (E-パッドなし)	CY8C20246AS-24LKXI	16K	2K	1	13	13	有	無	有
16 ピン (3×3×0.6mm) QFN (E-パッドなし、テープ&リール)	CY8C20246AS-24LKXIT	16K	2K	1	13	13	有	無	有

注:

78. デュアル ファンクション デジタル I/O ピンも、共通のアナログ マルチプレクサに接続します。

79. 新規設計用へのご利用はお勧めできません。

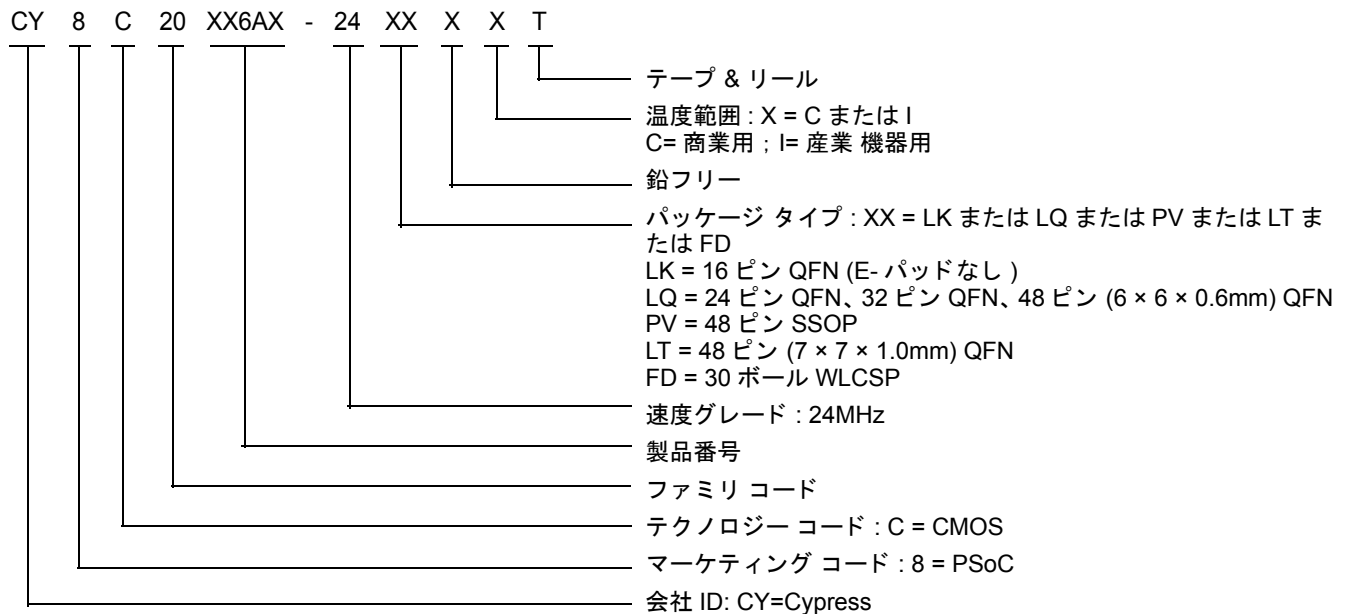
表 41. PSoC デバイスの主な機能と注文情報 (続き)

パッケージ	注文コード	フラッシュ (バイト)	SRAM (バイト)	CapSense ブロック	デジタル I/O ピン	アナログ 入力 ^[78]	XRES ピン	USB	ADC
24 ピン (4×4×0.6mm) QFN	CY8C20346AS-24LQXI	16K	2K	1	20	20	有	無	有
24 ピン (4×4×0.6mm) QFN (テープ&リール)	CY8C20346AS-24LQXIT	16K	2K	1	20	20	有	無	有
32 ピン (5×5×0.6mm) QFN	CY8C20446AS-24LQXI	16K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20446AS-24LQXIT	16K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN	CY8C20466AS-24LQXI	32K	2K	1	28	28	有	無	有
32 ピン (5×5×0.6mm) QFN (テープ&リール)	CY8C20466AS-24LQXIT	32K	2K	1	28	28	有	無	有
48 ピン (6×6×0.6mm) QFN	CY8C20666AS-24LQXI	32K	2K	1	36	36	有	有	有
48 ピン (6×6×0.6mm) QFN (テープ&リール)	CY8C20666AS-24LQXIT	32K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN ^[79]	CY8C20666AS-24LTXI ^[79]	32K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN (テープ&リール) ^[79]	CY8C20666AS-24LTXIT ^[79]	32K	2K	1	36	36	有	有	有
48 ピン (6×6×0.6mm) QFN	CY8C20646AS-24LQXI	16K	2K	1	36	36	有	有	有
48 ピン (6×6×0.6mm) QFN (テープ&リール)	CY8C20646AS-24LQXIT	16K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN ^[79]	CY8C20646AS-24LTXI ^[79]	16K	2K	1	36	36	有	有	有
48 ピン (7×7×1.0mm) QFN (テープ&リール) ^[79]	CY8C20646AS-24LTXIT ^[79]	16K	2K	1	36	36	有	有	有

注:

78. デュアル ファンクション デジタル I/O ピンも、共通のアナログ マルチプレクサに接続します。

79. 新規設計用へのご利用はお勧めできません。

注文コードの定義


略語
表 42. 本書で使用する略語

略語	説明
AC	alternating current (交流電流)
ADC	analog-to-digital converter (アナログ~デジタル変換器)
API	アプリケーションプログラミング インターフェース
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
CPU	Central Processing Unit (中央演算処理装置)
DAC	digital-to-analog converter (デジタル - アナログ変換器)
DC	Direct Current (直流電流)
EOP	End of packet (パケットの終了)
FSR	Full scale range (フルスケール範囲)
GPIO	General purpose input/output (汎用 I/O)
GUI	Graphical user interface (グラフィカル ユーザー インターフェース)
I ² C	inter-integrated circuit (インターインテグレートド サークット)
ICE	in-circuit emulator (インサーキット エミュレータ)
IDAC	digital analog converter current (デジタル アナログ変換器電流)
ILO	internal low speed oscillator (内部低速振動子)
IMO	internal main oscillator (内部メイン振動子)
I/O	input/output (入力/出力)
ISSP	in-system serial programming (インシステム シリアルプログラミング)
LCD	liquid crystal display (液晶ディスプレイ)
LDO	low dropout (regulator) (低ドロップアウト (レギュレーター))
LSB	least-significant bit (最下位ビット)
LVD	low voltage detect (低電圧検出)
MCU	micro-controller unit (マイクロコントローラー ユニット)
MIPS	mega instructions per second (100 万命令/秒)
MISO	master in slave out (マスター イン スレーブ アウト)
MOSI	master out slave in (マスタ アウト スレーブ イン)
MSB	most-significant bit (最上位ビット)
OCD	on-chip debugger (オンチップ デバッガー)
POR	power on reset (パワーオン リセット)
PPOR	precision power on reset (高精度パワーオン リセット)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWRSYS	power system (電源システム)
PSoC [®]	Programmable System-on-Chip (プログラマブル システムオンチップ)
SLIMO	slow internal main oscillator (低速内部メイン振動子)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SNR	signal to noise ratio (信号対ノイズ比)

表 42. 本書で使用する略語 (続き)

略語	説明
QFN	quad flat no-lead (クアッドフラット リードなしパッケージ)
SCL	serial I ² C clock (シリアル I ² C クロック)
SDA	serial I ² C data (シリアル I ² C データ)
SDATA	serial ISSP data (シリアル ISSP データ)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)
SS	slave select (スレーブ選択)
SSOP	shrink small outline package (縮小小型外形パッケージ)
TC	test controller (テスト コントローラー)
USB	universal serial bus (ユニバーサル シリアル バス)
USB D+	USB Data+ (USB データ+)
USB D-	USB Data- (USB データ-)
WLCSPP	wafer level chip scale package (ウェハー レベル チップ スケール パッケージ)
XTAL	crystal (水晶)

参考資料

- **CY8C20xx6** デバイス用のテクニカル リファレンス マニュアル
- **20xx6** デバイス用のインシステム シリアル プログラミング (ISSP) プロトコル ([AN2026C](#))
- **20xx6** デバイス用のホスト ソース シリアル プログラミング ([AN59389](#))

本書の表記法

測定単位

表 43. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムトファラッド
g	グラム
Hz	ヘルツ
KB	1024 バイト
Kbit	1024 ビット
KHz	キロヘルツ
Ksps	キロサンプル毎秒
kΩ	キロオーム
MHz	メガヘルツ
MΩ	メガオーム
μA	マイクロアンペア
μF	マイクロファラッド
μH	マイクロヘンリー
μs	マイクロ秒
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
nF	ナノファラッド
ns	ナノ秒
nV	ナノボルト
W	オーム
pA	ピコアンペア
pF	ピコファラッド
pp	ピーク ツー ピーク
ppm	100 万分の 1
ps	ピコ秒
sps	サンプル毎秒
s	シグマ: 標準偏差値を 1 単位とした表記
V	ボルト
W	ワット

数値の表記法

16 進数はすべて大文字で表記し、小文字の「h」を付記しています (例: 「14h」、「3Ah」)。C の符号化規則に基づき、接頭語「0x」を使用して 16 進数を表現している場合もあります。2 進数には小文字の「b」を付記しています (例: 「01010100b」、「01000011b」)。「h」、「b」、「0x」のいずれも付いていない数は 10 進数です。

用語集

クロスポイント接続	アナログ マルチプレクサ バスを介した任意の GPIO の組み合わせ間の接続です。
微分非直線性	理想的に、2 つの隣合わせのデジタル コードは正確にお互いに 1 LSB 離れた出力アナログ電圧に対応します。微分非直線性は、理想的な 1 LSB ステップからの最悪の場合の偏差です。
ホールド時間	ラッチ データが正しいことを保証するために、クロック イベント以降、ラッチまたはフリップ フロップへのデータ入力を安定させておかなければならない時間です。
I ² C	低速ペリフェラルを MCU に接続するために使用されるシリアル マルチマスター バスです。
積分非直線性	DAC/ADC の理想的な出力値と実際の出力値レベルの最大偏差を表す用語です。
ラッチアップ電流	JESD78 規格に従って (125 °C で) ラッチアップ テストを実行する時の電流です。
電源ノイズ除去比 (PSRR)	PSRR は、電源電圧の変化の、デバイスの対応する出力電圧の変化に対する比と定義されます。
スキャン	すべてのセンサー容量のデジタル値への変換です。
セットアップ時間	デバイス、マシン、プロセスまたはシステムが機能するまでの準備に必要な時間です。
信号対ノイズ比	容量性指の信号とシステムのノイズ間の比率です。
SPI	シリアル ペリフェラル インターフェースは、同期シリアル データ リンク規格です。

エラー

本節では、PSoC[®] CY8C20x36A/46A/66A/96A/46AS/66AS/36H/46H ファミリのエラーについて説明します。詳細情報は、エラーのトリガ条件、影響の範囲、可能な回避方法、シリコン チップのリビジョンの適用可能性などを含んでいます。ご質問があれば、お近くのサイプレスの販売代理店までご連絡ください。

認定の状態

製品の状態：量産中

エラーのまとめ

以下のエラー項目は CY8C20x36A/46A/66A/96A/46AS/66AS/36H/46H ファミリに適用されます。

1. スリープからの復帰は断続的に失敗することがある

■ 問題の定義

デバイスをスタンバイ モードまたは I2C_USB モードからスリープ モードに移行し、かつバンドギャップ回路が 8ms (デフォルト) よりも長い間隔でリフレッシュされた場合、デバイスはスリープ 終了の入力を受信した時、スリープ モードを終了しない場合があります。

■ 影響を受けるパラメーター

なし

■ トリガ条件 (S)

デフォルトでは、デバイスがスタンバイ モードまたは I2C_USB スリープ モードの時、バンドギャップ回路が約 8ms 毎に電源投入されて、POR または LVD イベントの検出します。スリープ中の消費電流を低減するために、SLP_CFG2 レジスタの ALT_BUZZ ビットをセットすることでこの間隔を伸ばすか、または OSC_CR0 レジスタのディセーブル ブザー (Disable Buzz) ビットをセットすることで定期電源投入を無効にすることができます。バンドギャップ回路のリフレッシュ間隔をデフォルトの 8ms より長く設定すると、デバイスはスリープ モードから復帰することができず、ロックアップ状態に入ることがあります。ウォッチドッグ リセット、XRES、または POR でのみこのロックアップ状態から復帰できます。

■ 影響の範囲

上記のトリガ条件により、デバイスが絶対にウェイクアップしない場合もあります。

■ 回避方法

スタンバイまたは I2C_USB スリープ モードに入る前に、SLP_CFG2 レジスタの ALT_BUZZ ビットによりバンドギャップ回路のリフレッシュ間隔を長くすることも、OSC_CR0 レジスタのディセーブル ブザー ビットによりそのリフレッシュ間隔を無効にすることもしないでください。

■ 問題の修正

この問題は、次のシリコン チップ バージョンで修正されません。

2. I²C エラー

■ 問題の定義

デバイスがスリープ モードへから移行している間に I²C マスターがトランザクションを開始すると、I²C ブロックはデータとバス破損エラーを示すことがあります。

■ 影響を受けるパラメーター

デバイスへの I²C 通信、および I²C マスターとサードパーティー I²C スレーブ間の通信の信頼性に影響を与えます。

■ トリガ条件 (S)

デバイスがスリープ モードへからの移行によりトリガされます。

■ 影響の範囲

データ エラーのため、デバイスは I²C マスターに正しくないデータを通知したり、マスターから正しくないデータを受信します。バス破損エラーのため、I²C マスターとサードパーティー I²C スレーブ間のトランザクションのデータを破損する可能性があります。

■ 回避方法

ファームウェアによる回避方法はファームウェアで利用可能です。一般的には、これは、I²C ブロックをバスから切断した上でスリープ モードに入るという回避方法です。スリープ中の I²C トランザクションは、マスターが I²C トランザクションの前にデバイスをウェイクアップするプロトコルによりサポートされます。

■ 問題の修正

将来のシリコン チップ バージョンで修正されます。

■ 変更

なし

3. DoubleTimer0 ISR

■ 問題の定義

レジスタ 0 (B0h (PT0_CFG)) のビット 1 をセットすることでプログラム可能なタイマー 0 が「ワンショット」モードで使用されており、かつタイマー割り込みがデバイスをスリープからウェイクアップするのに使用されている場合は、割り込みサービスルーチン (ISR) が 2 回実行される可能性があります。

■ 影響を受けるパラメーター

影響を受けるデータシート パラメーターはありません。

■ トリガ条件 (S)

タイマーでワンショット モードを有効にし、デバイスをスリープ モードからウェイクアップするのにタイマーを使用することでトリガされます。

■ 影響の範囲

ISR が 2 回実行される可能性があります。

■ 回避方法

ISR では、ファームウェアにより「and reg[B0h], FDh」のような文でワンショット ビットをクリアする必要があります。

■ 問題を修正

修正されません。

■ 変更

なし

4. 見逃される GPIO 割り込み

■ 問題の定義

スリープ モードの時、GPIO 割り込みがタイマー 0 またはスリープ タイマー割り込みと同時に発生すると、GPIO 割り込みが見逃され、対応する GPIO ISR が実行されない場合があります。

■ 影響を受けるパラメーター

影響を受けるデータシート パラメーターはありません。

■ トリガ条件 (S)

スリープ モードが有効になって、GPIO 割り込みがタイマー 0 またはスリープ タイマー割り込みと同時に発生すると、トリガされます。

■ 影響の範囲

GPIO 割り込みサービスルーチンが実行されません。

■ 回避方法

システムは、見逃された GPIO 割り込みが検出できるように設計する必要があります。例えば、いくつかの機能を実行するために GPIO がシステムをウェイクアップするのに使用される場合、システムは機能が実行されていないかを検出し、GPIO 割り込みを再発行しなければなりません。

また、システムをウェイクアップするのに GPIO 割り込みが必要になる場合は、ファームウェアはスリープ タイマーとタイマー 0 を無効にする必要があります。

あるいは、スリープ タイマーとタイマー 0 用の ISR は、手動で GPIO の状態をチェックして、ホスト システムが GPIO 割り込みを生成しようとしたかを判断する必要があります。

■ 問題の修正

修正されません。

■ 変更

なし

5. スリープへの移行中に見逃される割り込み

■ 問題の定義

ファームウェアがデバイスにスリープモードに入るよう命令する直前(2.5 CPU サイクル以内)に割り込みが発行された場合、その割り込みは見逃されます。

■ 影響を受けるパラメーター

影響を受けるデータシートパラメーターはありません。

■ トリガ条件 (S)

割り込みの直前にスリープモードを有効にすると、トリガされます。

■ 影響の範囲

関連する割り込みサービスルーチンが実行されません。

■ 回避方法

なし

■ 問題の修正

修正されません。

■ 変更

なし

6. アナログ割り込みによるスリープからの復帰

■ 問題の定義

アナログ割り込みがトリガされると、デバイスはスリープから復帰します。

■ 影響を受けるパラメーター

影響を受けるデータシートパラメーターはありません。

■ トリガ条件 (S)

デバイスの動作温度が 50°C 以上の時、スリープモード中にアナログ割り込みを有効にすると、トリガされます。

■ 影響の範囲

デバイスが予期せずにスリープから復帰します。

■ 回避方法

スリープに入る前にアナログ割り込みを無効にして、ウェイクアップ時に再度有効にします。

■ 問題の修正

修正されません。

■ 変更

なし

改訂履歴

文書名 : CY8C20XX6A/S、1 ~ 33 ボタン、0 ~ 6 スライダーの SmartSense™ 自動チューニングを備えた 1.8V プログラマブルな CapSense® コントローラー
文書番号 : 002-03923

版	ECN	変更者	発行日	変更内容
**	5012764	HZEN	11/13/2013	これは英語版 001-54459 Rev. *W を翻訳した日本語版 002-03923 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC[®] ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2009-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。