PSoC® 4: PSoC 4200 ファミリ データシート

プログラマブル システムオンチップ (PSoC®)

概要

PSoC® 4 は ARM® Cortex™-M0 CPU を内蔵したアナログ／デジタル混在のプログラミング可能な組込みシステム コントローラー ファミリ用の、拡張可能かつ再設定 可能なプラットフォーム アーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成しています。プラットフォームに基づいて設計されるこの PSoC 4200 デバイス ファミリは、マイクロコン トローラーとデジタル プログラマブル ロジック、高性能アナログ - デジタル変換、コンパレータ モード 付きのオペアンプ、標準通信とタイミング ペリフェラルの組み合わせです。新しいアプリケーションと設計ニーズの面では、PSoC 4200 製品は PSoC 4 プラットフォームのメンバーとの完全な上位互換性があります。プログラム可能なアナログとデジタル サブシステムにより、設計には柔軟性があり、インフィールド (in-field) チューニングも可能になります。

特徴

32 ビット MCU サブシステム

- 48MHz ARM Cortex-M0 CPU、シングル サイクルの乗算に対応
- 読み出し加速装置を備えた 32kB までのフラッシュ
- 最大 4kB の SRAM

プログラム可能なアナログ

- 再設定可能な大電流外部ドライブと広帯域内部ドライブ、コンパレータモード、ADC 入力バッファ リング能力に対応した 2 個のオペアンプ
- 差動とシングルエンド モードおよび信号加算平均に対応したチャネル シーケンサを備えた 12 ビットの 1Msps SAR ADC
- 任意のピンでの汎用または静電容量センシング用途向けの 2 個の電流 DAC (IDAC)
- ディープスリープ モードで動作する 2 個の低消費電力コンパレータ

プログラム可能なデジタル

- ユニバーサル デジタルブロック (UDB) と呼ばれる 4 個のプログラム可能なロジック ブロック、それぞれが 8 個のマクロセルとデータ パスを持つ
- サイプレスが提供した周辺機器ライブラリ、ユーザー定義のステート マシン、Verilog 入力

低消費電力 (1.71V ～ 5.5V) 動作

- ストップ モード時 :20nA 電流で GPIO ウェイクアップが有効
- ハイバネートとディープスリープ モードにより、復帰時間と電力とをトレードオフ可能

静電容量センシング

- サイプレス CapSense シグマ - デルタ (CSD) がクラス最高の SNR (>5:1) および耐水性を提供
- サイプレスが提供するソフトウェア コンポーネントが静電容量センシングの設計を簡易化
- ハードウェア自動チューニング (SmartSense™)

セグメント LCD ドライブ

- LCD ドライブはあらゆるピンに対応 (コモンまたはセグメント)
- ディープスリープ モードでの動作に対応、ピンごとに 4 ビット メモリ

シリアル通信

- 再設定可能な I^2C、SPI、または UART 機能を備えた 2 個の独立した、実行時に再設定可 能なシリアル通信ブロック (SCB)

タイミングおよびパルス幅の変調

- 4 個の 16 ビット タイマー／カウンター パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、疑似ランダム モード
- モーター ドライブや他の高信頼性デジタル ロジック アプリケーション用のキル (Kill) 信号のコンパレータ ベースのトリガー

最大 36 のプログラム可能な GPIO

- 全ての GPIO ピンは CapSense、LCD、アナログ、デジタルに対応
- 駆動モード、駆動力、およびスルーレートはプログラム可能

5 種類のパッケージ

- 48 ピン TQFP、44 ピン TQFP、40 ピン QFN、35 ボール WLCSP、および 28 ピン SSOP のパッケージ
- 35 ボール WLCSP のパッケージでは、I^2C ブートローダがフラッシュに搭載される

PSoC Creator の設計環境

- 統合開発環境 (IDE) が回路図デザインのエントリとビルドを提供 (アナログおよびデジタル自動配線も備えている)
- すべての機能固定かつプログラム可能なペリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント

業界標準のツールの互換性

- 回路図のエントリ後、開発を ARM ベースの業界標準の開発ツールで行うことが可能

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデ ザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する 手 助 け を し ています。リソースの総合リストについては、知識ベース記事「KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP」を参照してください。以下は、PSoC 4 の要約です。

- 概要 : PSoC ポートフォリオ、PSoC ロードマップ
- 製品セレクタ : PSoC 1、PSoC 3、PSoC 4、PSoC 5LP
  また、PSoC Creator はデバイス選択ツールを含んでいます。
- アプリケーション ノート : サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートを提供しています。以下は、PSoC 4 入門用の推奨アプリケーション ノートです。
  - AN79953: PSoC 4 の入門
  - AN88619: PSoC 4 ハードウェア設計上の注意事項
  - AN86439: PSoC 4 GPIO ピンの使用
  - AN57821: 混合した信号回路基板レイアウト
  - AN81623: デジタル デザインのベストプラクティス
  - AN73854: ブートローダー入門
  - AN89610: ARM Cortex コード最適化
- テクニカル リファレンス マニュアル (TRM) は二つのドキュメントにあります。
  - アーキテクチャTRM: 各 PSoC 4 機能ブロックを詳細に説明します。
  - レジスタ TRM: 各 PSoC 4 レジスタを詳細に説明します。
- 開発キット :
  - CY8CKIT-042 (PSoC 4 Pioneer キット): 安価で使い易いプラットフォームです。このキットには、Arduino™ 準拠シールドおよび Digilent® Pmod™ ドーター カード専用コネクタを搭載します。
  - CY8CKIT-049: 低コストのプロトタイプ プラットフォームです。このキットは PSoC 4 デバイスをサンプリングするための低コストオ プションです。
  - CY8CKIT-001: PSoC 1、PSoC 3、PSoC 4、または PSoC 5LP デバイス ファミリの共通開発プラットフォームです。

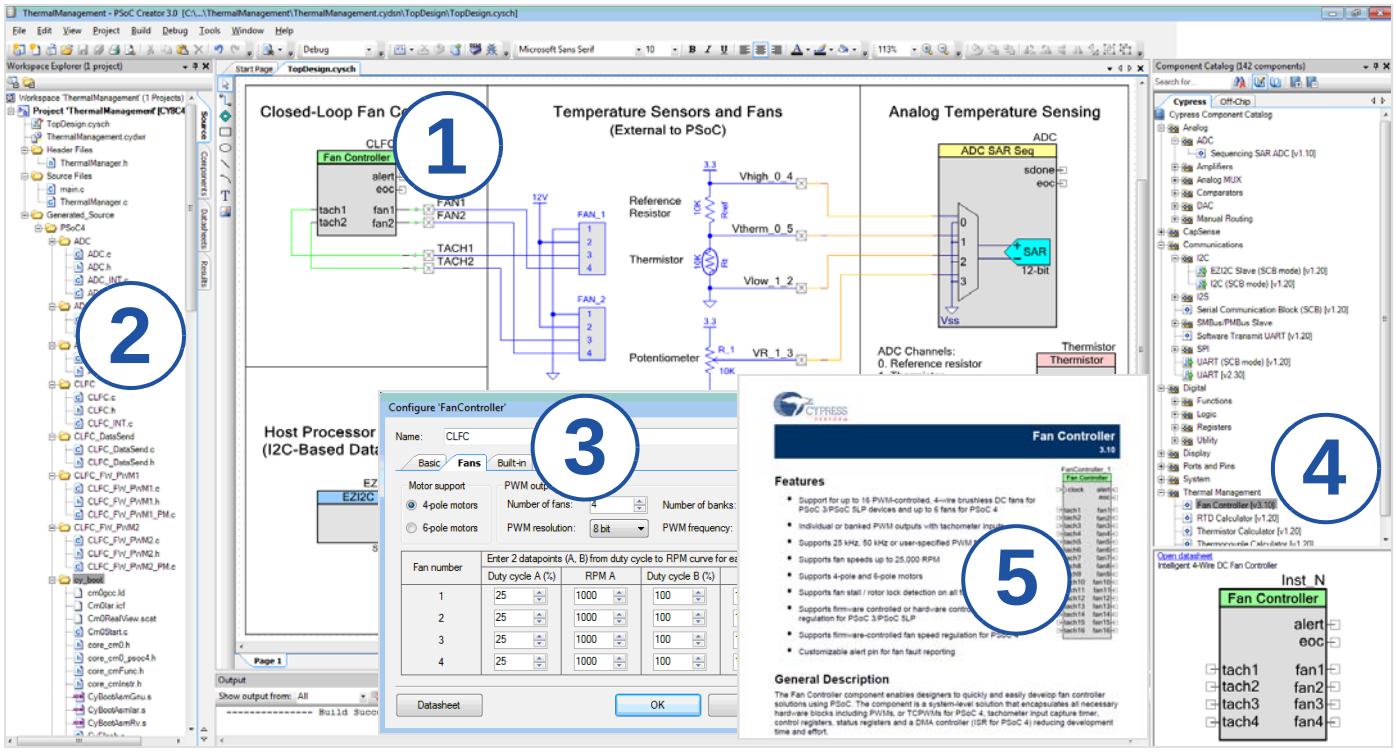
  MiniProg3 デバイスは、フラッシュのプログラミングとデバッグ用のインターフェース を提供します。

PSoC Creator

PSoC Creator は無料の Windows ベースの統合設計環境 (IDE) です。このキットにより、PSoC 3、PSoC 4、および PSoC 5LP ベースのシステムのハードウェアとファームウェアの同時設計が可能です。100 以上の事前検証済みで量産使用が可能な PSoC Component をサポートしているクラシックで使い慣れた回路図キャプチャを使ってデザイン を作成します。コンポーネント データシートを参照してください。PSoC Creator により、以下のことが可能です。

1. メイン デザイン ワークスペースで、コンポーネント アイコンをドラッグ アンド ドロップしてハードウェア システム デザインをビルド
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを相互 設計
3. コンフィギュレーション ツールを使って、コンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを参照

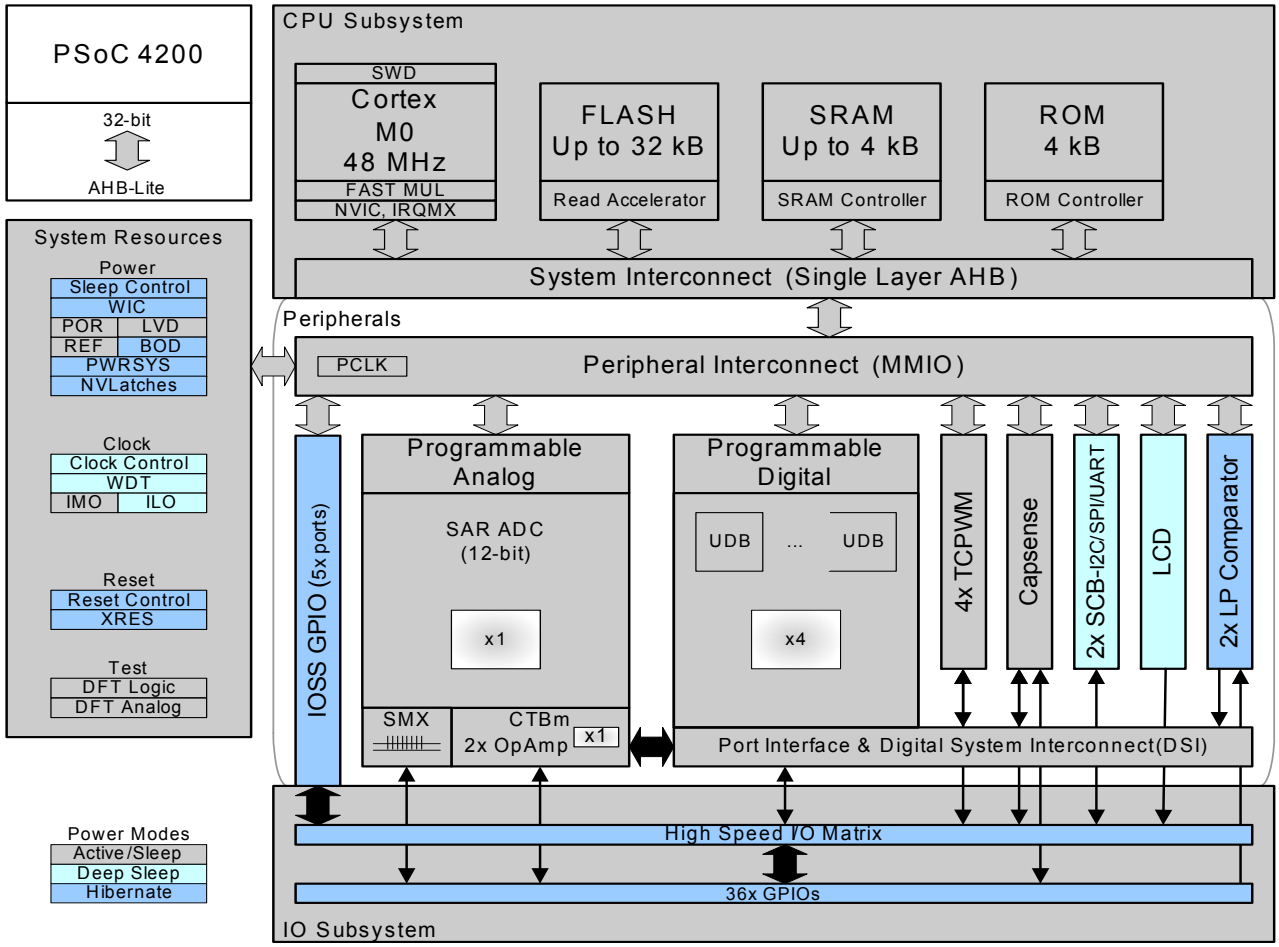
図 1. PSoC Creator の複数センサーのサンプル プロジェクト



目次

機能の説明 5
CPU およびメモリ サブシステム 5
システム リソース 5
アナログ ブロック 6
プログラム可能なデジタル 7
固定機能のデジタル 8
GPIO 9
特殊機能ペリフェラル 9
WLCSP パッケージのブートローダ 9
ピン配置 10
電源 16
非安定化外部電源 16
安定化外部電源 17
開発サポート 18
ドキュメント 18
オンライン 18
ツール 18
電気的仕様 19
絶対最大定格 19
デバイス レベルの仕様 19
アナログ ペリフェラル 23
デジタル ペリフェラル 28
メモリ 31
システム リソース 32
注文情報 35
型番の命名規則 36
パッケージ 37
略語 41
本書の表記法 44
測定単位 44
変更履歴 45
セールス、ソリューションおよび法律情報 46
ワールドワイド販売と設計サポート 46
製品 46
PSoC® ソリューション 46
サイプレス開発者コミュニティ 46
テクニカル サポート 46

図 2. ブロック図



PSoC 4200 デバイスは、ハードウェアとファームウェアの両方のプログラミング、テスト、デバッグ 処理、および配線の幅広いサポートを備えています。

ARM シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのすべてのプログラミングとデバッグ機能に対応しています。

完全なデバッグ オン チップ (DoC) 機能により、標準の装置を使用して最終システムでデバイスの完全なデバッグ処理を実現できます。専用のインターフェース、デバッグ ポッド、シミュレータ、あるいはエミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE は、PSoC 4200 デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4200 ファミリは、デバッグ機能を無効にすることができ、非常に堅牢なフラッシュ保 護に対応し、カスタマ独自の機能がオンチップ プログラマブル ブロックに実装できることにより、マルチチップ ア プリケーション ソリューションやマイクロコントローラーで実現できないセキュリティ レベルを提供します。

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にすることができます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護をクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことで す。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュ プログラミング シーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。最大限のデバイス セキュリティが有効の時にはすべてのプログラミング、デバッグ、テスト インターフェースが無効にされるため、デバイス セキュリティが有効にされた PSoC 4200 では、不具合解析の応答はできません。これは PSoC 4200 でユーザーが行えるトレードオフです。

機能の説明

CPU およびメモリ サブシステム

CPU

PSoC 4200 の Cortex-M0 CPU は、広範なクロック ゲーティングに対応した低消費電力動作用に最適化された 32 ビット MCU サブシステムの一部で す。ほとんどの場合、これは 16 ビット命令を使用し、Thumb-2 命令セットを実行します。これにより、Cortex-M3 と M4 などより高性能プロセッサへのバイナリ コードの完全互換と前方移行が可能になるため、前方互換が可能になります。サイプレスによる実装は、1 サイクル内で 32 ビットの結果を出すハードウェア乗算器を含んでいま す。これは、32 の割り込み入力を持つネスト型ベクタ割り込みコントローラー (NVIC) ブロックおよびウェイクアップ割り込みコントローラー (WIC) を含んでいます。WIC はディープスリープ モードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープ モードにある時にメイン プロセッサへの電源を切ることができます。Cortex-M0 CPU はマスク不可能割り込み (NMI) 入力を提供しています。これは、ユーザーが要求したシステム機能用に使用されていない時、ユーザーによって使用できます。

また CPU は、2 線式の JTAG であるシリアル ワイヤ デバッグ (SWD) インターフェースも備えています。PSoC 4200 用のデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PSoC 4200 デバイスは、平均アクセス時間を改善するために CPU に緊密に接続された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持っています。フラッシュ ブロックは、48MHz では 1 ウェイト ステート (WS) アクセス時間、24MHz では 0 WS アクセス時間に対応しています。フラッシュ アクセラレータはシングル サイクル SRAM のアクセス性能の平均 85% を達成します。必要に応じて、EEPROM 動作をエミュレートするためにフラッシュ モジュールの一部を使用できます。

SRAM

SRAM メモリはハイバネート モード中に保持されます。

SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる監視 ROM が提供されます。

システム リソース

電源システム

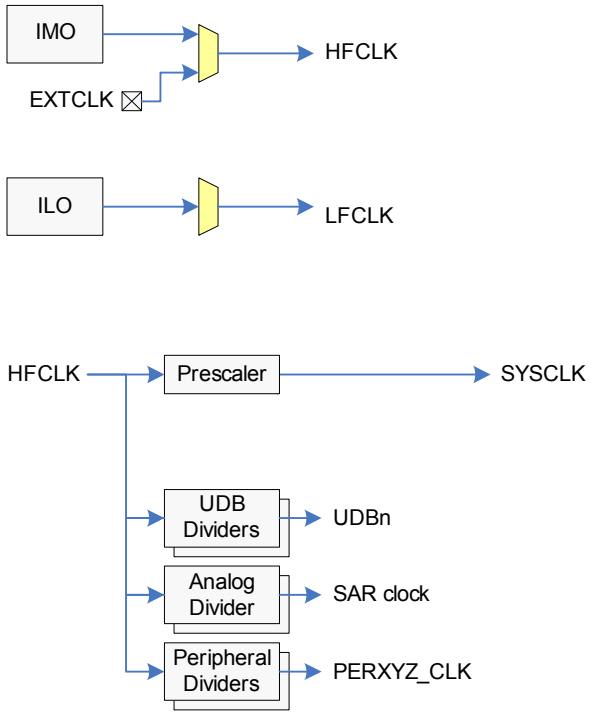
電源システムは 16 ページの電源の節で詳しく説明されます。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動 作に必要な電圧レベルに達するまでモードへの移行を遅延させる (例えば、パワーオンリセット (POR) の時)、またはリセット (電圧低下検出 (BOD)) か割り込み (低電圧検出 (LVD)) を生成します。PSoC 4200 は、1.71V ～ 5.5V において単一の外部電源で動作し、5 つの異なる電力 モード に対応し、モード間の遷移が電力システムによって管理されます。PSoC 4200 は、スリープ、ディープスリープ、ハイバネート、ストップの低消費電力モー ドに対 応しています。

クロック システム

PSoC 4200 クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グ リッチなしに異なるクロックソース間で切り替えることを担当します。また、クロック システムはメタステーブル状態が発生しないように保証します。

PSoC 4200 のクロック システムは、内蔵主発振器 (IMO)、低消費電力内部発振器 (ILO) および外部クロック用の予備ピンから構成されます。

図 3. PSoC 4200 MCU のクロッキング アーキテクチャ



HFCLK 信号は、UDB およびアナログとデジタル ペリフェラル用に同期クロックを生成するために分周できます (PSoC 4200 MCU のクロッキング アーキテクチャを参照してください)。PSoC 4200 には全部で 12 個のクロック分周器があり、それぞれは 16 ビット分周能力を持ちます。これにより、8 個が固定機能ブロックに使用し、4 個が UDB に使用できます。アナログ クロックがデジタル クロックより先行し、デジタル クロック関連のノイズが生成する前にアナログ イベントが発生します。16 ビット分周器は微周波数値を柔軟に生成可能で、PSoC Creator によって完全にサポート されます。UDB 生成パルス割り込みが使用される場合、SYSCLK は HFCLK に等しくならなければなり ません。

IMO クロック ソース

IMO は、PSoC 4200 の内部クロック供給の主なソースです。指定された精度を達成するために試験中に調整されます。調整値は不揮発性ラッチ (NVL) に格納されます。フラッシュからの追加調整設定は変化を補正するために使用することがあります。IMO の初期設定の周波数は 24MHz で、1MHz のステップで 3MHz ～ 48MHz の間で 調 整できま す。サイプレスが提供する校正設定では、IMO の許容誤差は ±2% です。

ILO クロック ソース

ILO は非常に消費電力が小さい発振器であり、ディープスリープ モードでペリフェラルの動作用にクロックを生成するために主に使用されます。ILO 制御のカウンターは、精度を改善するために IMO に校正できます。サイプレスは、校正を実行するソフトウェア コンポーネントを提供しています。

ウォッチドッグ タイマー

ウォッチドッグ タイマーは、ILO をクロックソースとして動作するクロック ブロックに実装されま す。これにより、ウォッチドッグがディープスリープ モードでも動作でき、タイムアウトが発生する前にウォッチドッグが処理されなかった場合にリセットが生成されます。ウォッチドッグ リセットはリセット原因 (Reset Cause) レジスタに記録されます。

リセット

PSoC 4200 は、ソフトウェアリセットを含む様々なソースからリセットできます。リセット イベントは非同期であり、チップを既存の状態に復帰することを保証します。リセットの原因は、リセット中にも保持され、ソフトウェアがリセットの原因を判断できるようにレ ジスタに記録されます。電源投入またはリコンフィギュレーション中にコンフィギュレーションおよび複数のピン機能に伴う 複雑さを避けるために、XRES ピンが外部リセット用に確保されています。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

電圧リファレンス

PSoC 4200 リファレンス システムは、すべての必要となるリファレンスを生成します。12 ビット ADC は 1% 電圧リファレンス仕様に対応しています。より優れた信号対雑音比 (SNR) と絶対精度を実現するために、GPIO ピンを使って内部リファレンスをバイパスする、または SAR 用に外部リファレンスを使用できます。

アナログ ブロック

12 ビット SAR ADC

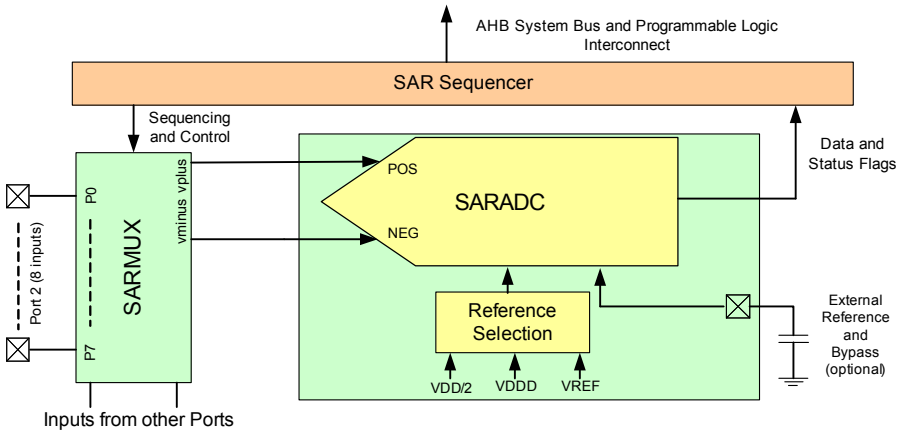
12 ビットの 1Msps SAR ADC は 18MHz の最大クロック レートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを必要とし ま す。

ユーザー向けとしてブロック機能を拡張するため、リファレンス バッファの追加 (±1% で調整可能) され、(PSoC 4200 の場合では) V_{DD}、$V_{DD}/2$、V_{REF} の 3 つの内部電圧リファレンス オプション (定格電圧が 1.024V) および GPIO ピンを介した外部リファレンスを選択としました。サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの制定時間を規定する利得帯域幅要件を必要に応じて緩和できます。適切なリファレンス電圧が使用され、システム ノイズ レベルが許す限り、システム性能は真の 12 ビット精度のために 65dB となります。ノイズの多い条件で性能を改善するために、内部リファレンス アンプ用として外部バイパス (固定したピン位置) を提供できます。

SAR は 8 入力シーケンサを介して固定したピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャネルか複数のチャネルであるか にかかわらず 1Msps です)。シーケンサの切り替えは、ステートマシンを介して、またはファームウェア駆動の切り替えにより行 われます。シーケンサの一つの機能は、CPU 割り込みサービスの要件を軽減するための各チャネルのバッファ リングです。信号を様々なソース インピーダンスと周波数に適合させるために、チャネル毎に異なるサンプリング時間をプログラムす ることができます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの一対 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割り込みで実施されます。これにより、シーケンサスキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待た ず、範 囲外の値を早く検出できます。

SAR は、校正およびその他の温度依存機能用に基板搭載の温度センサーの出力をデジタル化するこ とができます。SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープとハイバネート モードに対応していません。SAR の動作範囲は 1.71V ～ 5.5V です。

図 4. SAR ADC システム図



2 個のオペアンプ (CTBm ブロック)

PSoC 4200 はコンパレータ モードのある 2 個のオペアンプを持つことにより、ほとんどの一般的なアナログ機能が外部コンポー ネントの必要がなく、オンチップで実行できます ; PGA、電圧バッファ、フィルタ、トランス インピーダンス アンプ、とその他の機能は外部受動素子で実現できるため、電力、コスト、および容量を削減でき ま す。内蔵オペアンプは、外部バッファリングを必要とせずに ADC の S/H 回路を駆動するように十分な 帯域幅に対応するように設計されています。

温度センサー

PSoC 4200 は 1 個の温度センサーを内蔵しています。これは、電力を節約するために無効にできる電流源によってバイアスされたダイオードから成ります。温度センサーは、校正と線形化を含むサイプレスが提供したソフトウェアを使用して読み出しをデジ タル化し温度値を生成する ADC に接続されます。

低消費電力コンパレータ

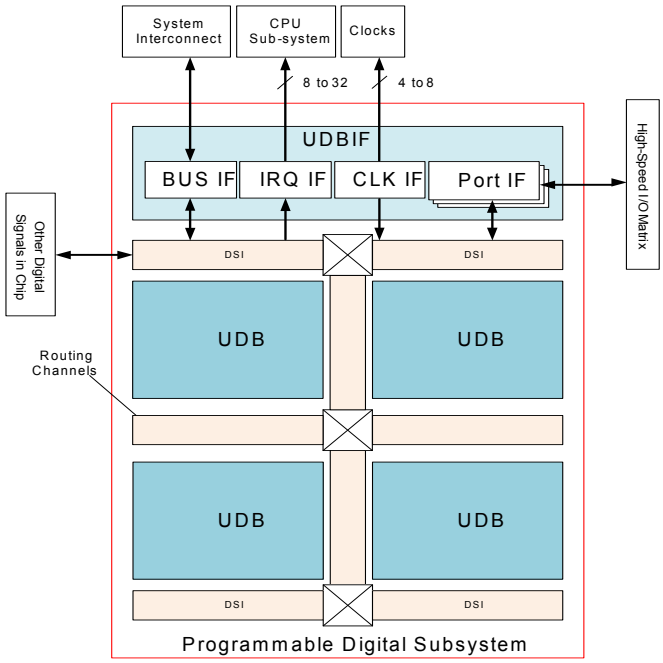
PSoC 4200 は、ディープスリープとハイバネート モードで動作できる低消費電力コンパレータの一対を 内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログ システム ブロックを無効にすることができます。コンパレータ出力は、システム ウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになる非同期電力モード (ハイバネート) で動作する場合を除き、普通は準安定状態を避けるために同期化されています。

プログラム可能なデジタル

ユニバーサル デジタル ブロック (UDB) およびポート インターフェース

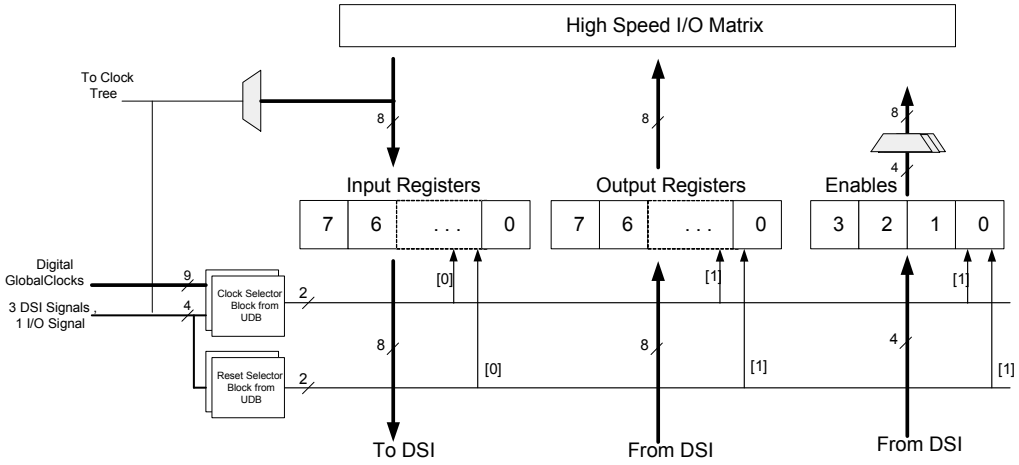
PSoC 4200 は 4 個の UDB を内蔵しています。また UDB アレイは、通信と制御用にペリフェラルとポートからの信号を UDB に、また UDB を介して送信することを可能にする切り替えられたデジ タ ル システム相互接続 (DSI) ファブリックを提供しています。UDB アレイを下図に示します。

図 5. UDB アレイ



UDB は、クロック分周ブロック、ポート インターフェース (SPI などのペリフェラルに必要)、DSI ネットワークから、直接または同期化後にクロック供 給されます。
UDB アレイ内の PLD と同じ供給源からクロック供給されるレジスタとして機能するポート イン ターフェースが定義されます。これにより、I/O ピンの近くにあるポート インターフェースでおよびアレイ端で、入力および出力を記 録できるようになるため、より高速 な 動作が可能になります。ポート インターフェース レジスタは、いずれかの I/O により同じポートからクロック供給できます。これにより、ポート入力が DSI を介して送信され他の入力を登録するために使用される遅延が無くなるため、SPI のようなインターフェースがより速いクロック速度で動作できるようにな り ます (図 6 を参照してください)。
UDB は (一度に 1 個の UDB ずつ) 割り込みコントローラーに割り込みを生成できます。UDB は、DSI を介してチップ上のあらゆるピンに接続する能力を維持します。

図 6. ポート インターフェース



固定機能のデジタル

タイマー／カウンター／ PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 4 個の 16 ビット カウンターからなり ます。キャプチャ レジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジス タは、カ ウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止、または自動的 に リ ロードします。比較レジスタは、PWM デューティ サイクル出力として使用される比較値信号を生 成します。ブロックは真出力と相補出力 (それら間のオフセットがプログラム可能) も提供しており、これらを、プログラム可能なデッドバンド付き相補 PWM 出力とし て 使用す ることを可能にします。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モータ駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要がある時、キル入力が使用されます。

シリアル通信ブロック (SCB)

PSoC 4200 は 2 個の SCB を内蔵しています。それぞれ I²C、UART、または SPI インターフェースを実装できます。

I²C モード：ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスタのアービトレーションができる) を実装します。このブロックは、最大 1Mbps (ファスト モード プラス) で動作でき、CPU 用の割り込みオーバヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。また、PSoC 4200 のメモリでメールボックスアドレス範囲を作って、メモリアレイへの読み出しと書き込みのI²C 通信を効果的に削減する EzI²C にも対応しています。さらに、ブロックは送受信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読 み 出すー定の時間を増加することで、時間通りに CPU が読み出すデータがないことに起 因 したクロック ストレッチの必要性を大幅に低減できます。FIFO モードはすべてのチャネルによって対応され、DMA がない場合に非常に有用です。

I²C ペリフェラルは NXP I²C バス仕様とユーザーマニュアル (UM10204) で定義された通りに I²C 標準モード、ファストモードおよびファスト モード プラスのデバイ スと互換性があります。I²C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

PSoC 4200 は、以下の点では I²C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや I²C システムの残りの部分から独立 して電源を投入できません。
- ファスト モード プラスは、0.4V の V_{OL} で 20mA の I_{OL} 仕様があります。GPIO セルは、最大 0.6V の V_{OL} で最大 8mA の I_{OL} を吸い込むことができます。
- ファスト モードとファスト モード プラスは、GPIO セルで満たせない最小立ち下がり時間を 指定しています。低速ストロングモードは、バス負荷によってこの仕様を満たすことがあります。
- SCB が I²C マスターである時、NACK と反復 START の間にアイドル状態を介入させま す。I²C 仕様では、バス フリー状態が STOP 条件の後に続くものとして定義されるため、他のアクティブ マスターは介入しません。しかし、アクティブになったばかりのマスターはアービトレーション サイクルを開始することがあります。
- SCB が I²C スレーブ モードにあって、外部クロック上のアドレス マッチが有効にされ (EC_AM = 1)、内部クロック供給モードで動作する (EC_OP = 0) 時、その I²C アドレスは偶数でなければなりません。

UART モード：これは 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し発展した車載向けシングルワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレーク検出、フレームエラーなどの一般的な UART 機能がサポートされています。深さ 8 の FIFO は、非常に大きい CPU サービス レイテンシを許容できるようにします。なお、ハードウェア ハンドシェークがサポートされないことに注意してください。これは一般に使用されておりません。必要であれば、システム内の UDB ベースの UART で実装で きます。

SPI モード：SPI モードは Motorola SPI、TI SSP (SPI コーデックの同期化用の開始パルスを本質的に追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用できます。

GPIO

PSoC 4200 は 36 個の GPIO を備えています。GPIO ブロックは以下のものを実装します。

- 8 つのドライブ能力モード :
  - アナログ入力モード (入力と出力バッファが無効)
  - 入力のみ
  - 弱プルアップ、強プルダウン
  - 強プルアップ、弱プルダウン
  - オープン ドレイン、強プルダウン
  - オープン ドレイン、強プルアップ
  - 強プルアップ、強プルダウン
  - 弱プルアップ、弱プルダウン
- 入力閾値セレクト (CMOS あるいは LVTTL)
- 駆動能力モード以外に、入力と出力バッファのイネーブル／ディスエーブルの個別制御
- 前のステートをラッチするためのホールド モード (ディープスリープ モードとハイバネート モードで I/O ステートを維持するため)
- EMIを改善するためのdV/dt関連のノイズ制御用に選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されています。電源投入とリセットの時、入力への過電圧を防ぐため、および／または電源投入時に過電流を発生さ せないために、ブロックは無効状態に移行させられます。高速 I/O マトリックスとして知られている多重化ネットワークは、I/O ピンに接続できる複数の 信号間を多重化するのに使用されます。固定機能ペリフェラルのピン位置は、内部多重化の複雑さを減少させるために固定されています (これらの信号は DSI ネットワークを通りません)。DSI 信号はこれに影響されず、DSI ネットワークを介してどのピンもどの UDB にも配線できま す。

データ出力とピン ステート レジスタは、それぞれピン上で駆動される値とそれらのピンのステートを 格納します。

各 I/O ピンは有効になった場合に割り込みを生成でき、各 I/O ポートはそれに対応する割り込み要求 (IRQ) と割り込みサービス ルーチン (ISR) ベクタがあります (PSoC 4200 の場合、4.5 ポートあるため、ベクタ数は 5 です)。

特殊機能ペリフェラル

LCD セグメント ドライブ

PSoC 4200 は最大 4 コモン信号と最大 32 セグメント信号を駆動できる LCD コントローラーを内蔵し ています。内部 LCD 電圧を生成する必要のないフル デジタル方式を使用して LCD セグメントを駆動します。2 つの方法は、デジタル相関と PWM と呼ばれています。

デジタル相関は、最高 RMS 電圧を生成してセグメントを点灯させる、または RMS 信号を 0 に維持 するためにコモンとセグメント信号の周波数とレベルを変調することです。この方法は STN ディスプレイに適していますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。

PWM は、所望の LCD 電圧を生成するために PWM 信号によりパネルを駆動しパネルの静電容量を効果的に使用して変調されたパルス幅を提供することです。この方法は消費電力を増加しますが、TN ディスプレイを駆動する際には良い結果を出しま す。LCD 動作はディープスリープ モード中にディスプレイ用の小さいバッファ (4 ビット、ポートごとに 1 つの 32 ビット レジスタ) をリフレッシュすることでサポート されます。

CapSense

CapSense は、どの GPIO ピンも接続できる (アナログスイッチに接続された) アナログ マルチプレクサ バスを介してどのピンにも接続できる CapSense シグマ- デルタ (CSD) ブロックにより、PSoC 4200 のあらゆるピンでサポート されています。従って、CapSense 機能はソフトウェアで制御されて、システム内のいかなる使用可能なピン やピン グループにも提供できます。ユーザーの便宜のために、コンポーネントが CapSense ブロックに用意されています。

シールド電圧は、耐水機能を実現するために他の多重化バス上で駆動で きます。耐水性は、シールド電極を検知電極と同位相で駆動して、シールド静電容量が検知された入力を減衰 させることを防ぐことで、実現されています。

CapSense ブロックは、2 個の IDAC を備えています。これらは、CapSense を使用 しない (両方の IDAC とも使用可能) 場合、または CapSense が耐水性を備えずに使用する (どちらか一方の IDAC が使用可能) 場合、一般用途に使用できます。

WLCSP パッケージのブートローダ

WLCSP パッケージは、I^2C ブートローダがフラッシュにインストールされる形で供給され ています。このブートローダは PSoC Creator のブートロード可能なプロジェクト ファイルと互換性があり、次のデフォルト設定があります :

- I^2C SCL と SDA はそれぞれポート ピン P4.0 と P4.1 に接続 (外部プルアップ抵抗が必 要)
- I^2C スレーブ モード、アドレス 8、データ転送速度 =100kbps
- シングル アプリケーション
- ブートロード コマンドのために 2 秒待ち
- 他のブートローダーのオプションは PSoC Creator のブートローダ コンポーネントのデフォルトで設定されています。
- フラッシュの下位 4.5K を占有します。

このブートローダーの詳細については、次のサイプレス アプリケーション ノートを参照してください。

AN73854: ブートローダ入門

PSoC Creator のブートロード可能なプロジェクトは、ターゲット デバイスとして構成されるブートローダ プロ ジェクトの *.hex* と *.elf* ファイルと関係しなければならないため、ご注意く だ さい。ブートローダの *.hex* と *.elf* ファイルについては http://www.cypress.com/?rID=78632 をご覧ください。工場出荷時にインストールされたブートローダはJTAGまたはSWDプログラミングで上 書 きできます。

ピン配置

以下は、PSoC 4200 (44-TQFP、40-QFN、28-SSOP および 48-TQFP) のピン リストです。ポート 2 は、SAR マルチプレクサ用の高速アナログ入力を含んでいます。P1.7 は、SAR リファレンスのオプション外部入力でバイパス ピンです。ポート 3 および 4 はデジタル通信チャネルを含みます。すべてのピンは CSD CapSense とアナログ マルチプレクサ バスの接続に対応しています。

44-TQFP		40-QFN		28-SSOP		48-TQFP		代替機能					ピンの説明
ピン	名称	ピン	名称	ピン	名称	ピン	名称	アナログ	Alt 1	Alt 2	Alt 3	Alt 4	
1	VSS	–	–	–	–	–	–	–	–	–	–	–	グランド
2	P2.0	1	P2.0	–	–	2	P2.0	sarmux.0	–	–	–	–	ポート 2 ピン 0: gpio、lcd、csd、sarmux
3	P2.1	2	P2.1	–	–	3	P2.1	sarmux.1	–	–	–	–	ポート 2 ピン 1: gpio、lcd、csd、sarmux
4	P2.2	3	P2.2	5	P2.2	4	P2.2	sarmux.2	–	–	–	–	ポート 2 ピン 2: gpio、lcd、csd、sarmux
5	P2.3	4	P2.3	6	P2.3	5	P2.3	sarmux.3	–	–	–	–	ポート 2 ピン 3: gpio、lcd、csd、sarmux
6	P2.4	5	P2.4	7	P2.4	6	P2.4	sarmux.4	tcpwm0_p[1]	–	–	–	ポート 2 ピン 4: gpio、lcd、csd、sarmux、pwm
7	P2.5	6	P2.5	8	P2.5	7	P2.5	sarmux.5	tcpwm0_n[1]	–	–	–	ポート 2 ピン 5: gpio、lcd、csd、sarmux、pwm
8	P2.6	7	P2.6	9	P2.6	8	P2.6	sarmux.6	tcpwm1_p[1]	–	–	–	ポート 2 ピン 6: gpio、lcd、csd、sarmux、pwm
9	P2.7	8	P2.7	10	P2.7	9	P2.7	sarmux.7	tcpwm1_n[1]	–	–	–	ポート 2 ピン 7: gpio、lcd、csd、sarmux、pwm
10	VSS	9	VSS	–	–	–	–	–	–	–	–	–	グランド
–	–	–	–	–	–	10	NC	–	–	–	–	–	未接続
–	–	–	–	–	–	11	NC	–	–	–	–	–	未接続
11	P3.0	10	P3.0	11	P3.0	12	P3.0	–	tcpwm0_p[0]	scb1_uart_rx[0]	scb1_i2c_scl[0]	scb1_spi_mosi[0]	ポート 3 ピン 0 : gpio、lcd、csd、pwm、scb1
12	P3.1	11	P3.1	12	P3.1	13	P3.1	–	tcpwm0_n[0]	scb1_uart_tx[0]	scb1_i2c_sda[0]	scb1_spi_miso[0]	ポート 3 ピン 1 : gpio、lcd、csd、pwm、scb1
13	P3.2	12	P3.2	13	P3.2	14	P3.2	–	tcpwm1_p[0]	–	swd_io[0]	scb1_spi_clk[0]	ポート 3 ピン 2 : gpio、lcd、csd、pwm、scb1、swd
–	–	–	–	–	–	15	VSSD	–	–	–	–	–	グランド
14	P3.3	13	P3.3	14	P3.3	16	P3.3	–	tcpwm1_n[0]	–	swd_clk[0]	scb1_spi_ssel_0[0]	ポート 3 ピン 3 : gpio、lcd、csd、pwm、scb1、swd
15	P3.4	14	P3.4	–	–	17	P3.4	–	tcpwm2_p[0]	–	–	scb1_spi_ssel_1	ポート 3 ピン 4 : gpio、lcd、csd、pwm、scb1
16	P3.5	15	P3.5	–	–	18	P3.5	–	tcpwm2_n[0]	–	–	scb1_spi_ssel_2	ポート 3 ピン 5 : gpio、lcd、csd、pwm、scb1
17	P3.6	16	P3.6	–	–	19	P3.6	–	tcpwm3_p[0]	–	swd_io[1]	scb1_spi_ssel_3	ポート 3 ピン 6 : gpio、lcd、csd、pwm、scb1、swd
18	P3.7	17	P3.7	–	–	20	P3.7	–	tcpwm3_n[0]	–	swd_clk[1]	–	ポート 3 ピン 7 : gpio、lcd、csd、pwm、swd
19	VDDD	–	–	–	–	21	VDDD	–	–	–	–	–	デジタル電源、1.8 ～ 5.5V
20	P4.0	18	P4.0	15	P4.0	22	P4.0	–	–	scb0_uart_rx	scb0_i2c_scl	scb0_spi_mosi	ポート 4 ピン 0: gpio、lcd、csd、scb0

44-TQFP		40-QFN		28-SSOP		48-TQFP		代替機能					ピンの説明
ピン	名称	ピン	名称	ピン	名称	ピン	名称	アナログ	Alt 1	Alt 2	Alt 3	Alt 4	
21	P4.1	19	P4.1	16	P4.1	23	P4.1	–	–	scb0_uart_tx	scb0_i2c_sda	scb0_spi_miso	ポート 4 ピン 1: gpio、lcd、csd、scb0
22	P4.2	20	P4.2	17	P4.2	24	P4.2	csd_c_mod	–	–	–	scb0_spi_clk	ポート 4 ピン 2: gpio、lcd、csd、scb0
23	P4.3	21	P4.3	18	P4.3	25	P4.3	csd_c_sh_tank	–	–	–	scb0_spi_ssel_0	ポート 4 ピン 3: gpio、lcd、csd、scb0
–	–	–	–	–	–	26	NC	–	–	–	–	–	未接続
–	–	–	–	–	–	27	NC	–	–	–	–	–	未接続
24	P0.0	22	P0.0	19	P0.0	28	P0.0	comp1_inp	–	–	–	scb0_spi_ssel_1	ポート 0 ピン 0: gpio、lcd、csd、scb0、comp
25	P0.1	23	P0.1	20	P0.1	29	P0.1	comp1_inn	–	–	–	scb0_spi_ssel_2	ポート 0 ピン 1: gpio、lcd、csd、scb0、comp
26	P0.2	24	P0.2	21	P0.2	30	P0.2	comp2_inp	–	–	–	scb0_spi_ssel_3	ポート 0 ピン 2: gpio、lcd、csd、scb0、comp
27	P0.3	25	P0.3	22	P0.3	31	P0.3	comp2_inn	–	–	–	–	ポート 0 ピン 3: gpio、lcd、csd、comp
28	P0.4	26	P0.4	–	–	32	P0.4	–	–	scb1_uart_rx[1]	scb1_i2c_scl[1]	scb1_spi_mosi[1]	ポート 0 ピン 4 : gpio、lcd、csd、scb1
29	P0.5	27	P0.5	–	–	33	P0.5	–	–	scb1_uart_tx[1]	scb1_i2c_sda[1]	scb1_spi_miso[1]	ポート 0 ピン 5 : gpio、lcd、csd、scb1
30	P0.6	28	P0.6	23	P0.6	34	P0.6	–	ext_clk	–	–	scb1_spi_clk[1]	ポート 0 ピン 6 : gpio、lcd、csd、scb1、ext_clk
31	P0.7	29	P0.7	24	P0.7	35	P0.7	–	–	–	ウェイクアップ	scb1_spi_ssel_0[1]	ポート 0 ピン 7: gpio、lcd、csd、scb1、ウェイクアップ
32	XRES	30	XRES	25	XRES	36	XRES	–	–	–	–	–	チップ リセット、LOW アクティブ
33	VCCD	31	VCCD	26	VCCD	37	VCCD	–	–	–	–	–	安定化電源、1µF コンデンサまたは 1.8V の電源電圧に接続
–	–	–	–	–	–	38	VSSD	–	–	–	–	–	デジタル グランド
34	VDDD	32	VDDD	27	VDD	39	VDDD	–	–	–	–	–	デジタル電源、1.8V ～ 5.5V
35	VDDA	33	VDDA	27	VDD	40	VDDA	–	–	–	–	–	アナログ電源、1.8V ～ 5.5V、VDDD と等しい
36	VSSA	34	VSSA	28	VSS	41	VSSA	–	–	–	–	–	アナログ グランド
37	P1.0	35	P1.0	1	P1.0	42	P1.0	ctb.oa0.inp	tcpwm2_p[1]	–	–	–	ポート 1 ピン 0: gpio、lcd、csd、ctb、pwm
38	P1.1	36	P1.1	2	P1.1	43	P1.1	ctb.oa0.inm	tcpwm2_n[1]	–	–	–	ポート 1 ピン 1 : gpio、lcd、csd、ctb、pwm
39	P1.2	37	P1.2	3	P1.2	44	P1.2	ctb.oa0.out	tcpwm3_p[1]	–	–	–	ポート 1 ピン 2: gpio、lcd、csd、ctb、pwm
40	P1.3	38	P1.3	–	–	45	P1.3	ctb.oa1.out	tcpwm3_n[1]	–	–	–	ポート 1 ピン 3: gpio、lcd、csd、ctb、pwm
41	P1.4	39	P1.4	–	–	46	P1.4	ctb.oa1.inm	–	–	–	–	ポート 1 ピン 4: gpio、lcd、csd、ctb
42	P1.5	–	–	–	–	47	P1.5	ctb.oa1.inp	–	–	–	–	ポート 1 ピン 5: gpio、lcd、csd、ctb
43	P1.6	–	–	–	–	48	P1.6	ctb.oa0.inp_alt	–	–	–	–	ポート 1 ピン 6: gpio、lcd、csd
44	P1.7/VREF	40	P1.7/VREF	4	P1.7/VREF	1	P1.7/VREF	ctb.oa1.inp_alt ext_vref	–	–	–	–	ポート 1 ピン 7: gpio, lcd, csd, ext_ref

以下は PSoC 4200 (35-WLCSP) のピン リストです。

35 ボール CSP		代替機能					説明
ピン	名称	アナログ	Alt 1	Alt 2	Alt 3	Alt 4	
D3	P2.2	sarmux.2	–	–	–	–	ポート 2 ピン 2: gpio、lcd、csd、sarmux
E4	P2.3	sarmux.3	–	–	–	–	ポート 2 ピン 3: gpio、lcd、csd、sarmux
E5	P2.4	sarmux.4	tcpwm0_p[1]	–	–	–	ポート 2 ピン 4: gpio、lcd、csd、sarmux、pwm
E6	P2.5	sarmux.5	tcpwm0_n[1]	–	–	–	ポート 2 ピン 5: gpio、lcd、csd、sarmux、pwm
E3	P2.6	sarmux.6	tcpwm1_p[1]	–	–	–	ポート 2 ピン 6: gpio、lcd、csd、sarmux、pwm
E2	P2.7	sarmux.7	tcpwm1_n[1]	–	–	–	ポート 2 ピン 7: gpio、lcd、csd、sarmux、pwm
E1	P3.0	–	tcpwm0_p[0]	scb1_uart_rx[0]	scb1_i2c_scl[0]	scb1_spi_mosi[0]	ポート 3 ピン 0: gpio、lcd、csd、pwm、scb1
D2	P3.1	–	tcpwm0_n[0]	scb1_uart_tx[0]	scb1_i2c_sda[0]	scb1_spi_miso[0]	ポート 3 ピン 1: gpio、lcd、csd、pwm、scb1
D1	P3.2	–	tcpwm1_p[0]	–	swd_io[0]	scb1_spi_clk[0]	ポート 3 ピン 2: gpio、lcd、csd、pwm、scb1、swd
B7	VSS	–	–	–	–	–	グランド
C1	P3.3	–	tcpwm1_n[0]	–	swd_clk[0]	scb1_spi_ssel_0[0]	ポート 3 ピン 3: gpio、lcd、csd、pwm、scb1、swd
C2	P3.4	–	tcpwm2_p[0]	-	–	scb1_spi_ssel_1	ポート 3 ピン 4: gpio、lcd、csd、pwm、scb1
B1	P4.0	–	–	scb0_uart_rx	scb0_i2c_scl	scb0_spi_mosi	ポート 4 ピン 0: gpio、lcd、csd、scb0
B2	P4.1	–	–	scb0_uart_tx	scb0_i2c_sda	scb0_spi_miso	ポート 4 ピン 1: gpio、lcd、csd、scb0
A2	P4.2	csd_c_mod	–	–	–	scb0_spi_clk	ポート 4 ピン 2: gpio、lcd、csd、scb0
A1	P4.3	csd_c_sh_tank	–	–	–	scb0_spi_ssel_0	ポート 4 ピン 3: gpio、lcd、csd、scb0
C3	P0.0	comp1_inp	–	–	–	scb0_spi_ssel_1	ポート 0 ピン 0: gpio、lcd、csd、scb0、comp
A5	P0.1	comp1_inn	–	–	–	scb0_spi_ssel_2	ポート 0 ピン 1: gpio、lcd、csd、scb0、comp
A4	P0.2	comp2_inp	–	–	–	scb0_spi_ssel_3	ポート 0 ピン 2: gpio、lcd、csd、scb0、comp
A3	P0.3	comp2_inn	–	–	–	–	ポート 0 ピン 3: gpio、lcd、csd、comp
B3	P0.4	–	–	scb1_uart_rx[1]	scb1_i2c_scl[1]	scb1_spi_mosi[1]	ポート 0 ピン 4: gpio、lcd、csd、scb1
A6	P0.5	–	–	scb1_uart_tx[1]	scb1_i2c_sda[1]	scb1_spi_miso[1]	ポート 0 ピン 5: gpio、lcd、csd、scb1
B4	P0.6	–	ext_clk	–	–	scb1_spi_clk[1]	ポート 0 ピン 6: gpio、lcd、csd、scb1、ext_clk
B5	P0.7	–	–	–	ウェイクアップ	scb1_spi_ssel_0[1]	ポート 0 ピン 7: gpio、lcd、csd、scb1、ウェイクアップ
B6	XRES	–	–	–	–	–	チップ リセット、LOW アクティブ
A7	VCCD	–	–	–	–	–	安定化電源、1µF コンデンサまたは 1.8V の電源電圧に接続
C7	VDD	–	–	–	–	–	電源、1.8V ～ 5.5V
C4	P1.0	ctb.oa0.inp	tcpwm2_p[1]	–	–	–	ポート 1 ピン 0: gpio、lcd、csd、ctb、pwm
C5	P1.1	ctb.oa0.inm	tcpwm2_n[1]	–	–	–	ポート 1 ピン 1: gpio、lcd、csd、ctb、pwm
C6	P1.2	ctb.oa0.out	tcpwm3_p[1]	–	–	–	ポート 1 ピン 2: gpio、lcd、csd、ctb、pwm

35 ボール CSP		代替機能					説明
ピン	名称	アナログ	Alt 1	Alt 2	Alt 3	Alt 4	
D7	P1.3	ctb.oa1.out	tcpwm3_n[1]	–	–	–	ポート 1 ピン 3: gpio、lcd、csd、ctb、pwm
D4	P1.4	ctb.oa1.inm	–	–	–	–	ポート 1 ピン 4: gpio、lcd、csd、ctb
D5	P1.5	ctb.oa1.inp	–	–	–	–	ポート 1 ピン 5: gpio、lcd、csd、ctb
D6	P1.6	ctb.oa0.inp_alt	–	–	–	–	ポート 1 ピン 6: gpio、lcd、csd
E7	P1.7/ VREF	ctb.oa1.inp_alt ext_vref	–	–	–	–	ポート 1 ピン 7: gpio、lcd、csd、ext_ref

ピン機能の説明は以下の通りです。

VDDD: アナログとデジタルセクション用の電源。(V_{DDA} ピンがないところ)

VDDA: パッケージ ピンが許可するところのアナログ V_{DD} ピン；そうでないと V_{DDD} に短絡

VSSA: パッケージ ピンが許可するところのアナログ グランド ピン；そうでないと VSS に短絡

VSS: グランド ピン。

VCCD: 安定化デジタル電源 (1.8V ±5%)

全てのポート ピンは LCD コモン、LCD セグメント ドライバー、または CSD 検知ピンとして使用 できます。全てのシールド ピンは AMUXBUS A か B に接続するか、または全てファームウェアや DSI 信号で駆動できる GPIO ピンとして使用 できます。

対応するパッケージは 48 ピン TQFP、44 ピン TQFP、40 ピン QFN、お よび 28 ピン SSOP です。

図 7. 48 ピン TQFP パッケージのピン配置

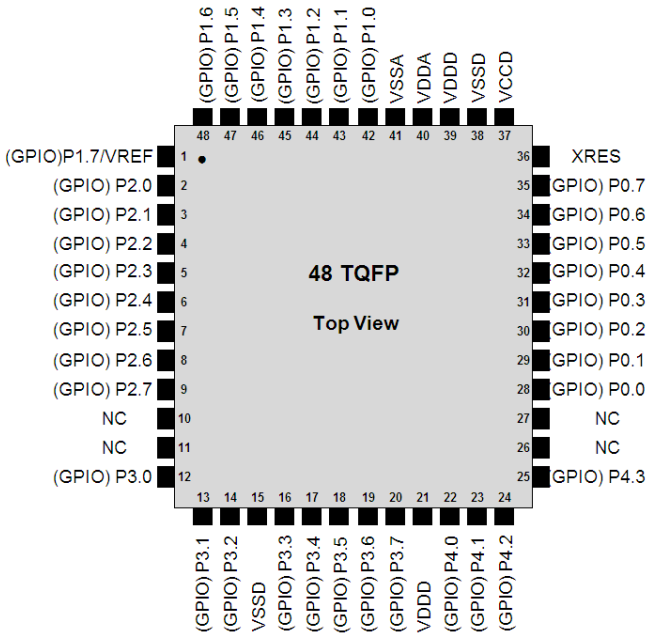


図 8. 44 ピン TQFP 製品のピン配置

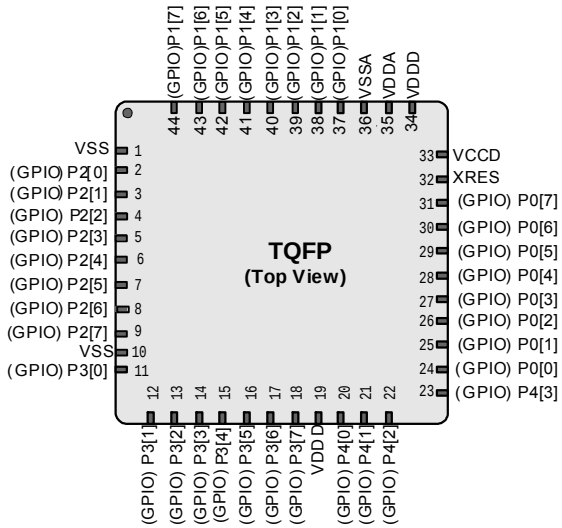


図 9. 40 ピン QFN のピン配置

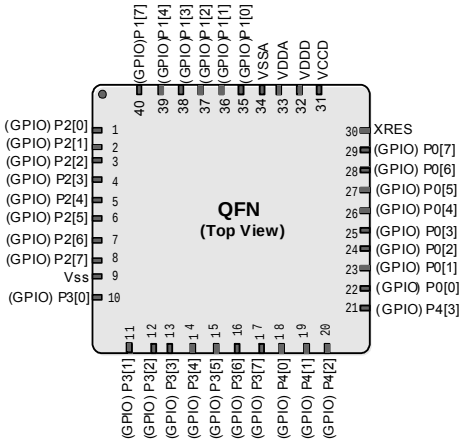


図 10. 35 ボール WLCSP

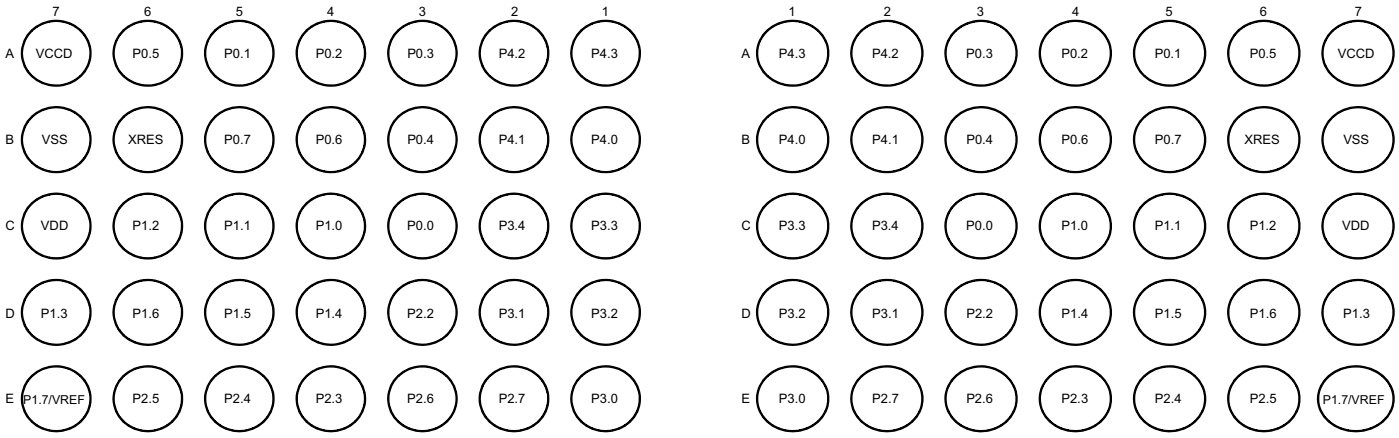
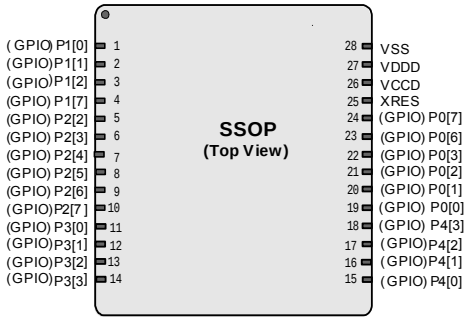


図 11. 28 ピン SSOP のピン配置



電源

以下の電源システム図は PSoC 4200 に実装される電源ピンの最小セットを示します。システムは、アクティブ モードで動作するデジタル回路用レギュレータがあります。アナログ レギュレータはありません。アナログ回路は V_{DDA} 電源により動作します。ディープスリープ モードとハイバネート (電源供給を減らすがメモリを保持する) モード用にそれぞれ独立したレギュレータがあります。バンドギャップ用の低ノイズの個別レギュレータがあります。電源電圧範囲は 1.71V ～ 5.5V で、すべての機能と回路がその範囲において動作します。

PSoC 4200 ファミリは、非安定化外部電源と安定化外部電源という 2 種類の電源供給動作モードに対応 しています。

非安定化外部電源

このモードでは、PSoC4200 は 1.8V ～ 5.5V の任意の外部電源から電源供給され ま す。この範囲はバッテリ パワー動作にも設計されています。例えば、チップは 3.5V で始まってから 1.8V まで下がるバッテリ システムから電源供給されます。このモードでは、PSoC 4200 の内部レギュレータは内部ロジックに電源を供給し、PSoC 4200 の V_{CCD} 出力は外付けコンデンサ (1µF ～ 1.6µF ; X5R セラミックまたはこれより良質のもの) を介してグランドにバイパスする必要があります。

V_{DDA} と V_{DDD} は互いに短絡させる必要があり、グランド、V_{SSA} および V_{SS} は互いに短絡させる必要もあります。バイパス コンデンサは V_{DDD} とグランド間を接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、互いに平行に配置した 1µF レンジのコンデンサとそれより小さいコンデンサ (例えば、0.1µF) を使用します。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために、設 計の際には PCB レイアウト、リード インダクタンス、寄生バイパス コンデンサをシミュレートする必要があります。

図 12. 48-TQFP パケージの例

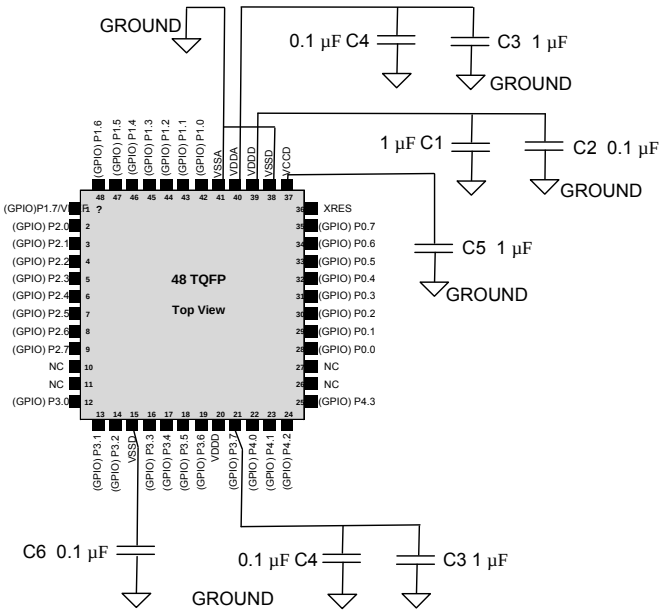
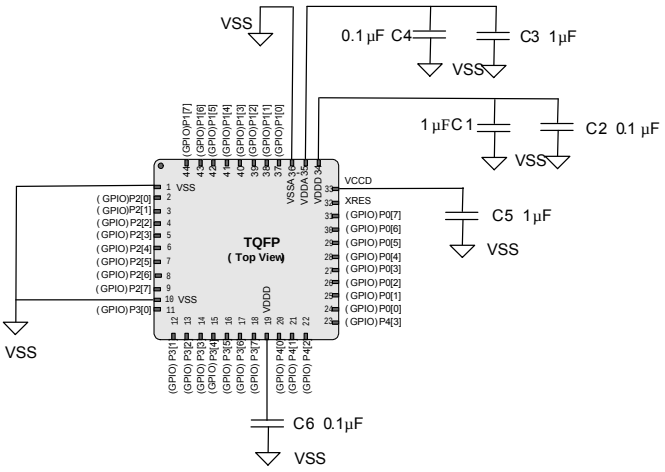


図 13. 44-TQFP パケージの例



電源	バイパス コンデンサ
V_{DDD}–V_{SS}	各ピンに 0.1µF のセラミック コンデンサ (C2、C6) と 1µF ～ 10µF のバルク コンデンサ (C1)
V_{DDA}–V_{SSA}	ピンに 0.1µF セラミック コンデンサ (C4)。追加の 1µF ～ 10µF バルク コンデンサ (C3)
V_{CCD}–V_{SS}	VCCD ピン上の 1µF セラミック コンデンサ (C5)
V_{REF}–V_{SSA} (オプション)	1µF ～ 10µF のコンデンサで内部バンドギャップをバイパス

注 : 自身のコンデンサのために (特に動作電圧および DC バイアス仕様) データシートを調べるのは良いやり方です。いくつかのコンデンサを使用すれば、DC バイアス (V_{DDA}、V_{DDD} または V_{CCD}) が定格動作電圧のかなりの割合になる時、実際の容量は大幅に減少します。

図 14. 40 ピン QFN の例

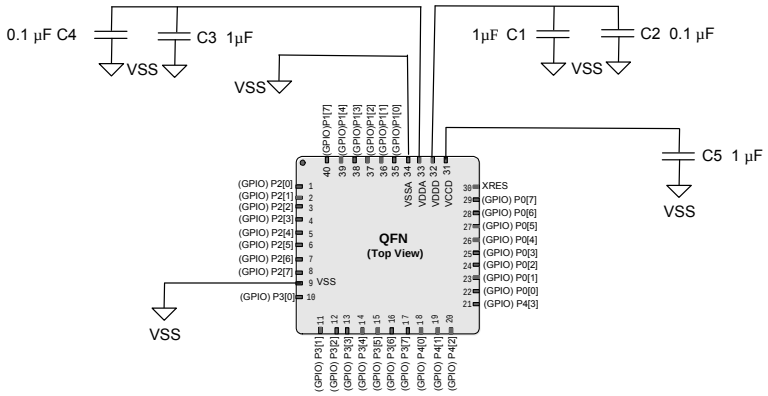
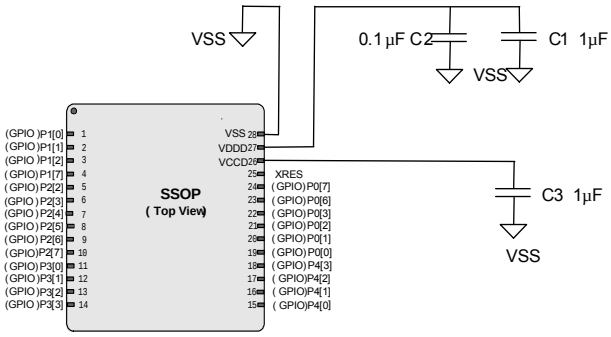


図 15. 28-SSOP の例



安定化外部電源

このモードでは、PSoC4200 は 1.71V ～ 1.89V (1.8 ±5%) の外部電源から電源供給されます。この範囲は電源リップルを含む必要があることに注意 してく ださい。このモードで、V_{CCD}、V_{DDA} および V_{DDD} ピンは互いに短絡されバイパスされ ます。内部レギュレータはファームウェアで無効にされます。

開発サポート

PSoC 4200 ファミリには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツールおよび オンライン リソースが用意されています。
詳細については、www.cypress.com/go/psoc4 をご覧ください。

ドキュメント

ドキュメント一式が PSoC 4200 ファミリをサポートし、ユーザーは、疑問点に対する答えを素早く見つけることができます。重要な資料の幾つかは、本節にリストアップされています。

ソフトウェア ユーザー ガイド : PSoC Creator の操作方法の手引書。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルド プロセスの詳細、PSoC Creator を用いたソース制御の使い方、その他が記載されています。

コンポーネント データシート : PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コ ンポーネント) を作成できます。コンポーネント データシートには、ある特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュ メント、サンプル コード、AC/DC 仕様を含んで全て記載されています。

アプリケーション ノート: PSoCアプリケーション ノートには、PSoC の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプル プロジェクトが含まれています。

テクニカル リファレンス マニュアル : テクニカル リファレンス マニュアル (TRM) には、すべての PSoC レジスタの詳細な説明など、PSoC デバイスを使用する際に必要な技術的 詳細がすべて記載されています。TRM は、www.cypress.com/psoc4 の「ドキュメント」セクションにあります。

オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他のPSoC ユーザーや PSoC の専門家と連絡をとれます。

ツール

業界標準のコア、プログラミングおよびデバッギング インターフェースを備えた PSoC 4200 ファミリは、開発ツール エコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサード パーティーのコンパイラ、プログラマ、デバッガおよび開発キットの最新情報については、サイプレ スのウェブサイト www.cypress.com/go/psoccreator をご覧ください。

電気的仕様

絶対最大定格

表 1. 絶対最大定格 [1]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID1	V_{DDD_ABS}	V_{SSD} を基準としたデジタル電源電圧	–0.5	–	6	V	絶対最大値
SID2	V_{CCD_ABS}	Vssd を基準とした直接デジタル コア電圧入力	–0.5	–	1.95	V	絶対最大値
SID3	V_{GPIO_ABS}	GPIO 電圧	–0.5	–	V_{DD}+ 0.5	V	絶対最大値
SID4	I_{GPIO_ABS}	GPIO 毎の最大電流	–25	–	25	mA	絶対最大値
SID5	$I_{GPIO_injection}$	GPIO 注入電流、MAX は $V_{IH} > V_{DDD}$ の場合、MIN は $V_{IL} < V_{SS}$ の場合	–0.5	–	0.5	mA	絶対最大値、1 ピン当たりに注入される電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	–	–	V	
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	–	–	V	
BID46	LU	ラッチアップ時のピン電流	–200	–	200	mA	

デバイス レベルの仕様

特記されない限り、すべての仕様は -40°C ≤ TA ≤ 85°C および TJ ≤ 100°C の条件で有効です。仕様は注記した場合を除いて、1.71V ～ 5.5V において有効です。

表 2. DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID53	V_{DDD}	電源入力電圧	1.8	–	5.5	V	レギュレータが有効
SID255	V_{DDD}	安定化していない電源入力電圧	1.71	1.8	1.89	V	内部的に安定化されない電源
SID54	V_{CCD}	出力電圧 (コア ロジック用)	–	1.8	–	V	
SID55	C_{EFC}	外部レギュレータ電圧バイパス	1	1.3	1.6	µF	X5R セラミックまたはこれより良質のもの
SID56	C_{EXC}	電源デカップリング コンデンサ	–	1	–	µF	X5R セラミックまたはこれより良質のもの
アクティブ モード、V_{DDD} = 1.71V ～ 5.5V。標準値は V_{DD} = 3.3V での測定結果							
SID9	I_{DD5}	フラッシュから実行；CPU 速度が 6MHz	–	–	2.8	mA	
SID10	I_{DD6}	フラッシュから実行；CPU 速度が 6MHz	–	2.2	–	mA	T = 25°C
SID12	I_{DD8}	フラッシュから実行；CPU 速度が 12MHz	–	–	4.2	mA	
SID13	I_{DD9}	フラッシュから実行；CPU 速度が 12MHz	–	3.7	–	mA	T = 25°C
SID16	I_{DD11}	フラッシュから実行；CPU 速度が 24MHz	–	6.7	–	mA	T = 25°C
SID17	I_{DD12}	フラッシュから実行；CPU 速度が 24MHz	–	–	7.2	mA	
SID19	I_{DD14}	フラッシュから実行；CPU 速度が 48MHz	–	12.8	–	mA	T = 25°C
SID20	I_{DD15}	フラッシュから実行；CPU 速度が 48MHz	–	–	13.8	mA	

注
1. 表 1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能 性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って 動作しないことがあります。

表 2. DC 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
スリープモード、V_{DDD} = 1.7V ～ 5.5V							
SID25	I_{DD20}	I^2C ウェイクアップ、WDT、およびコンパレータが有効。CPU 速度が 6MHz	–	1.3	1.8	mA	
SID25A	I_{DD20A}	I^2C ウェイクアップ、WDT、およびコンパレータが有効。CPU 速度が 12MHz	–	1.7	2.2	mA	
ディープスリープ モード、V_{DDD} = 1.8V ～ 3.6V (レギュレータが有効)							
SID31	I_{DD26}	I^2C ウェイクアップと WDT が有効	–	1.3	–	µA	T = 25°C、3.6V
SID32	I_{DD27}	I^2C ウェイクアップと WDT が有効	–	–	50	µA	T = 85°C
ディープスリープ モード、V_{DDD} = 3.6V ～ 5.5V							
SID34	I_{DD29}	I^2C ウェイクアップと WDT が有効	–	15	–	µA	T = 25°C、5.5V
ディープスリープ モード、V_{DDD} = 1.71V ～ 1.89V (レギュレータをバイパス)							
SID37	I_{DD32}	I^2C ウェイクアップと WDT が有効	–	1.7	–	µA	T = 25°C
SID38	I_{DD33}	I^2C ウェイクアップと WDT が有効	–	–	440	µA	T = 85°C
ハイバネート モード、V_{DDD} = 1.8V ～ 3.6V (レギュレータが有効；特性評価で保証)							
SID40	I_{DD35}	GPIO とリセットがアクティブ	–	150	–	nA	T = 25°C、3.6V
SID41	I_{DD36}	GPIO とリセットがアクティブ	–	–	1	µA	T = 85°C
ハイバネート モード、V_{DDD} = 3.6V ～ 5.5V (特性評価で保証)							
SID43	I_{DD38}	GPIO とリセットがアクティブ	–	150	–	nA	T = 25°C、5.5V
ハイバネート モード、V_{DDD} = 1.71V ～ 1.89V (レギュレータをバイパス；特性評価で保証)							
SID46	I_{DD41}	GPIO とリセットがアクティブ	–	150	–	nA	T = 25°C
SID47	I_{DD42}	GPIO とリセットがアクティブ	–	–	1	µA	T = 85°C
ストップ モード (特性評価で保証)							
SID304	I_{DD43A}	ストップ モード電流；V_{DD} = 3.6V	–	20	80	nA	
XRES 電流							
SID307	I_{DD_XR}	XRES がアサートされている時の供給電流	–	2	5	mA	

表 3. AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID48	F_{CPU}	CPU 周波数	DC	–	48	MHz	$1.71V \le V_{DD} \le 5.5V$
SID49	T_{SLEEP}	スリープ モードからの復帰時間	–	0	–	µs	特性評価で保証
SID50	$T_{DEEPSLEEP}$	ディープスリープ モードからの復帰時間	–	–	25	µs	24MHz IMO。特性評価で保証
SID51	$T_{HIBERNATE}$	ハイバネート モードとストップ モードからの復帰時間	–	–	2	ms	特性評価で保証
SID52	$T_{RESETWIDTH}$	外部リセット パルス幅	1	–	–	µs	特性評価で保証

GPIO

表 4. GPIO DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID57	V_{IH}[2]	入力電圧の HIGH 閾値	0.7×V_{DDD}	–	–	V	CMOS 入力
SID58	V_{IL}	入力電圧の LOW 閾値	–	–	0.3×V_{DDD}	V	CMOS 入力
SID241	V_{IH}[2]	LVTTL 入力、V_{DDD} < 2.7V	0.7×V_{DDD}	–	–	V	
SID242	V_{IL}	LVTTL 入力、V_{DDD} < 2.7V	–	–	0.3×V_{DDD}	V	
SID243	V_{IH}[2]	LVTTL 入力、V_{DDD} ≥ 2.7V	2.0	–	–	V	
SID244	V_{IL}	LVTTL 入力、V_{DDD} ≥ 2.7V	–	–	0.8	V	
SID59	V_{OH}	出力 HIGH 電圧	V_{DDD}–0.6	–	–	V	V_{DDD} = 3V の時、I_{OH} = 4mA
SID60	V_{OH}	出力 HIGH 電圧	V_{DDD}–0.5	–	–	V	V_{DDD} = 1.8V の時、I_{OH} = 1mA
SID61	V_{OL}	出力 LOW 電圧	–	–	0.6	V	V_{DDD} = 1.8V の時、I_{OL} = 4mA
SID62	V_{OL}	出力 LOW 電圧	–	–	0.6	V	V_{DDD} = 3V の時、I_{OL} = 8mA
SID62A	V_{OL}	出力 LOW 電圧	–	–	0.4	V	V_{DDD} = 3V の時、I_{OL} = 3mA
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	kΩ	
SID65	I_{IL}	入力リーク電流 (絶対値)	–	–	2	nA	25°C、V_{DDD} = 3.0V
SID65A	I_{IL_CTBM}	CTBM 端子用の入力リーク電流 (絶対値)	–	–	4	nA	
SID66	C_{IN}	入力容量	–	–	7	pF	
SID67	V_{HYSTTL}	入力ヒステリシス LVTTL	25	40	–	mV	V_{DDD} ≥ 2.7V。特性評価で保証
SID68	$V_{HYSCMOS}$	入力ヒステリシス CMOS	0.05×V_{DDD}	–	–	mV	特性評価で保証
SID69	I_{DIODE}	保護ダイオードを通って V_{DD}/Vss に流れる電流	–	–	100	µA	特性評価で保証
SID69A	I_{TOT_GPIO}	チップの最大合計ソースまたはシンク電流	–	–	200	mA	特性評価で保証

注 :
2. V_{IH} は V_{DDD} +0.2V を超えてはいけません。

表 5. GPIO AC 仕様
(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID70	T_{RISEF}	高速 Strong モードでの立ち上がり時間	2	–	12	ns	V_{DDD} = 3.3V、Cload = 25pF
SID71	T_{FALLF}	高速 Strong モードでの立ち下がり時間	2	–	12	ns	V_{DDD} = 3.3V、Cload = 25pF
SID72	T_{RISES}	低速 Strong モードでの立ち上がり時間	10	–	60	ns	V_{DDD} = 3.3V、Cload = 25pF
SID73	T_{FALLS}	低速 Strong モードでの立ち下がり時間	10	–	60	ns	V_{DDD} = 3.3V、Cload = 25pF
SID74	$F_{GPIOUT1}$	GPIO Fout；3.3V ≤ V_{DDD} ≤ 5.5V。高速 Strong モード。	–	–	33	MHz	90/10%、25pF 負荷、60/40 デューティ サイクル
SID75	$F_{GPIOUT2}$	GPIO Fout；1.7V ≤ V_{DDD} ≤ 3.3V。高速 Strong モード。	–	–	16.7	MHz	90/10%、25pF 負荷、60/40 デューティ サイクル
SID76	$F_{GPIOUT3}$	GPIO Fout；3.3V ≤ V_{DDD} ≤ 5.5V。低速 Strong モード。	–	–	7	MHz	90/10%、25pF 負荷、60/40 デューティ サイクル
SID245	$F_{GPIOUT4}$	GPIO Fout；1.7V ≤ V_{DDD} ≤ 3.3V。低速 Strong モード。	–	–	3.5	MHz	90/10%、25pF 負荷、60/40 デューティ サイクル
SID246	F_{GPIOIN}	GPIO の入力動作の周波数；1.71V ≤ V_{DDD} ≤ 5.5V	–	–	48	MHz	90/10% V_{IO}

XRES

表 6. XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID77	V_{IH}	入力電圧の HIGH 閾値	0.7×V_{DDD}	–	–	V	CMOS 入力
SID78	V_{IL}	入力電圧の LOW 閾値	–	–	0.3×V_{DDD}	V	CMOS 入力
SID79	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID80	C_{IN}	入力容量	–	3	–	pF	
SID81	$V_{HYSXRES}$	入力電圧ヒステリシス	–	100	–	mV	特性評価で保証
SID82	I_{DIODE}	保護ダイオードを通って V_{DDD}/V_{SS} に流れる電流	–	–	100	µA	特性評価で保証

表 7. XRES AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID83	$T_{RESETWIDTH}$	リセット パルス幅	1	–	–	µs	特性評価で保証

アナログ ペリフェラル

オペアンプ

表 8. オペアンプ仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
	I_{DD}	オペアンプ ブロック電流。負荷なし。	–	–	–	–	
SID269	I_{DD_HI}	消費電力 = 大	–	1000	1300	µA	
SID270	I_{DD_MED}	消費電力 = 中	–	320	500	µA	
SID271	I_{DD_LOW}	消費電力 = 小	–	250	350	µA	
	GBW	負荷 = 20pF、0.1mA。V_{DDA} = 2.7V	–	–	–	–	
SID272	GBW_HI	消費電力 = 大	6	–	–	MHz	
SID273	GBW_MED	消費電力 = 中	4	–	–	MHz	
SID274	GBW_LO	消費電力 = 小	–	1	–	MHz	
	I_{OUT_MAX}	$V_{DDA} \geq$ 2.7V、500mV の電源レール	–	–	–	–	
SID275	$I_{OUT_MAX_HI}$	消費電力 = 大	10	–	–	mA	
SID276	$I_{OUT_MAX_MID}$	消費電力 = 中	10	–	–	mA	
SID277	$I_{OUT_MAX_LO}$	消費電力 = 小	–	5	–	mA	
	I_{OUT}	V_{DDA} = 1.71V、500mV の電源レール	–	–	–	–	
SID278	$I_{OUT_MAX_HI}$	消費電力 = 大	4	–	–	mA	
SID279	$I_{OUT_MAX_MID}$	消費電力 = 中	4	–	–	mA	
SID280	$I_{OUT_MAX_LO}$	消費電力 = 小	–	2	–	mA	
SID281	V_{IN}	チャージ ポンプがオン、$V_{DDA} \geq$ 2.7V	–0.05	–	VDDA – 0.2	V	
SID282	V_{CM}	チャージ ポンプがオン、$V_{DDA} \geq$ 2.7V	–0.05	–	VDDA – 0.2	V	
	V_{OUT}	$V_{DDA} \geq$ 2.7V	–	–	–		
SID283	V_{OUT_1}	消費電力 = 大、Iload=10mA	0.5	–	VDDA – 0.5	V	
SID284	V_{OUT_2}	消費電力 = 大、Iload=1mA	0.2	–	VDDA – 0.2	V	
SID285	V_{OUT_3}	消費電力 = 中、Iload=1mA	0.2	–	VDDA – 0.2	V	
SID286	V_{OUT_4}	消費電力 = 低、Iload=0.1mA	0.2	–	VDDA – 0.2	V	
SID288	V_{OS_TR}	オフセット電圧 (調整後)	1	±0.5	1	mV	大消費電力モード
SID288A	V_{OS_TR}	オフセット電圧 (調整後)	–	±1	–	mV	中消費電力モード
SID288B	V_{OS_TR}	オフセット電圧 (調整後)	–	±2	–	mV	小消費電力モード
SID290	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–10	±3	10	µV/C	大消費電力モード
SID290A	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–	±10	–	µV/C	中消費電力モード
SID290B	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–	±10	–	µV/C	小消費電力モード
SID291	CMRR	DC	70	80	–	dB	VDDD = 3.6V
SID292	PSRR	1kHz で、リップル電圧が 100mV の場合	70	85	–	dB	VDDD = 3.6V
	ノイズ		–	–	–	–	
SID293	V_{N1}	基準入力、1Hz ～ 1GHz、消費電力 = 大	–	94	–	µVrms	
SID294	V_{N2}	基準入力、1kHz、消費電力 = 大	–	72	–	nV/rtHz	
SID295	V_{N3}	基準入力、10kHz、消費電力 = 大	–	28	–	nV/rtHz	
SID296	V_{N4}	基準入力、100kHz、消費電力 = 大	–	15	–	nV/rtHz	
SID297	Cload	最大負荷まで安定 50pF で性能仕様を満たす。	–	–	125	pF	

表 8. オペアンプ仕様 (続き)
(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID298	Slew_rate	Cload = 50pF、消費電力 = 大、$V_{DDA} \geq 2.7V$	6	–	–	V/µsec	
SID299	T_op_wake	無効から有効まで、外付け RC なし	–	300	–	µsec	
	Comp_mode	コンパレータ モード ; 50mV 駆動、Trise = Tfall (おおよそ)	–	–	–		
SID300	T_{PD1}	応答時間 ; 消費電力 = 大	–	150	–	nsec	
SID301	T_{PD2}	応答時間 ; 消費電力 = 中	–	400	–	nsec	
SID302	T_{PD3}	応答時間 ; 消費電力 = 小	–	2000	–	nsec	
SID303	Vhyst_op	ヒステリシス	–	10	–	mV	

コンパレータ

表 9. コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID85	$V_{OFFSET2}$	入力オフセット電圧	–	–	±4	mV	
SID85A	$V_{OFFSET3}$	入力オフセット電圧。超低電力モード	–	±12	–	mV	
SID86	V_{HYST}	有効時のヒステリシス	–	10	35	mV	特性評価で保証
SID87	V_{ICM1}	通常モード入力同相電圧	0	–	$V_{DDD} – 0.1$	V	モード 1 とモード 2。特性評価で保証
SID247	V_{ICM2}	低消費電力モード入力同相電圧	0	–	V_{DDD}	V	特性評価で保証
SID247A	V_{ICM2}	超低電力モード入力同相電圧	0	–	$V_{DDD} – 1.15$	V	特性評価で保証
SID88	CMRR	同相信号除去比	50	–	–	dB	$V_{DDD} \geq 2.7V$。特性評価で保証
SID88A	CMRR	同相信号除去比	42	–	–	dB	$V_{DDD} < 2.7V$。特性評価で保証
SID89	I_{CMP1}	ブロック電流、通常モード	–	–	280	µA	特性評価で保証
SID248	I_{CMP2}	ブロック電流、低電力モード	–	–	50	µA	特性評価で保証
SID259	I_{CMP3}	ブロック電流 (超低電力モード)	–	–	6	µA	特性評価で保証
SID90	Z_{CMP}	コンパレータ DC 入力インピーダンス	35	–	–	MΩ	特性評価で保証

表 10. コンパレータ AC 仕様
(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID91	T_{RESP1}	応答時間、通常モード	–	–	38	ns	50mV オーバードライブ
SID258	T_{RESP2}	応答時間、低電力モード	–	–	70	ns	50mV オーバードライブ
SID92	T_{RESP3}	応答時間、超低電力モード	–	–	2.3	µs	200mV オーバードライブ

温度センサー

表 11. 温度センサーの仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID93	$T_{SENSACC}$	温度センサーの精度	–5	±1	+5	°C	–40°C ～ +85°C

SAR ADC

表 12. SAR ADC の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID94	A_RES	分解能	–	–	12	ビット	
SID95	A_CHNIS_S	チャネル数ーシングル エンド	–	–	8		8 個のフルスピードチャネル
SID96	A-CHNKS_D	チャネルの数ー差動	–	–	4		差動チャネルの入力は隣接する I/O を使用
SID97	A-MONO	単調性	–	–	–		有。特性に基づく
SID98	A_GAINERR	ゲイン誤差	–	–	±0.1	%	外部リファレンス有り特性評価で保証
SID99	A_OFFSET	入力オフセット電圧	–	–	2	mV	1V の V_{REF} で測定特性評価で保証
SID100	A_ISAR	消費電流	–	–	1	mA	
SID101	A_VINS	入力電圧範囲 – シングル エンド	V_{SS}	–	V_{DDA}	V	デバイスの特性評価に基づく値
SID102	A_VIND	入力電圧範囲 - 差動	V_{SS}	–	V_{DDA}	V	デバイスの特性評価に基づく値
SID103	A_INRES	入力抵抗	–	–	2.2	kΩ	デバイスの特性評価に基づく値
SID104	A_INCAP	入力容量	–	–	10	pF	デバイスの特性評価に基づく値
SID106	A_PSRR	電源電圧変動除去比	70	–	–	dB	
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1V で測定
SID111	A_INL	積分非直線性	–1.7	–	+2	LSB	V_{DD} = 1.71V ～ 5.5V、1Msps、Vref = 1 ～ 5.5
SID111A	A_INL	積分非直線性	–1.5	–	+1.7	LSB	V_{DDD} = 1.71V～3.6V、1Msps、Vref = 1.71V ～ V_{DDD}
SID111B	A_INL	積分非直線性	–1.5	–	+1.7	LSB	V_{DDD} = 1.71V ～ 5.5V、500Ksps、Vref = 1V ～ 5.5V

表 12. SAR ADC の DC 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID112	A_DNL	微分非直線性	–1	–	+2.2	LSB	V_{DDD} = 1.71V ～ 5.5V、1Msps、Vref = 1V ～ 5.5V
SID112A	A_DNL	微分非直線性	–1	–	+2	LSB	V_{DDD} = 1.71V ～ 3.6V、1Msps、Vref = 1.71V ～ V_{DDD}
SID112B	A_DNL	微分非直線性	–1	–	+2.2	LSB	V_{DDD} = 1.71V ～ 5.5V、500 Ksps、Vref = 1V ～ 5.5V

表 13. SAR ADC の AC 仕様
(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID108	A_SAMP_1	外部リファレンス バイパス コンデンサがある場合のサンプル レート	–	–	1	Msps	
SID108A	A_SAMP_2	バイパス コンデンサがない場合のサンプル レート。リファレンス電圧 = V_{DD}	–	–	500	Ksps	
SID108B	A_SAMP_3	バイパス コンデンサがない場合のサンプル レート。内部リファレンス電圧	–	–	100	Ksps	
SID109	A_SNDR	信号対ノイズおよび歪み比 (SINAD)	65	–	–	dB	F_{IN} = 10kHz
SID113	A_THD	全高調波歪み	–	–	–65	dB	F_{IN} = 10kHz

CSD

表 14. CSD ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID.CSD#16	IDAC1IDD	IDAC1 (8 ビット) ブロック電流	–	–	1125	µA	
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	–	–	1125	µA	
SID308	VCSD	動作電圧の範囲	1.71	–	5.5	V	
SID308A	Vcompidac	S0 での IDAC の電圧コンプライアンス範囲	0.8	–	VDD-0.8	V	
SID309	IDAC1	8 ビット分解能の DNL	–1	–	1	LSB	
SID310	IDAC1	8 ビット分解能用の INL	–3	–	3	LSB	
SID311	IDAC2	7 ビット分解能の DNL	–1	–	1	LSB	
SID312	IDAC2	7 ビット分解能の INL	–3	–	3	LSB	
SID313	SNR	信号対雑音比、0.1pF 感度	5	–	–	比率	9pF ～ 35pF のコンデンサ範囲
SID314	IDAC1_CRT1	高域での Idac1 (8 ビット) の出力電流	–	612	–	µA	
SID314A	IDAC1_CRT2	低域での Idac1 (8 ビット) の出力電流	–	306	–	µA	
SID315	IDAC2_CRT1	高域での Idac2 (7 ビット) の出力電流	–	304.8	–	µA	
SID315A	IDAC2_CRT2	低域での Idac2 (7 ビット) の出力電流	–	152.4	–	µA	
SID320	IDACOFFSET	すべてのゼロ入力	–	–	±1	LSB	
SID321	IDACGAIN	フルスケール エラーからオフセット エラーを差し引いた後の値	–	–	±10	%	
SID322	IDACMISMATCH	IDAC 同士間のミスマッチ	–	–	7	LSB	
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB までの整定時間	–	–	10	µs	フルスケール遷移 外部負荷無し
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB までの整定時間	–	–	10	µs	フルスケール遷移 外部負荷無し
SID325	CMOD	外部モジュレータ コンデンサ	–	2.2	–	nF	5V 定格、X7R または NP0 コンデンサ

デジタル ペリフェラル

次の仕様は、タイマー モードでのタイマー／カウンター／ PWM ペリフェラルに適用されます。

タイマー

表 15. タイマー DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID115	I_{TIM1}	3MHz でのブロック消費電流	–	–	19	µA	16 ビット タイマー
SID116	I_{TIM2}	12MHz でのブロック消費電流	–	–	66	µA	16 ビット タイマー
SID117	I_{TIM3}	48MHz でのブロック消費電流	–	–	285	µA	16 ビット タイマー

表 16. タイマ AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID118	$T_{TIMFREQ}$	動作周波数	–	–	48	MHz	
SID119	$T_{CAPWINT}$	キャプチャ パルス幅 (内部)	42	–	–	ns	
SID120	$T_{CAPWEXT}$	キャプチャ パルス幅 (外部)	42	–	–	ns	
SID121	T_{TIMRES}	タイマー分解能	21	–	–	ns	
SID122	$T_{TENWIDINT}$	イネーブル パルス幅 (内部)	42	–	–	ns	
SID123	$T_{TENWIDEXT}$	イネーブル パルス幅 (外部)	42	–	–	ns	
SID124	$T_{TIMRESWINT}$	リセット パルス幅 (内部)	42	–	–	ns	
SID125	$T_{TIMRESEXT}$	リセット パルス幅 (外部)	42	–	–	ns	

カウンター

表 17. カウンターの DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID126	I_{CTR1}	3MHz でのブロック消費電流	–	–	19	µA	16 ビットのカウンター
SID127	I_{CTR2}	12MHz でのブロック消費電流	–	–	66	µA	16 ビットのカウンター
SID128	I_{CTR3}	48MHz でのブロック消費電流	–	–	285	µA	16 ビットのカウンター

表 18. カウンターの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID129	$T_{CTRFREQ}$	動作周波数	–	–	48	MHz	
SID130	$T_{CTRPWINT}$	キャプチャ パルス幅 (内部)	42	–	–	ns	
SID131	$T_{CTRPWEXT}$	キャプチャ パルス幅 (外部)	42	–	–	ns	
SID132	T_{CTRES}	カウンターの分解能	21	–	–	ns	
SID133	$T_{CENWIDINT}$	イネーブル パルス幅 (内部)	42	–	–	ns	
SID134	$T_{CENWIDEXT}$	イネーブル パルス幅 (外部)	42	–	–	ns	
SID135	$T_{CTRRESWINT}$	リセット パルス幅 (内部)	42	–	–	ns	
SID136	$T_{CTRRESWEXT}$	リセット パルス幅 (外部)	42	–	–	ns	

パルス幅変調 (PWM)

表 19. PWM の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID137	I_{PWM1}	3MHz でのブロック消費電流	–	–	19	µA	16 ビット PWM
SID138	I_{PWM2}	12MHz でのブロック消費電流	–	–	66	µA	16 ビット PWM
SID139	I_{PWM3}	48MHz でのブロック消費電流	–	–	285	µA	16 ビット PWM

表 20. PWM の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID140	$T_{PWMFREQ}$	動作周波数	–	–	48	MHz	
SID141	$T_{PWMPWINT}$	パルス幅 (内部)	42	–	–	ns	
SID142	T_{PWMEXT}	パルス幅 (外部)	42	–	–	ns	
SID143	$T_{PWMKILLINT}$	キル パルス幅 (内部)	42	–	–	ns	
SID144	$T_{PWMKILLEXT}$	キル パルス幅 (外部)	42	–	–	ns	
SID145	$T_{PWMEINT}$	イネーブル パルス幅 (内部)	42	–	–	ns	
SID146	$T_{PWMENEXT}$	イネーブル パルス幅 (外部)	42	–	–	ns	
SID147	$T_{PWMRESWINT}$	リセット パルス幅 (内部)	42	–	–	ns	
SID148	$T_{PWMRESWEXT}$	リセット パルス幅 (外部)	42	–	–	ns	

I^2C

表 21. 固定 I^2C の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID149	I_{I2C1}	100kHz でのブロック消費電流	–	–	10.5	µA	
SID150	I_{I2C2}	400kHz でのブロック消費電流	–	–	135	µA	
SID151	I_{I2C3}	1Mbps でのブロック消費電流	–	–	310	µA	
SID152	I_{I2C4}	I^2C がディープスリープ モードで有効の場合	–	–	1.4	µA	

表 22. 固定 I^2C の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID153	F_{I2C1}	ビット レート	–	–	1	Mbps	

LCD ダイレクト ドライブ

表 23. LCD 直接駆動 DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID154	I_{LCDLOW}	低電力モードでの動作電流	–	5	–	µA	50Hz での 16×4 の小さいセグメント ディスプレイ
SID155	C_{LCDCAP}	セグメント／コモン ドライバー当たりの LCD 静電容量	–	500	5000	pF	設計上保証
SID156	LCD_{OFFSET}	長時間セグメント オフセット	–	20	–	mV	
SID157	I_{LCDOP1}	PWM モード電流。5V バイアス 24MHz IMO。25°C	–	0.6	–	mA	32 × 4 セグメント。50Hz
SID158	I_{LCDOP2}	PWM モード電流。3.3V バイアス 24MHz IMO。25°C	–	0.5	–	mA	32 × 4 セグメント。50Hz

表 24. LCD 直接駆動の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID159	F_{LCD}	LCD フレーム レート	10	50	150	Hz	

表 25. 固定 UART の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID160	I_{UART1}	100K ビット / 秒時のブロック消費電流	–	–	9	µA	
SID161	I_{UART2}	1000Kビット/秒時のブロック消費電流	–	–	312	µA	

表 26. 固定 UART AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID162	F_{UART}	ビット レート	–	–	1	Mbps

SPI 仕様

表 27. 固定 SPI DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID163	I_{SPI1}	1M ビット / 秒時のブロック消費電流	–	–	360	µA
SID164	I_{SPI2}	4M ビット / 秒時のブロック消費電流	–	–	560	µA
SID165	I_{SPI3}	8M ビット / 秒時のブロック消費電流	–	–	600	µA

表 28. 固定 SPI の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID166	F_{SPI}	SPI 動作周波数 (マスター ; 6 倍の オーバーサンプリング)	–	–	8	MHz

表 29. 固定 SPI マスター モードの AC 仕様
(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID167	T_{DMO}	Sclock 駆動エッジ後の MOSI 有効期間	–	–	15	ns
SID168	T_{DSI}	Sclock キャプチャ エッジ前の MISO 有効時間。フル クロックで、MISO の遅いサンプリングが採用	20	–	–	ns
SID169	T_{HMO}	スレーブでのエッジ キャプチャ時の前の MOSI データ ホールド時間	0	–	–	ns

表 30. 固定 SPI スレーブ モード AC 仕様
(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID170	T_{DMI}	Sclock キャプチャ エッジ前の MOSI 有効時間	40	–	–	ns
SID171	T_{DSO}	Sclock 駆動エッジ後の MISO 有効期間	–	–	42 + 3 × FCPU	ns
SID171A	T_{DSO_ext}	外部クロック モードでの Sclock 駆動エッジからの MISO 有効期間	–	–	48	ns
SID172	T_{HSO}	前の MISO データ ホールド時間	0	–	–	ns
SID172A	$T_{SSELSCK}$	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	ns

メモリ

表 31. フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID173	V_{PE}	消去およびプログラム電圧	1.71	–	5.5	V	

表 32. フラッシュ AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID174	$T_{ROWWRITE}$[3]	Row (ブロック) 書き込み時間 (消去＋書き込み)	–	–	20	ms	Row (ブロック) = 128 バイト
SID175	$T_{ROWERASE}$[3]	Row 消去時間	–	–	13	ミリ秒	
SID176	$T_{ROWPROGRAM}$[3]	消去後の Row プログラム時間	–	–	7	ミリ秒	
SID178	$T_{BULKERASE}$[3]	バルク消去時間 (32KB)	–	–	35	ミリ秒	
SID180	$T_{DEVPROG}$[3]	デバイス プログラム合計時間	–	–	7	秒	特性評価で保証
SID181	F_{END}	フラッシュ アクセス可能回数	100K	–	–	サイクル	特性評価で保証
SID182	F_{RET}	フラッシュのデータ保持期間。$T_A \le 55°C$、プログラム／消去サイクル = 10 万回	20	–	–	年	特性評価で保証
SID182A		フラッシュのデータ保持期間。$T_A \le 85°C$、プログラム／消去サイクル = 1 万回	10	–	–	年	特性評価で保証

注 :
3. フラッシュ メモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュ メモリの動作は中断され、正常に完了したことを保証されません。リセット ソースは XRES ピン、ソフトウェア リセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらのソースを誤ってアクティブにされないことを確実にしてください。

システム リソース

電圧低下時のパワーオン リセット (POR)

表 33. 低精度パワー オン リセット (IPOR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID185	$V_{RISEIPOR}$	立ち上がりトリップ電圧	0.80	–	1.45	V	特性評価で保証
SID186	$V_{FALLIPOR}$	立ち下がりトリップ電圧	0.75	–	1.4	V	特性評価で保証
SID187	$V_{IPORHYST}$	ヒステリシス	15	–	200	mV	特性評価で保証

表 34. 高精度パワーオン リセット (POR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID190	$V_{FALLPPOR}$	アクティブ モードとスリープ モードでの BOD トリップ電圧	1.64	–	–	V	特性評価で保証
SID192	$V_{FALLDPSLP}$	ディープスリープ モードでの BOD トリップ電圧	1.4	–	–	V	特性評価で保証

電圧モニター

表 35. 電圧モニターの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID195	V_{LVI1}	LVI_A/D_SEL[3:0] = 0000b	1.71	1.75	1.79	V	
SID196	V_{LVI2}	LVI_A/D_SEL[3:0] = 0001b	1.76	1.80	1.85	V	
SID197	V_{LVI3}	LVI_A/D_SEL[3:0] = 0010b	1.85	1.90	1.95	V	
SID198	V_{LVI4}	LVI_A/D_SEL[3:0] = 0011b	1.95	2.00	2.05	V	
SID199	V_{LVI5}	LVI_A/D_SEL[3:0] = 0100b	2.05	2.10	2.15	V	
SID200	V_{LVI6}	LVI_A/D_SEL[3:0] = 0101b	2.15	2.20	2.26	V	
SID201	V_{LVI7}	LVI_A/D_SEL[3:0] = 0110b	2.24	2.30	2.36	V	
SID202	V_{LVI8}	LVI_A/D_SEL[3:0] = 0111b	2.34	2.40	2.46	V	
SID203	V_{LVI9}	LVI_A/D_SEL[3:0] = 1000b	2.44	2.50	2.56	V	
SID204	V_{LVI10}	LVI_A/D_SEL[3:0] = 1001b	2.54	2.60	2.67	V	
SID205	V_{LVI11}	LVI_A/D_SEL[3:0] = 1010b	2.63	2.70	2.77	V	
SID206	V_{LVI12}	LVI_A/D_SEL[3:0] = 1011b	2.73	2.80	2.87	V	
SID207	V_{LVI13}	LVI_A/D_SEL[3:0] = 1100b	2.83	2.90	2.97	V	
SID208	V_{LVI14}	LVI_A/D_SEL[3:0] = 1101b	2.93	3.00	3.08	V	
SID209	V_{LVI15}	LVI_A/D_SEL[3:0] = 1110b	3.12	3.20	3.28	V	
SID210	V_{LVI16}	LVI_A/D_SEL[3:0] = 1111b	4.39	4.50	4.61	V	
SID211	LVI_IDD	ブロック電流	–	–	100	µA	特性評価で保証

表 36. 電圧モニタの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID212	$T_{MONTRIP}$	電圧モニタ トリップ時間	–	–	1	µs	特性評価で保証

SWD インターフェース

表 37. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID213	F_SWDCLK1	$3.3V \le V_{DD} \le 5.5V$	–	–	14	MHz	SWDCLK≤1/3 CPU クロック周波数
SID214	F_SWDCLK2	$1.71V \le V_{DD} \le 3.3V$	–	–	7	MHz	SWDCLK≤1/3 CPU クロック周波数
SID215	T_SWDI_SETUP	T = 1/f SWDCLK	0.25*T	–	–	ns	特性評価で保証
SID216	T_SWDI_HOLD	T = 1/f SWDCLK	0.25*T	–	–	ns	特性評価で保証
SID217	T_SWDO_VALID	T = 1/f SWDCLK	–	–	0.5*T	ns	特性評価で保証
SID217A	T_SWDO_HOLD	T = 1/f SWDCLK	1	–	–	ns	特性評価で保証

内部主発振器

表 38. IMO の DC 仕様

(設計上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID218	I_{IMO1}	48MHz での IMO 動作電流	–	–	1000	µA	
SID219	I_{IMO2}	24MHz での IMO 動作電流	–	–	325	µA	
SID220	I_{IMO3}	12MHz での IMO 動作電流	–	–	225	µA	
SID221	I_{IMO4}	6MHz での IMO 動作電流	–	–	180	µA	
SID222	I_{IMO5}	3MHz での IMO 動作電流	–	–	150	µA	

表 39. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID223	$F_{IMOTOL1}$	3MHz から 48MHz までの周波数変化	–	–	±2	%	API 呼び出しによる校正を使用
SID226	$T_{STARTIMO}$	IMO 起動時間	–	–	12	µs	
SID227	$T_{JITRMSIMO1}$	3MHz での RMS ジッタ	–	156	–	ps	
SID228	$T_{JITRMSIMO2}$	24MHz での RMS ジッタ	–	145	–	ps	
SID229	$T_{JITRMSIMO3}$	48MHz での RMS ジッタ	–	139	–	ps	

内部低速発振器

表 40. ILO の DC 仕様

(設計上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID231	I_{ILO1}	32kHz での ILO 動作電流	–	0.3	1.05	µA	特性評価で保証
SID233	$I_{ILOLEAK}$	ILO リーク電流	–	2	15	nA	設計上保証

表 41. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID234	$T_{STARTILO1}$	ILO 起動時間	–	–	2	ms	特性評価で保証
SID236	$T_{ILODUTY}$	ILO のデューティ比	40	50	60	%	特性評価で保証
SID237	$F_{ILOTRIM1}$	32kHz の調整後周波数	15	32	50	kHz	±60% (調整あり)

表 42. 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID305	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	特性評価で保証
SID306	ExtClkDuty	デューティ サイクル ; $V_{DD/2}$ で測定	45	–	55	%	特性評価で保証

表 43. UDB の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
データパスの性能							
SID249	$F_{MAX-TIMER}$	UDB ペアの 16 ビット タイマーの最大周波数	–	–	48	MHz	
SID250	$F_{MAX-ADDER}$	UDB ペアの 16 ビット加算器の最大周波数	–	–	48	MHz	
SID251	F_{MAX_CRC}	UDB ペアの 16 ビット CRC/PRS の最大周波数	–	–	48	MHz	
UDB での PLD の性能							
SID252	F_{MAX_PLD}	UDB ペアの 2 パス PLD 機能の最大周波数	–	–	48	MHz	
クロックから出力までの時間							
SID253	$T_{CLK_OUT_UDB1}$	25°C でのクロック入力からデータ出力までの伝播遅延 (標準値)	–	15	–	ns	
SID254	$T_{CLK_OUT_UDB2}$	クロック入力からデータ出力までの伝搬遅延 (最悪の場合)	–	25	–	ns	

表 44. ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID256*	T_{WS48}*	48MHz でのウェイト ステートの数	1	–	–		CPU はフラッシュに格納されるファームウェアを実行。特性評価で保証
SID257	T_{WS24}*	24MHz でのウェイト ステートの数	0	–	–		CPU はフラッシュに格納されるファームウェアを実行。特性評価で保証
SID260	V_{REFSAR}	SAR 用の調整された内部リファレンス電圧	–1	–	+1	%	Vbg (1.024V) の割合。特性評価で保証
SID262	$T_{CLKSWITCH}$	クロック 1 周期でのクロック 1 からクロック 2 へのクロック切り替え	3	–	4	周期	設計上保証
* Tws48 と Tws24 は設計上保証されます。							

表 45. UDB ポート アダプタ仕様

(LPC コンポーネント仕様に基づくもので、特性評価で保証されています : 10pF の負荷、3V の V_{DDIO} および V_{DDD})

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID263	T_{LCLKDO}	クロックから出力までの遅延	–	–	18	ns	
SID264	$T_{DINLCLK}$	LCLCK 立ち上がりエッジまでの入力セットアップ時間	–	–	7	ns	
SID265	$T_{DINLCLKHLD}$	LCLK クロック立ち上がりエッジからの入力ホールド時間	5	–	–	ns	
SID266	$T_{LCLKHIZ}$	LCLK から出力トライステートまでの時間	–	–	28	ns	
SID267	T_{FLCLK}	LCLK 周波数	–	–	33	MHz	
SID268	$T_{LCLKDUTY}$	LCLK デューティ比 (HIGH 時の割合)	40	–	60	%	

注文情報

PSoC 4200 の型番と特長は下表の通りです。

表 46. PSoC 4200 ファミリの注文情報

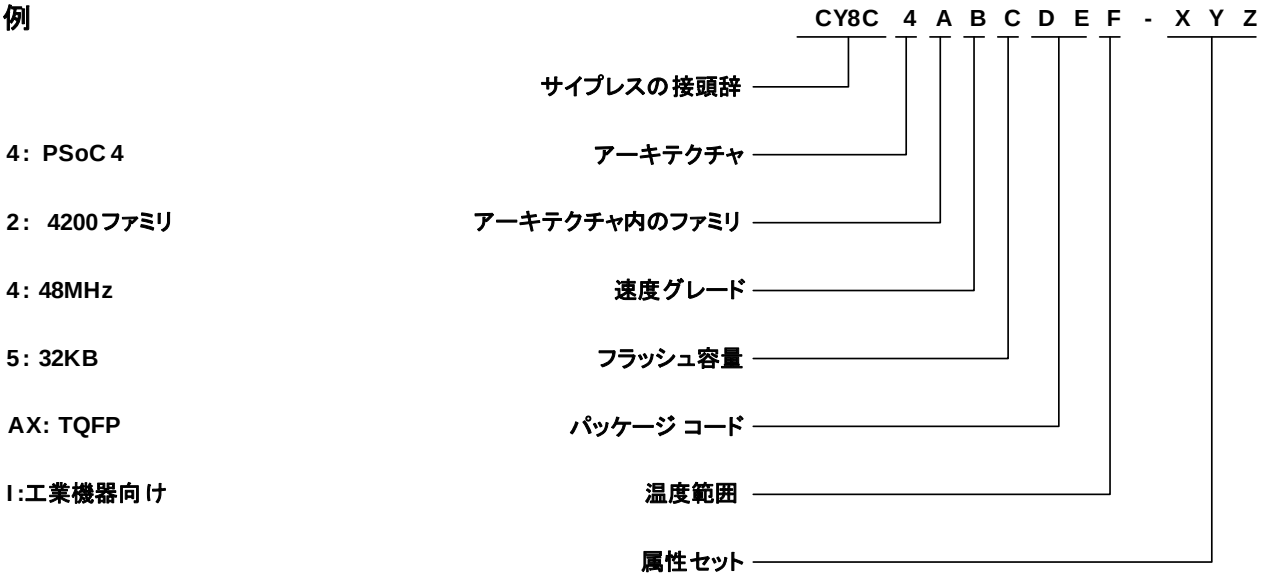
ファミリ	型番	特長												パッケージ				
		CPU の最大速度 (MHz)	フラッシュ（KB）	SRAM (KB)	UDB	オペアンプ (CTBm)	CapSense	LCD 直接駆動	12 ビット SAR ADC	LP コンパレータ	TCPWM ブロック	SCB ブロック	GPIO	28-SSOP	35-WLCSP	40-QFN	44-TQFP	48-LQFP
4200	CY8C4244PVI-432	48	16	4	2	1	–	–	1Msps	2	4	2	24	✔	–	–	–	–
	CY8C4244PVI-442	48	16	4	2	1	✔	✔	1Msps	2	4	2	24	✔	–	–	–	–
	CY8C4244FNI-443	48	16	4	2	2	✔	✔	1Msps	2	4	2	31	–	✔	–	–	–
	CY8C4244LQI-443	48	16	4	2	2	✔	✔	1Msps	2	4	2	34	–	–	✔	–	–
	CY8C4244AXI-443	48	16	4	2	2	✔	✔	1Msps	2	4	2	36	–	–	–	✔	–
	CY8C4244AZI-443	48	16	4	2	2	✔	✔	1Msps	2	4	2	36	–	–	–	–	✔
	CY8C4245AXI-473	48	32	4	4	2	–	–	1Msps	2	4	2	36	–	–	–	✔	–
	CY8C4245AZI-473	48	32	4	4	2	–	–	1Msps	2	4	2	36	–	–	–	–	✔
	CY8C4245PVI-482	48	32	4	4	1	✔	✔	1Msps	2	4	2	24	✔	–	–	–	–
	CY8C4245FNI-483	48	32	4	4	2	✔	✔	1Msps	2	4	2	31	–	✔	–	–	–
	CY8C4245LQI-483	48	32	4	4	2	✔	✔	1Msps	2	4	2	34	–	–	✔	–	–
	CY8C4245AXI-483	48	32	4	4	2	✔	✔	1Msps	2	4	2	36	–	–	–	✔	–
	CY8C4245AZI-483	48	32	4	4	2	✔	✔	1Msps	2	4	2	36	–	–	–	–	✔

型番の命名規則

PSoC 4 デバイスは、下表に示す型番の命名規則に従っています。文字列は、特に記述がない限り、すべて 1 文字の英数字 (0 ～ 9、A ～ Z) です。

部品番号は、CY8C4ABCDEF-XYZ の形式であり、文字列は以下のように定義されています。

例



文字列を次の表に示します。

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	アーキテクチャ内のファミリ	1	4100 ファミリ
		2	4200 ファミリ
B	CPU 速度	2	24MHz
		4	48MHz
C	フラッシュ容量	4	16KB
		5	32KB
DE	パッケージ コード	AX、AZ	TQFP
		LQ	QFN
		PV	SSOP
		FN	WLCSP
F	温度範囲	I	工業機器向け
XYZ	属性コード	000-999	特定ファミリの機能セットのコード

パッケージ

表 47. パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T_A	動作周囲温度		–40	25.00	85	°C
T_J	動作接合部温度		–40	–	100	°C
T_{JA}	パッケージ θ_{JA} (28 ピン SSOP)		–	66.58	–	°C/W
T_{JA}	パッケージ θ_{JA} (35 ボール WLCSP)		–	28.00	–	°C/W
T_{JA}	パッケージ θ_{JA} (40 ピン QFN)		–	15.34	–	°C/W
T_{JA}	パッケージ θ_{JA} (44 ピン TQFP)		–	57.16	–	°C/W
T_{JA}	パッケージ θ_{JA} (48 ピン TQFP)		–	67.30	–	°C/W
T_{JC}	パッケージ θ_{JC} (28 ピン SSOP)		–	26.28	–	°C/W
T_{JC}	パッケージ θ_{JC} (35 ボール WLCSP)		–	00.40	–	°C/W
T_{JC}	パッケージ θ_{JC} (40 ピン QFN)		–	2.50	–	°C/W
T_{JC}	パッケージ θ_{JC} (44 ピン TQFP)		–	17.47	–	°C/W
T_{JC}	パッケージ θ_{JC} (48 ピン TQFP)		–	27.60	–	°C/W

表 48. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
28 ピン SSOP	260°C	30 秒
35 ボール WLCSP	260°C	30 秒
40 ピン QFN	260°C	30 秒
44 ピン TQFP	260°C	30 秒
48 ピン TQFP	260°C	30 秒

表 49. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
28 ピン SSOP	MSL 3
35 ボール WLCSP	MSL 3
40 ピン QFN	MSL 3
44 ピン TQFP	MSL 3
48 ピン TQFP	MSL 3

図 16. 28 ピン (210 ミル) SSOP パッケージ図

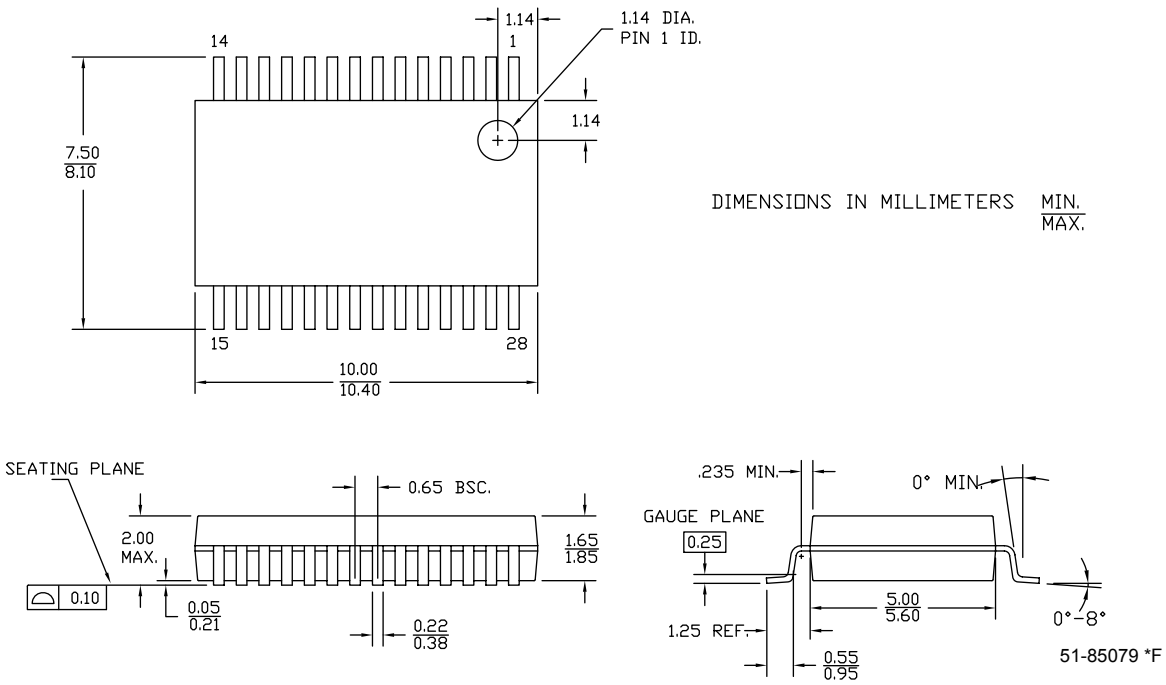
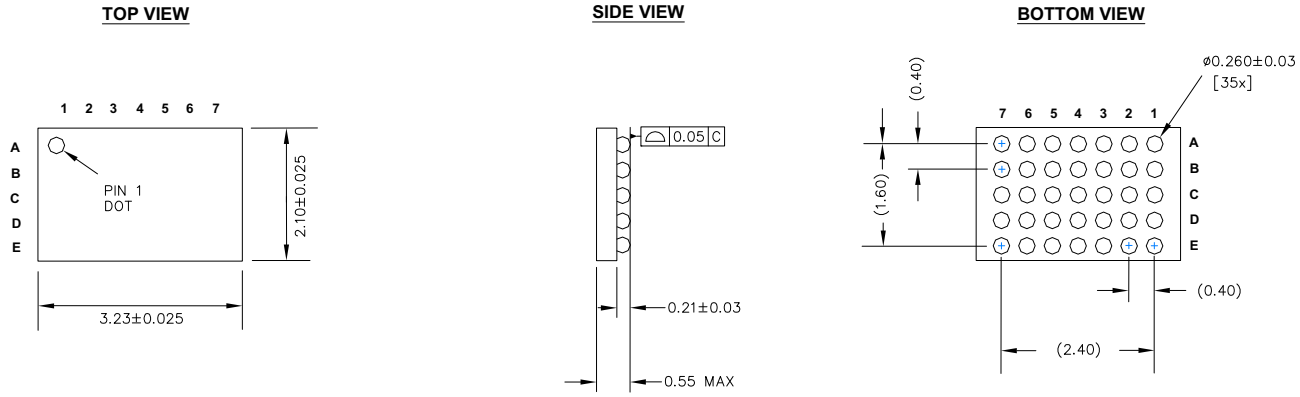


図 17. 35 ボール WLCSP パッケージ図



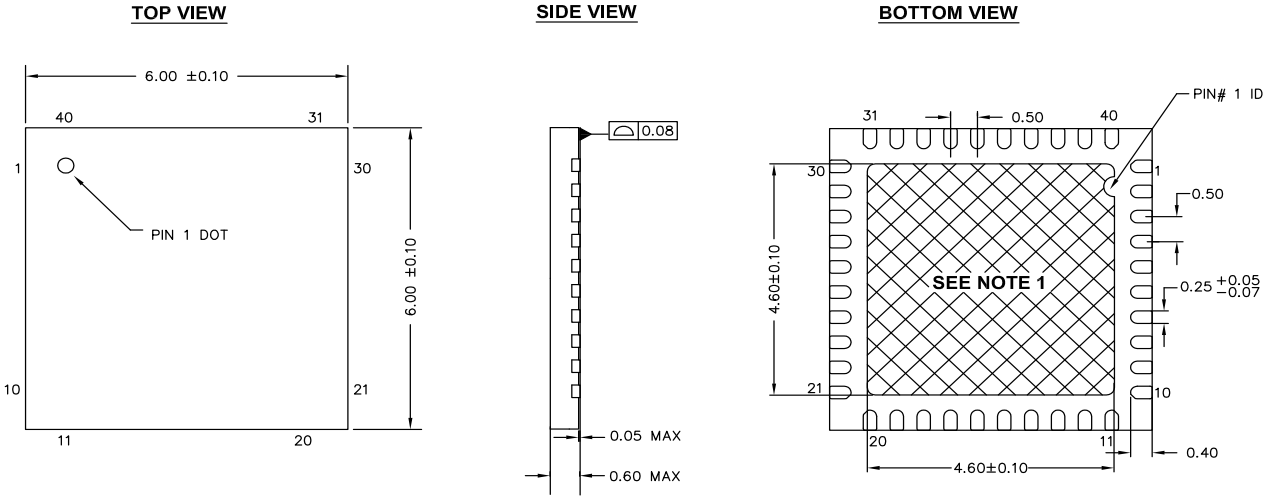
NOTES:

1. REFERENCE JEDEC PUBLICATION 95, DESIGN GUIDE 4.18

2. ALL DIMENSIONS ARE IN MILLIMETERS

001-93741 **

図 18. 40 ピン QFN パッケージ図



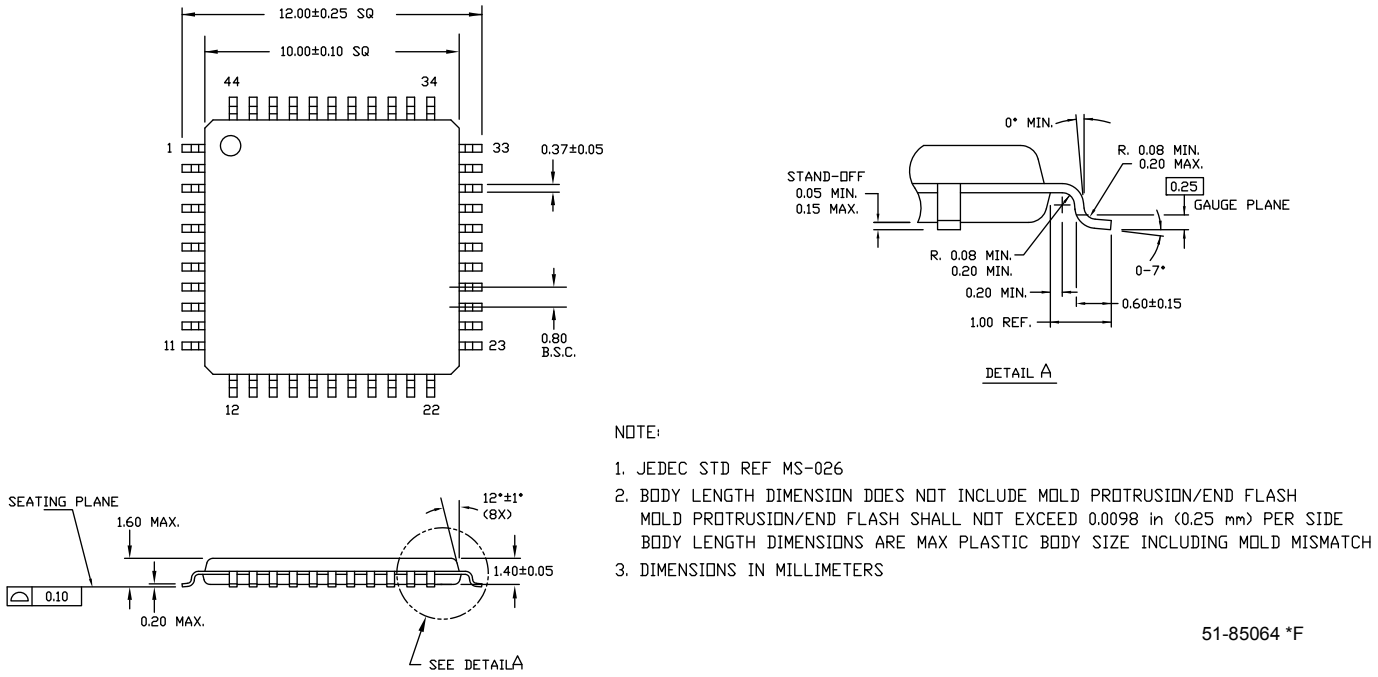
NOTES:

1. HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ±2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 *A

機械的、熱的、および電気的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグラ ンド (VSS) に接続してください。グランドに接続しないと、パッドは電気的に開放され、どの信号にも接続されていない状態になりま す。

図 19. 44 ピン TQFP パッケージ図

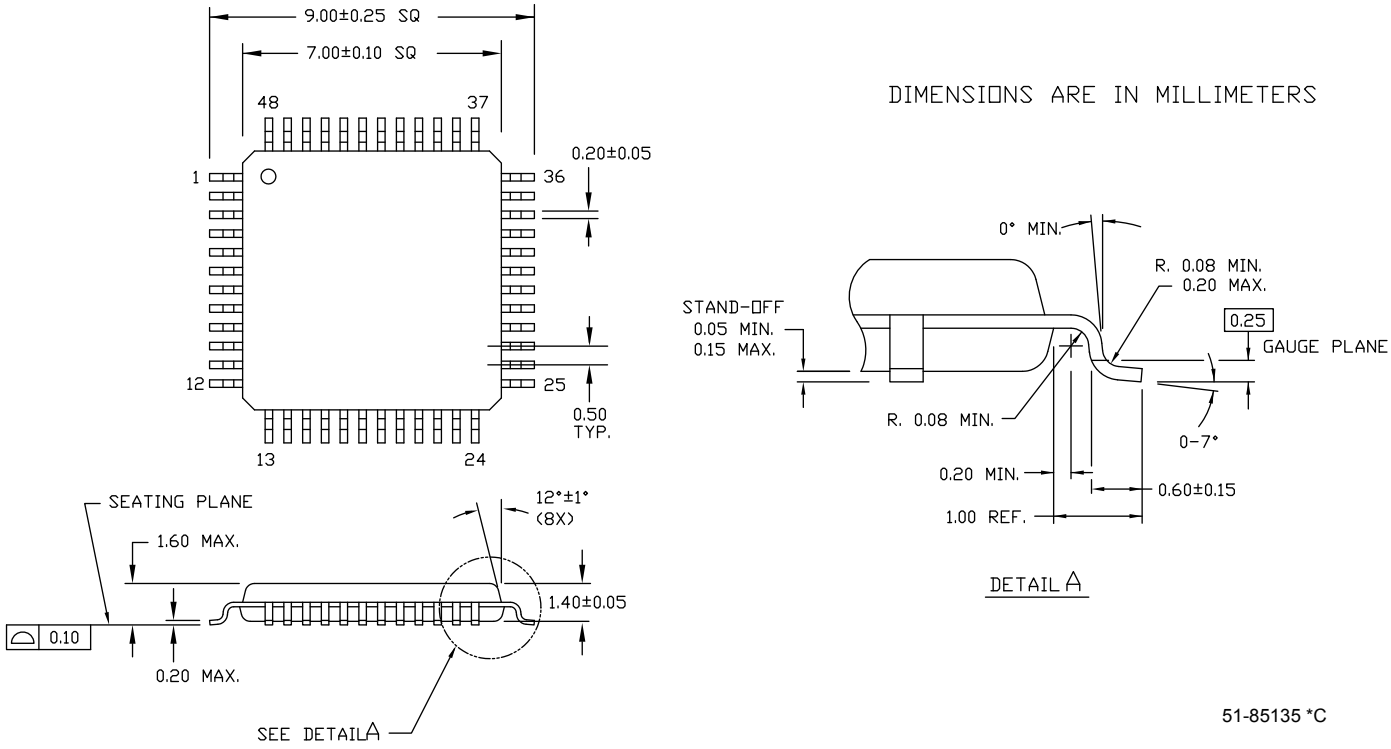


NOTE:

1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
   MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
   BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

51-85064 *F

図 20. 48 ピン TQFP パッケージ図



略語

表 50. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスト マイクロコントローラー バス アーキテクチャ) 高性能バス)、ARM データ転送バスの一種
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
ARM®	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリア ネットワーク)、通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ 変換器)。IDAC、VDAC を参照してください。
DFB	digital filter block (デジタル フィルター ブロック)
DIO	digital input/output (デジタル入出力)、アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください。
DMIPS	Dhrystone million instructions per second (ドライストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TD を参照してください。
DNL	differential nonlinearity (微分非直線性)。INL を参照してください。
DNU	do not use (未使用)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)

表 50. 本書で使用する略語 (続き)

略語	説明
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電気的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。IIR を参照してください。
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割り込み)。LVI、LVD を参照してください。
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照してください
IDE	integrated development environment (統合開発環境)
I^2C (別名 : IIC)	Inter-Integrated Circuit (インター インテグレーテッド サーキット)、通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。FIR を参照してください。
ILO	internal low-speed oscillator (内部低速発振器)。IMO を参照してください。
IMO	internal main oscillator (内部主発振器)。ILO を参照してください。
INL	integral nonlinearity (積分非直線性)。DNL を参照してください。
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO を参照してください。
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割り込みプログラム ステータス レジスタ)

表 50. 本書で使用する略語 (続き)

略語	説明
IRQ	interrupt request (割り込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコネクト ネットワーク)、通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。LVI を参照してください。
LVI	low-voltage interrupt (低電圧割り込み)。HVI を参照してください。
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入力スレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割り込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割り込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ)。WOL を参照してください。
opamp	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブル アレイ ロジック)。PLD を参照してください。
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割り込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロジック デバイス)。PAL を参照してください。
PLL	phase-locked loop (位相同期回路)
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオン リセット)

表 50. 本書で使用する略語 (続き)

略語	説明
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータ レジスタ)
PSoC®	Programmable System-on-Chip™ (プログラマブル システム オン チップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチト キャパシタ／連続時間)
SCL	I^2C serial clock (I^2C シリアル クロック)
SDA	I^2C serial data (I^2C シリアル データ)
S/H	sample and hold (サンプル／ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	special input/output (特殊入出力)、高度機能 GPIO。GPIO を参照してください。
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)、通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug、シリアル ワイヤー デバッグ (テスト プロトコルの一種)
SWV	single-wire viewer (シングル ワイヤー ビューアー)
TD	transaction descriptor (トランザクション ディスクリプタ)。DMA を参照してください。

表 50. 本書で使用する略語 (続き)

略語	説明
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用非同期トランスミッタ レシーバ)、通信プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC)。DAC、IDAC を参照してください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めないラッチ)。NVL を参照してください。
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

本書の表記法

測定単位

表 51. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラッド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
µA	マイクロアンペア
µF	マイクロファラッド
µH	マイクロヘンリー
µs	マイクロ秒
µV	マイクロボルト
µW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

変更履歴

文書名 : PSoC® 4: PSoC 4200 ファミリ データシートプログラマブル システムオンチップ (PSoC®) 文書番号 : 002-00008				
版	ECN	改版者	発行日	変更内容
**	4928454	HZEN	09/30/2015	これは英語版 001-87197 Rev. *E を翻訳した日本語版 002-00008 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス／RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2013 - 2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。

本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。