

特性

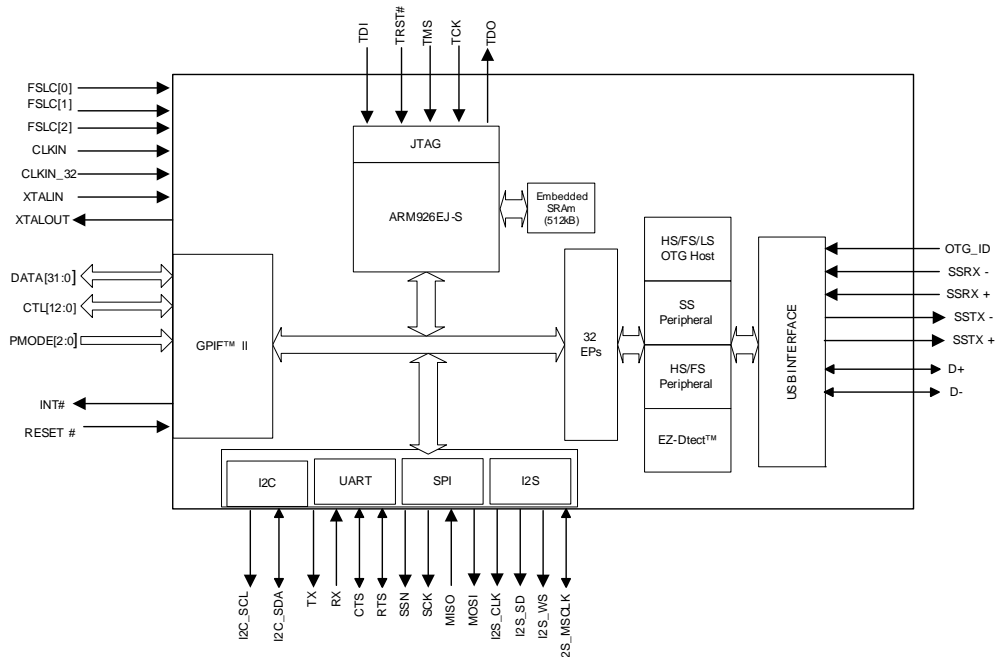
- 通用串行总线 (USB) 集成
 - 符合 USB 3.0 规范 1.0 版的 USB 3.0 和 USB 2.0 外设
 - 符合 PIPE 3.0 的 5-Gbps USB 3.0 PHY
 - 符合移动 (OTG) 补充标准 2.0 版的高速移动 (HS-OTG) 主机和外设
 - 32 个物理端点
 - 支持电池充电规范 1.1 版和辅助充电器适配器 (ACA) 检测
- 通用可编程接口 (GPIF™ II)
 - 可编程的 100-MHz GPIF II 接口能连接多种类型外部器件
 - 8/16/32 位数据总线
 - 多达 16 种可配置的控制信号
- 无障碍访问 32 位 CPU
 - 运行频率为 200 MHz 的 ARM926EJ 内核
 - 512 KB 嵌入式 SRAM
- 还可连接下列外设
 - 频率为 1 MHz 的 I²C 主控制器
 - 采样频率为 32 kHz、44.1 kHz、48 kHz 的 I²S 主控 (仅发射器)
 - 支持高达 4 Mbps 的 UART
 - 33 MHz 的 SPI 主控
- 多种时钟输入频率可供选择
 - 19.2、26、38.4 和 52 MHz
 - 支持 19.2 MHz 晶振输入

- 内核断电模式下功耗超低
 - 开启 V_{BATT} 时低于 60 μA, 关闭 V_{BATT} 时低于 20 μA
- 内核和 I/O 各有独立电域
 - 内核工作电压为 1.2 V
 - I²S、UART 和 SPI 的工作电压为 1.8 至 3.3 V
 - I²C 工作电压为 1.2 V
- 10 × 10 mm, 0.8 mm 间距无铅球栅阵列 (BGA) 封装
- EZ-USB[®] 软件和 DVK, 可轻松进行代码开发

应用

- 数字视频摄录机
- 数字照相机
- 打印机
- 扫描仪
- 视频采集卡
- 测试和测量设备
- 监控摄像机
- 个人导航设备
- 医疗成像设备
- 视频 IP 电话
- 便携式媒体播放器
- 工业摄像头

逻辑框图



目录

功能概述	3	通用 I/O	12
应用示例	3	系统电平 ESD	12
USB 接口	4	绝对最大额定值	13
OTG	4	运行条件	13
ReNumeration	5	交流电时序参数	15
EZ-Dtect	5	GPIF II 时序	15
VBUS 过电压保护	5	从器件 FIFO 接口	18
Carkit UART Mode 模式	5	同步从器件 FIFO 序列说明	19
GPIF II	6	同步从器件 FIFO 写序列说明	21
CPU	6	异步从器件 FIFO 读序列说明	22
JTAG 接口	6	异步从器件 FIFO 写序列说明	24
其他接口	7	串行外设时序	24
UART 接口	7	复位序列	29
I2C 接口	7	脚映射图	30
I2S 接口	7	引脚说明	31
SPI 接口	7	封装图	35
引导选项	7	订购信息	35
复位	8	订购代码定义	35
硬复位	8	缩略语	36
软复位	8	文档规范	36
时钟	8	测量单位	36
32-kHz 看门狗定时器时钟输入	8	文档修订记录页	37
功耗	9	销售、解决方案和法律信息	38
功耗模式	9	全球销售和 design 支持	38
配置选项	12	产品	38
数字 I/O	12	PSoC 解决方案	38

功能概述

赛普拉斯 EZ-USB FX3 是新一代 USB 3.0 外设控制器，具有高度集成的灵活特性，可帮助开发人员为任何系统添加 USB 3.0 功能。

EZ-USB FX3 具有一个可进行完全配置的并行通用可编程接口 GPIF II，它可与任何处理器、ASIC 或 FPGA 连接。这个通用可编程接口 GPIF II 是赛普拉斯旗舰 USB 2.0 产品 FX2LP 中的 GPIF 的增强版本。它可轻松无缝地连接至多种常用接口，比如异步 SRAM、异步和同步地址数据复用式接口、并行 ATA 等等。

EZ-USB FX3 集成了 USB 3.0 和 USB 2.0 物理层 (PHY) 以及 32 位 ARM926EJ-S 微处理器，具有强大的数据处理能力，并可用于构建定制应用。本产品采用了一种巧妙的架构，使从 GPIF II 到 USB 接口的数据传输速度可达 320 MBps^[1]。

通过集成的 USB 2.0 OTG 控制器，可以实现需要双角色使用场合的应用。例如，EZ-USB FX3 可以作为 MSC 和 HID 级设备的 OTG 主机使用。

EZ-USB FX3 配有用于存储代码和数据的 512 KB 片上 SRAM。EZ-USB FX3 还具有可连接至 UART、SPI、I²C 和 I²S 等串行外设的接口。

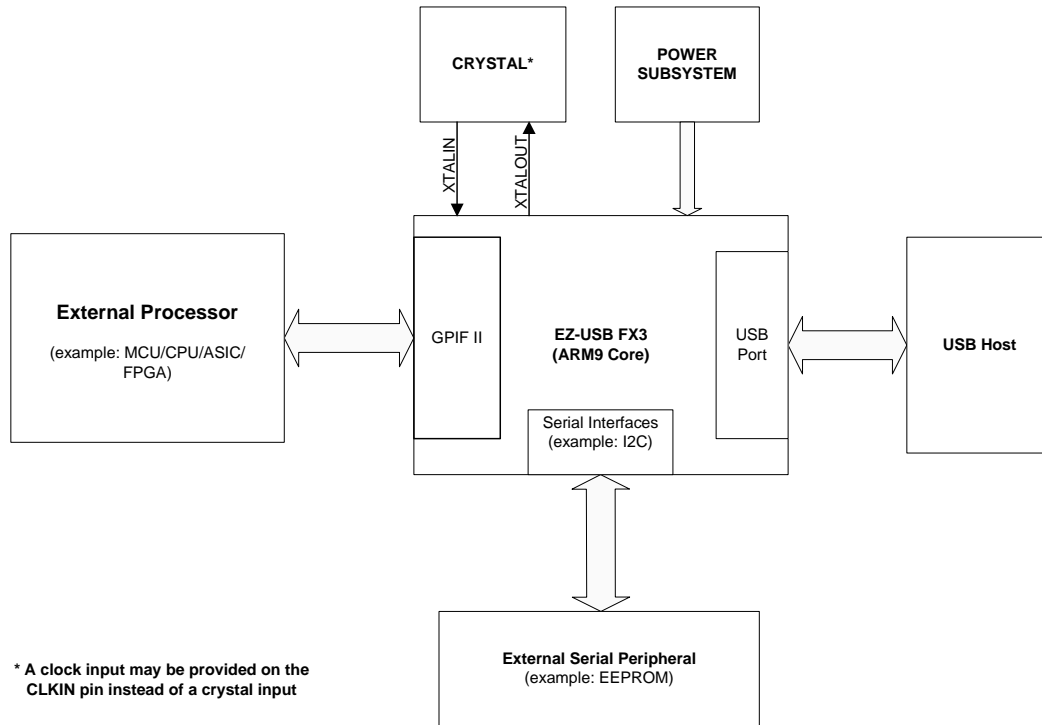
EZ-USB FX3 附带易用的 EZ-USB 工具，为快速应用开发提供完整的解决方案。软件开发工具包中附带应用示例，可缩短上市时间。

EZ-USB FX3 完全符合 USB 3.0 规范 1.0 版，并可向下兼容 USB 2.0。本设备还符合电池充电规范 v1.1 和 USB 2.0 OTG 规范 2.0 版。

应用示例

图 1 和图 2 为 EZ-USB FX3 的典型应用图。图 1 显示了 EZ-USB FX3 作为协处理器并连接到负责多种系统电平功能的外部处理器时的典型应用图。图 2 显示了 EZ-USB FX3 作为系统主处理器时的典型应用图。

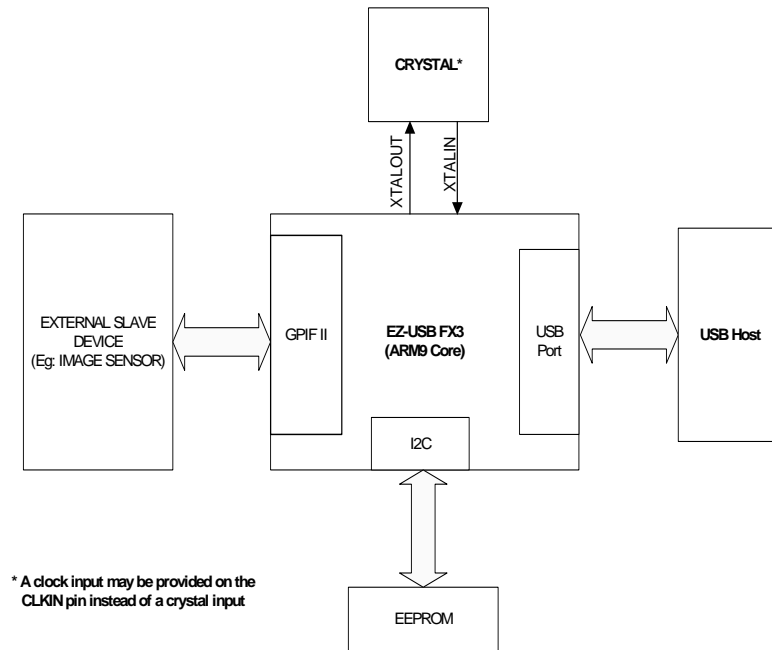
图 1. EZ-USB FX3 作为协处理器



注

1. 假定 GPIF II 已针对运行频率为 100 MHz 的 32 位数据总线同步接口进行配置。该数字还包含协议开销。

图 2. EZ-USB FX3 作为主处理器



USB 接口

EZ-USB FX3 支持 USB 外设功能，符合 USB 3.0 规范 1.0 修订版，并可向下兼容 USB 2.0 规范。

EZ-USB FX3 符合移动补充规范 2.0 修订版。本产品支持高速、全速和低速 OTG 双角色器件功能。本产品作为外设时可实现超高速、高速和全速功能，作为主机时可实现高速、全速和低速功能。

EZ-USB FX3 按照 CEA-936A 规范，在 USB D+/D- 行上支持 CarKit Pass-Through UART 功能。

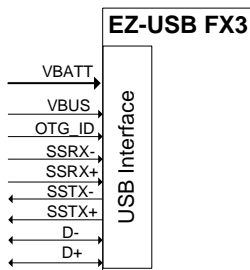
EZ-USB FX3 可支持多达 16 个输入端点和 16 个输出端点。

EZ-USB FX3 完全支持 USB 3.0 的流特性。它还支持 USB 连接 SCSI (UAS) 器件类别，能优化海量存储性能。

作为 USB 外设，EZ-USB FX3 支持 UAS、USB 视频类别 (UVC)、海量存储类别 (MSC) 和媒体传输协议 (MTP) 等 USB 外设类别。当完全由器件外部的处理器进行处理时，本产品作为 USB 外设仅以通过模式支持所有其他器件类别。

作为 OTG 主机时，EZ-USB FX3 支持 MSC 和 HID 等器件类别。当 USB 端口未被占用时，可禁用 PHY 和收发器以降低功耗。

图 3. USB 接口信号



OTG

EZ-USB FX3 符合 OTG 规范 2.0 修订版。

在 OTG 模式下，EZ-USB FX3 支持 A 器件模式和 B 器件模式，并支持数据的控制传输、中断传输、批量传输和同步传输。

在 OTG A 器件模式下，EZ-USB FX3 需要外部电荷泵（独立或 PMIC 集成）给 VBUS 供电。

实现 OTG 主机的目标外设类别列表中包括 MSC 和 HID 类器件。EZ-USB FX3 不支持连接检测协议 (ADP)。

OTG 连接

在 OTG 模式下，EZ-USB FX3 可以配置为支持 A、B 或双角色器件。本产品可以连接至：

- ACA 器件
- 目标 USB 外设
- 具有 SRP 功能的 USB 外设
- 具有 HNP 功能的 USB 外设
- OTG 主机
- 具有 HNP 功能的主机
- OTG 器件

ReNumeration

由于 EZ-USB FX3 为软配置，一个芯片可具有多个 USB 器件的特征。

首次插入 USB 时，EZ-USB FX3 将自动枚举赛普拉斯供货商 ID (0x04B4)，并从 USB 接口下载固件和 USB 描述符。下载的固件可执行电力断开和电力连接。之后，EZ-USB FX3 会作为下载信息定义的器件再次进行枚举。该两步流程已获专利，称作 ReNumeration，在此器件插入时即时发生。

EZ-Dtect

EZ-USB FX3 支持 USB 充电器和附件检测 (EZ-Dtect)。充电器检测机制符合电池充电规范 1.1 修订版。除支持该规范版本之外，EZ-USB FX3 还提供检验 ID 引脚电阻值的硬件支持。

以下为 EZ-USB FX3 可检测的电阻范围：

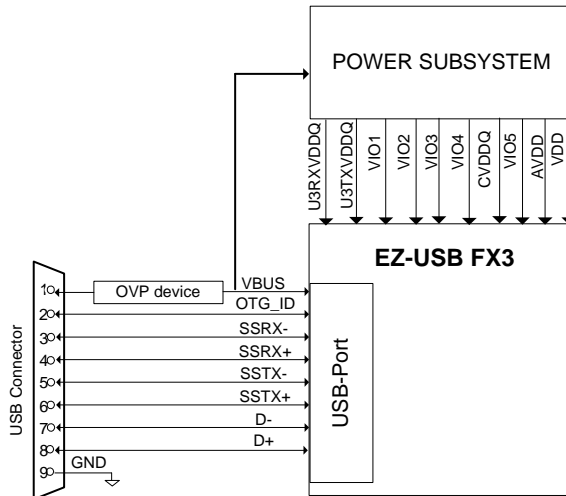
- 低于 10 W
- 低于 1 kW
- 65 kW 至 72 kW
- 35 kW 至 39 kW
- 99.96 kW 至 104.4 kW (102 kW ± 2%)
- 119 kW 至 132 kW
- 高于 220 kW
- 431.2 kW 至 448.8 kW (440 kW ± 2%)

EZ-USB FX3 的充电器检测特性可检测专用壁式充电器、主机 / 集线器充电器以及主机 / 集线器。

VBUS 过电压保护

EZ-USB FX3 VBUS 引脚的最大输入电压为 6V。在 VBUS 上，充电器的供电电压最高可达 9V，在这种情况下，有必要配备外部过电压保护 (OVP) 器件以保护 EZ-USB FX3 的 VBUS 免受损坏。图 4 为 VBUS 上连接的 OVP 器件系统应用图。如想了解 VBUS 和 VBATT 的工作范围，请参阅表 7 直流电规范。

图 4. VBUS 所用 OVP 器件的系统图



Carkit UART 模式

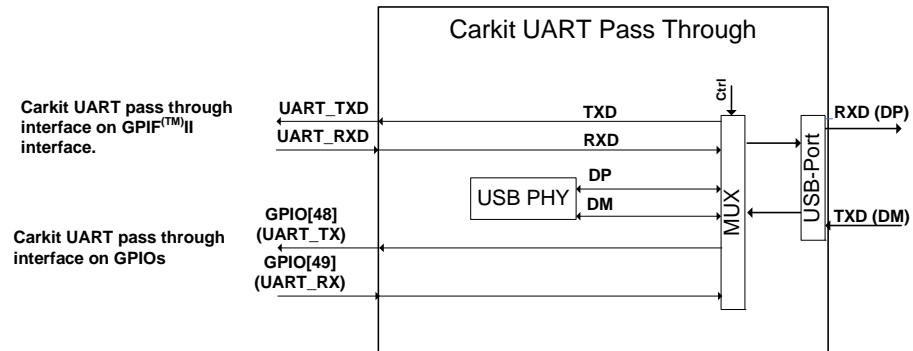
USB 接口支持 Carkit UART 模式 (D+/D- 上的 UART)，实现非 USB 串行数据传输。本功能遵照 CEA-936A 规范。

在 Carkit UART 模式下，输出信号电压为 3.3V。配置为 Carkit UART 模式时，UART 的 TXD (输出) 将映射到 D- 行，UART 的 RXD (输入) 将映射到 D+ 行。

在 Carkit 模式下，EZ-USB FX3 将禁用 USB 收发器，而 D+ 和 D- 引脚将作为通过引脚连接至主机处理器的 UART 上。Carkit UART 信号可以路由至 GPIF II 接口，或路由至通用 I/O[48] 和通用 I/O[49]，如第 6 页的图 5 中所示。

在该模式下，EZ-USB FX3 支持高达 9600 bps 的速率。

图 5. Carkit UART Pass Through 框图



GPIF II

EZ-USB FX3 具有高性能通用可编程接口 GPIF II。此接口能实现类似于 FX2LP 的 GPIF 和从器件 FIFO 接口的功能，但更为高级。

GPIF II 是一种可编程状态机，其所启用的灵活接口可用作工业标准或专用接口中的主控或从器件。并行和串行接口均可通过 GPIF II 实现。

GPIF II 的特性总结如下：

- 可用作主控或从器件
- 提供 256 种固件可编程状态
- 支持 8 位、16 位和 32 位并行数据总线
- 接口频率可高达 100 MHz。
- 使用 32 位数据总线时支持 14 根可配置控制引脚。所有控制引脚可作为输入 / 输出或双向引脚。

- 使用 16/8 位数据总线时支持 16 根可配置控制引脚。所有控制引脚可作为输入 / 输出或双向引脚。

GPIFII 状态转换以控制输入信号为依据。控制输出信号是 GPIFII 状态转换的结果。GPIFII 状态机的行为取决于 GPIFII 描述符。GPIFII 描述符的设计符合必需的接口规范，专门用作 GPIF II 波形存储器的 8kB 存储器（独立于 512kB 嵌入式 SRAM），以特定格式存储 GPIF II 描述符。

赛普拉斯的 GPIFII Designer 工具可实现 GPIFII 描述符的快速开发，其中还包含常用接口的实例。

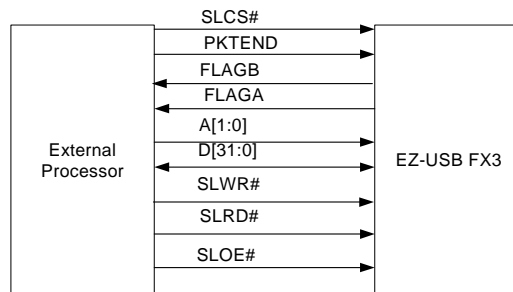
GPIF II 的实现示例为异步和同步从器件 FIFO 接口。

从器件 FIFO 接口

从器件 FIFO 接口信号如图 6 中所示。该接口允许外部处理器直接访问多达 4 个 EZ-USB FX3 内部缓冲区。有关从器件 FIFO 接口的详细信息，请参阅第 18 页的

注意：本产品也支持通过从器件 FIFO 接口访问所有 32 缓冲区。如想了解详细信息，请联系赛普拉斯应用支持。

图 6. 从器件 FIFO 接口



Note: Multiple Flags may be configured.

CPU

EZ-USB FX3 配有片上 32 位 200 MHz ARM926EJ-S 内核 CPU。该内核能直接访问 16kB 指令紧密连接存储器 (TCM) 和 8kB 数据 TCM。ARM926EJ-S 内核还为固件调试提供了 JTAG 接口。

EZ-USB FX3 还集成了存储代码和数据的 512 KB 嵌入式 SRAM，以及 8kB 指令缓存和数据缓存。

EZ-USB FX3 能在多种外设（如 USB、GPIF II、I²S、SPI、UART）之间实现高效灵活的 DMA 连接。固件只需配置外设间数据访问，这些外设随后由 DMA 结构进行管理。

EZ-USB FX3 适用于面向 ARM926EJ-S 的行业标准开发工具，可轻松开发应用。

赛普拉斯 EZ-USB FX3 开发工具包中包含 EZ-USB FX3 固件示例。赛普拉斯 EZ-USB FX3 软件开发工具包中还有可移植到外部处理器的软件 API。

JTAG 接口

EZ-USB FX3 的 JTAG 接口提供标准的 5 引脚接口，用于连接至 JTAG 调试器。该调试器可通过 CPU 内核的片上调试电路来调试固件。

这些业界标准调试工具面向 ARM926EJ-S 内核，可用于 EZ-USB FX3 应用开发。

其他接口

EZ-USB FX3 支持下列串行外设：

- UART
- I²C
- I²S
- SPI

SPI、UART 和 I²S 接口可复用到串行外设端口。

第 31 页的**引脚列表**为接口复用方式的详细信息。

UART 接口

EZ-USB FX3 的 UART 接口支持全双工通信。其中包含表 1 中所说明的信号。

表 1. UART 接口信号

信号	说明
TX	输出信号
RX	输入信号
CTS	流量控制
RTS	流量控制

UART 可生成各种波特率，从 300 bps 到 4608 Kbps，可通过固件进行选择。

I²C 接口

EZ-USB FX3 具有 I²C 接口，符合 I²C 总线规范修订版 3。EZ-USB FX3 的 I²C 接口可仅作为 I²C 主控运行，因此可以用于与其他 I²C 从器件通信。例如，EZ-USB FX3 可从连接至 I²C 接口的 EEPROM 引导，此为可选的引导选项。

EZ-USB FX3 的 I²C 主控制器也支持多主控模式功能。

I²C 接口采用 VI05 供电，该电域独立于其他串行外设。I²C 接口可因此获得以异于其他串行接口工作电压的灵活性。

I²C 控制器所支持的总线频率为 100 kHz、400 kHz 和 1 MHz。当 VI05 为 1.2V 时，支持的最大工作频率为 100 kHz。当 VI05 为 1.8 V、2.5 V 或 3.3 V 时，支持的工作频率为 400 kHz 和 1 MHz。

I²C 接口的 SCL 和 SDA 信号都需要外部上拉电阻。上拉电阻必须连接至 VI05。

I²S 接口

EZ-USB FX3 具有 I²S 端口，支持外部音频解码器件。EZ-USB FX3 可以作为 I²S 主控工作，仅作为发送器。I²S 接口包括四种信号：时钟行 (I2S_CLK)、串行数据行 (I2S_SD)、单字选择行 (I2S_WS) 和主控系统时钟 (I2S_MCLK)。EZ-USB FX3 可在 I2S_MCLK 上生成系统时钟输出，或在 I2S_MCLK 上接受外部系统时钟输入。

I²S 接口支持的采样频率为 32 kHz、44.1 kHz 和 48 kHz。

SPI 接口

EZ-USB FX3 支持串行外设端口上的 SPI 主控接口。最大工作频率为 33 MHz。

SPI 控制器支持四种 SPI 通信模式，并有起止时钟。SPI 控制器是单一主控制器，并有单一自动 SSN 控制。本产品还支持从 4 位到 32 位大小的数据操作。

引导选项

EZ-USB FX3 可从多个源加载引导图像，源可通过 PMODE 引脚配置来选择。EZ-USB FX3 有下列引导选项：

- 从 USB 引导
- 从 I²C 引导
- 从 SPI (支持的 SPI 器件为 M25P16 (16 Mbit)、M25P80 (8 Mbit) 和 M25P40 (4 Mbit)) 或同类器件引导
- 从 GPIF II 异步 ADMUX 模式引导
- 从 GPIF II 同步 ADMUX 模式引导
- 从 GPIF II 异步 SRAM 模式引导

表 2. EZ-USB FX3 的引导选项

PMODE[2:0] ^[2]	引导自
F00	同步 ADMUX (16 位)
F01	异步 ADMUX (16 位)
F11	USB 引导
F0F	异步 SRAM (16 位)
F1F	I ² C, 如失败, 则启用 USB 引导
1FF	仅 I ² C
0F1	SPI, 如失败, 则启用 USB 引导

注
2. F 指悬空。

复位

硬复位

通过激活 EZ-USB FX3 上的 Reset# 引脚来初始化硬复位。复位序列和时序的具体要求详见图 17 和表 15。

软复位

软复位需要处理器在 PP_INIT 控制寄存器中设置适当的位。软复位有两种类型：

- CPU 复位 - 复位 CPU 程序计数器。CPU 复位后无需重新加载固件。
- 全器件复位 - 该复位与硬复位相同。全器件复位后必须重新加载固件。

时钟

EZ-USB FX3 允许在 XTALIN 和 XTALOUT 引脚之间连接晶振，也允许在 CLKIN 引脚上连接外部时钟。

支持的晶振频率为 19.2 MHz，支持的外部时钟频率为 19.2、26、38.4 和 52 MHz。

EZ-USB FX3 有一个片上振荡器电路，使用外部 19.2 MHz (±100 ppm) 晶振（使用晶振选项时）。FSLC[2:0] 引脚必须进行适当配置，以选择晶振选项 / 时钟频率选项。配置选项请参见表 3。

向 EZ-USB FX3 进行的时钟输入必须符合表 4 中具体规定的相位噪声和时序抖动要求。

输入时钟的频率独立于 EZ-USB FX3 内核或任何器件接口（包括 P-Port 和 S-Port）的时钟 / 数据速率。内部 PLL 按照输入频率使用相应的时钟倍频选项。

表 3. 晶振 / 时钟频率选择

FSLC[2]	FSLC[1]	FSLC[0]	晶振 / 时钟频率
0	0	0	19.2 MHz 晶振
1	0	0	19.2 MHz 输入 CLK
1	0	1	26 MHz 输入 CLK
1	1	0	38.4 MHz 输入 CLK
1	1	1	52 MHz 输入 CLK

表 4. EZ-USB FX3 的输入时钟规范

参数	说明	规范		单位
		最小值	最大值	
相位噪声	100 Hz 偏移	-	- 75	dB
	1 kHz 偏移	-	- 104	dB
	10 kHz 偏移	-	- 120	dB
	100 kHz 偏移	-	- 128	dB
	1 MHz 偏移	-	- 130	dB
最大频率偏差		-	150	ppm
占空比		30	70	%
过冲		-	3	%
下冲		-	- 3	%
上升时间 / 下降时间		-	3	ns

32-kHz 看门狗定时器时钟输入

EZ-USB FX3 包含一个看门狗定时器。看门狗定时器可以用于中断 ARM926EJ-S 内核，自动唤醒待机模式下的 EZ-USB FX3 和复位 ARM926EJ-S 内核。看门狗定时器使用一个 32 kHz 时钟。此 32 kHz 时钟可于 EZ-USB FX3 一个专用引脚上的外部源选配提供。

看门狗定时器可以通过固件加以禁用。

可选的 32 kHz 时钟的输入要求在表 5 中列出。

表 5. 32 kHz 时钟输入要求

参数	最小值	最大值	单位
占空比	40	60	%
频率偏差	-	±200	ppm
上升时间 / 下降时间	-	3	ns

功耗

EZ-USB FX3 具有下列供电电域。

IO_VDDQ：指用于数字 I/O 的一组独立供电电域。供电电压水平为 1.8V 至 3.3V。EZ-USB FX3 为数字 I/O 提供下列六个独立供电电域。每一电域所分配信号的详细信息请参阅表 16。

- VI01 - GPIF II I/O 供电电域
- VI02 - I/O2 供电电域
- VI03 - I/O3 供电电域
- VI04 - UART/SPI/I²S 供电电域
- VI05 - I²C 和 JTAG 供电电域（支持 1.2V 至 3.3V）
- CVDDQ - 时钟供电电域
- V_{DD}：逻辑内核的供电电压。额定供电电压为 1.2 V。该电域为内核逻辑电路供电。下列也必须使用同样的供电：
 - AVDD：用于 PLL、晶体振荡器和其他内核模拟电路的 1.2 V 供电。
 - U3TXVDDQ/U3RXVDDQ：用于 USB 3.0 接口的 1.2 V 供电电压。

VBATT/VBUS：用于 USB I/O 和模拟电路的 3.2V 至 6V 电池供电。该电域通过 EZ-USB FX3 的内部电压调节器向 USB 收发器供电。VBATT 将内部调节为 3.3V。

功耗模式

EZ-USB FX3 支持下列不同电源模式：

- 正常模式：全功能工作模式。此模式将启用内部 CPU 时钟和内部 PLL。

正常工作功耗不会超过 I_{CC} 内核最高值和 I_{CC} USB 最高值的总和（请参见表 7 以查看当前功耗规范）。

VI02、VI03、VI04 和 VI05 的 I/O 供电在相应接口未被使用时可以关闭。而如果在应用中使用 GPIFII 接口，则 VI01 始终不可关闭。

EZ-USB FX3 支持四种低功耗模式：

- 启用 USB 3.0 PHY 的暂停模式 (L1)
- 禁用 USB 3.0 PHY 的暂停模式 (L2)
- 待机模式 (L3)
- 内核断电模式 (L4)

不同的低功耗模式请参见表 6。

表 6. 低功耗模式的进入和退出方法

低功耗模式	特性	进入方法	退出方法
启用 USB 3.0 PHY 的暂停模式 (L1)	<ul style="list-style-type: none"> ■ 此模式下的功耗不会超过 ISB₁ ■ 启用 USB 3.0 PHY, 并且处于 U3 模式下 (USB 3.0 规范中所定义的暂停模式之一)。其他时钟均关闭时, 该模块可单独使用其内部时钟工作 ■ 所有 I/O 均维持之前的状态 ■ 必须保留源和内核的唤醒供电。所有其他电域都可独立开启 / 关闭 ■ 必须维持配置寄存器、缓冲存储器 and 所有内部 RAM 的状态 ■ 全部数据操作必须在 EZ-USB FX3 进入暂停模式前完成 (未完成的数据操作的状态将不会保存) ■ 由于程序计数器并不复位, 固件将恢复暂停前的操作 (除非通过 RESET# 激活唤醒) 	<ul style="list-style-type: none"> ■ ARM926EJ-S 内核上执行的固件可将 EZ-USB FX3 置于暂停模式下。例如在 USB 暂停的条件下, 固件可决定使 EZ-USB FX3 进入暂停模式 ■ 外部处理器可通过使用邮箱寄存器使 EZ-USB FX3 进入暂停模式 	<ul style="list-style-type: none"> ■ D+ 切换至低或高 ■ D- 切换至低或高 ■ OTG_ID 引脚上的阻抗变化 ■ 恢复 SSRX +/- 上的状态 ■ 检测 VBUS ■ UART_CTS 电平检测 (可编程极性) ■ CTL[0] 的 GPIF II 接口激活 ■ 激活 RESET#
禁用 USB 3.0 PHY 的暂停模式 (L2)	<ul style="list-style-type: none"> ■ 此模式下的功耗不会超过 ISB₂ ■ USB 3.0 PHY 禁用, USB 接口进入暂停模式 ■ 时钟被关闭。PLL 禁用 ■ 所有 I/O 均维持之前的状态 ■ USB 接口维持之前的状态 ■ 必须保留源和内核的唤醒供电。所有其他电域都可独立开启 / 关闭 ■ 必须维持配置寄存器、缓冲存储器 and 所有内部 RAM 的状态 ■ 全部数据操作必须在 EZ-USB FX3 进入暂停模式前完成 (未完成的数据操作的状态将不会保存) ■ 由于程序计数器并不复位, 固件将恢复暂停前的操作 (除非通过 RESET# 激活唤醒) 	<ul style="list-style-type: none"> ■ ARM926EJ-S 内核上执行的固件可将 EZ-USB FX3 置于暂停模式下。例如在 USB 暂停的条件下, 固件可决定使 EZ-USB FX3 进入暂停模式 ■ 外部处理器可通过使用邮箱寄存器使 EZ-USB FX3 进入暂停模式 	<ul style="list-style-type: none"> ■ D+ 切换至低或高 ■ D- 切换至低或高 ■ OTG_ID 引脚上的阻抗变化 ■ 恢复 SSRX +/- 上的状态 ■ 检测 VBUS ■ UART_CTS 电平检测 (可编程极性) ■ CTL[0] 的 GPIF II 接口激活 ■ 激活 RESET#

表 6. 低功耗模式的进入和退出方法 (续)

低功耗模式	特性	进入方法	退出方法
待机模式 (L3)	<ul style="list-style-type: none"> ■ 此模式下的功耗不会超过 ISB3 ■ 所有配置寄存器设置和程序 / 数据 RAM 内容将会保留。但是, 缓冲区和数据路径其他部分中的数据 (如有) 则无法保证。因此, 应保证在使 EZ-USB FX3 进入该待机模式前, 由外部处理器负责读取所需数据 ■ 从待机状态唤醒时, 程序计数器将复位 ■ 通用 I/O 引脚维持其配置 ■ 晶体振荡器关闭 ■ 内部 PLL 关闭 ■ USB 收发器关闭 ■ ARM926EJ-S 内核断电。唤醒时, 内核重新启动并运行存储在程序 / 数据 RAM 中的程序 ■ 必须保留源和内核的唤醒供电。所有其他电域都可独立开启 / 关闭 	<ul style="list-style-type: none"> ■ ARM926EJ-S 内核或外部处理器上所执行的固件将配置相应的寄存器 	<ul style="list-style-type: none"> ■ 检测 VBUS ■ UART_CTS 电平检测 (可编程极性) ■ CTL[0] 的 GPIF II 接口激活 ■ 激活 RESET#
内核断电模式 (L4)	<ul style="list-style-type: none"> ■ 此模式下的功耗不会超过 ISB₄ ■ 内核电源关闭 ■ 所有缓冲存储器、配置寄存器和程序 RAM 的状态将不会维持。退出该模式时, 有必要重新加载固件 ■ 在该模式下, 所有其他电域都可独立开启 / 关闭 	<ul style="list-style-type: none"> ■ 关闭 V_{DD} 	<ul style="list-style-type: none"> ■ 再次施加 VDD ■ 激活 RESET#

配置选项

不同的配置选项用于特定的使用模型。请联系赛普拉斯应用 / 市场部获得详细信息。

数字 I/O

EZ-USB FX3 在所有数字 I/O 引脚上提供由固件控制的内部上拉或下拉电阻。为防止引脚悬空,可通过内部的 50 k Ω 电阻拉高引脚,或者通过内部的 10 k Ω 电阻拉低引脚。I/O 引脚可以有以下状态:

- 三态 (High-Z)
- 弱上拉 (通过内部的 50 k Ω)
- 下拉 (通过内部的 10 k Ω)
- 低功耗模式下保持 (I/O 值不变)
- JTAG 标示 TDI、TMC、TRST# 信号有固定的 50 k Ω 内部上拉电阻,而 TCK 信号有固定的 10 k Ω 下拉电阻。

通用 I/O

EZ-USB 在 GPIF II 和串行外设接口上均可实现灵活的引脚配置。GPIF II 接口上任何未使用的控制引脚 (CTL[15] 除外) 都可作为通用 I/O 使用。与之类似的是,串行外设接口上任何未使用的引脚均可配置为通用 I/O。请参见引脚列表以了解引脚配置选项。

所有 GPIF II 和通用 I/O 引脚均支持多达每个引脚 16pF 的外部加载。

EMI

EZ-USB FX3 符合 FCC 15B (美国) 和 EN55022 (欧洲) 电子消费品规定中的 EMI 要求。按照上列规定, EZ-USB FX3 可承受由干扰源造成的合理 EMI, 并继续按预期工作。

系统电平 ESD

EZ-USB FX3 在 USB 接口的 D+、D-、GND 引脚上具有内置 ESD 保护。这些端口所具有的 ESD 保护电平为:

- 基于 JESD22-A114 规范的 ± 2.2 kV 人体模型 (HBM)
- 基于 IEC61000-4-2 的 3A 级标准的 ± 6 kV 接触放电和 ± 8 kV 气隙放电
- 基于 IEC61000-4-2 的 4C 级标准的 ± 8 kV 接触放电和 ± 15 kV 气隙放电。

这种保护能确保器件在出现最高达到上述电平的 ESD 事件后继续工作。

SSRX+、SSRX-、SSTX+、SSTX- 引脚只具有最高 ± 2.2 kV 的人体模型 (HBM) 内部 ESD 保护。

绝对最大额定值

超过最大额定值可能会缩短器件的使用寿命。

存放温度..... - 65 ° C 至 +150 ° C

供电（工业级）环境温度..... - 40 ° C 至 +85 ° C

对地电位的供电电压

V_{DD} 、 A_{VDDQ} 1.25V

V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 V_{IO5} 3.6V

$U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$ 1.25V

任何输入引脚的直流输入电压..... $V_{CC}+0.3$

用于 high Z 状态下输出的

直流电压..... $V_{CC}+0.3$

（ V_{CC} 为相应的 IO 电压）

静电放电电压 ESD 保护电平为：

- 基于 JESD22-A114 的 ± 2.2 KV 人体模型 (HBM)
- D+、D-、GND 引脚和串行外设引脚上的附加 ESD 保护电平
- 基于 IEC61000-4-2 的 3A 级标准的 ± 6 KV 接触放电和 ± 8 KV 气隙放电，基于 IEC61000-4-2 的 4C 级标准的 ± 8 KV 接触放电和 ± 15 KV 气隙放电

钳锁电流..... > 200 mA

所有 I/O 配置的最大输出短路电流。

($V_{out} = 0V$)..... - 100 mA

运行条件

T_A （带电工作环境温度）

工业..... - 40 ° C 至 +85 ° C

V_{DD} 、 A_{VDDQ} 、 $U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$

供电电压..... 1.15 V 至 1.25 V

V_{BATT} 供电电压..... 3.2 V 至 6 V

V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 C_{VDDQ}

供电电压..... 1.7 V 至 3.6 V

V_{IO5} 供电电压..... 1.15 V 至 3.6 V

表 7. 直流电规范

参数	说明	最小值	最大值	单位	注
V_{DD}	内核供电电压	1.15	1.25	V	典型值 1.2 V
A_{VDD}	模拟供电电压	1.15	1.25	V	典型值 1.2 V
V_{IO1}	GPIF II 的 I/O 供电电压	1.7	3.6	V	典型值 1.8、2.5 和 3.3 V
V_{IO2}	IO2 供电电压	1.7	3.6	V	典型值 1.8、2.5 和 3.3 V
V_{IO3}	IO3 供电电压	1.7	3.6	V	典型值 1.8、2.5 和 3.3 V
V_{IO4}	UART/SPI/I2S 供电电压	1.7	3.6	V	典型值 1.8、2.5 和 3.3 V
V_{BATT}	USB 供电电压	3.2	6	V	典型值 3.7 V
V_{BUS}	USB 供电电压	4.1	6	V	典型值 5 V
$U3TX_{VDDQ}$	USB 3.0 1.2-V 供电	1.15	1.25	V	1.2 V 典型值。此电源需要安装一个 22 μ F 的旁路电容。
$U3RX_{VDDQ}$	USB 3.0 1.2-V 供电	1.15	1.25	V	1.2 V 典型值。此电源需要安装一个 22 μ F 的旁路电容。
C_{VDDQ}	时钟供电电压	1.7	3.6	V	1.8 和 3.3 V 典型值
V_{IO5}	I ² C 和 JTAG 供电电压	1.15	3.6	V	1.2、1.8、2.5 和 3.3 V 典型值
V_{IH1}	输入高电平电压 1	$0.625 \times V_{CC}$	$V_{CC} + 0.3$	V	用于 $2.0V \leq V_{CC} \leq 3.6 V$ (USB 端口除外)。VCC 是相应的 IO 供电电压。
V_{IH2}	输入高电平电压 2	$V_{CC} - 0.4$	$V_{CC} + 0.3$	V	用于 $1.7 V \leq V_{CC} \leq 2.0 V$ (USB 端口除外)。VCC 是相应的 IO 供电电压。
V_{IL}	输入低电平电压	- 0.3	$0.25 \times V_{CC}$	V	VCC 是相应的 IO 供电电压。
V_{OH}	输出高电平电压	$0.9 \times V_{CC}$	-	V	$I_{OH} (max) = -100 \mu A$ 。VCC 是相应的 IO 供电电压。
V_{OL}	输出低电平电压	-	$0.1 \times V_{CC}$	V	$I_{OL} (min) = +100 \mu A$ 。VCC 是相应的 IO 供电电压。

表 7. 直流电规范 (续)

参数	说明	最小值	最大值	单位	注
I_{IX}	为 SSTXP/SSXM/SSRXP/SSRXM 以外的所有引脚输入漏电流	- 1	1	μA	V_{DDQ} 上保持的所有 I/O 信号 (用于已连接上拉/下拉电阻的 I/O, 漏电流以 V_{DDQ}/R_{PU} 或 V_{DDQ}/R_{PD} 增加)
I_{OZ}	为 SSTXP/SSXM/SSRXP/SSRXM 以外的所有引脚输出 High-Z 漏电流	- 1	1	μA	V_{DDQ} 上保持的所有 I/O 信号
I_{CC} 内核	内核和模拟电压工作电流	-	200	mA	通过 A_{VDD} 和 V_{DD} 的总电流
I_{CC} USB	USB 供电电压工作电流	-	60	mA	
I_{SB1}	启用 USB 3.0 PHY 的暂停模式期间的总暂停电流 (L1)	-	-	mA	内核电流: 1.5 mA I/O 电流: 20 μA USB 电流: 2 mA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度 25 $^{\circ}C$ 。)
I_{SB2}	禁用 USB 3.0 PHY 的暂停模式期间的总暂停电流 (L2)	-	-	mA	内核电流: 250 μA I/O 电流: 20 μA USB 电流: 1.2 mA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度 25 $^{\circ}C$ 。)
I_{SB3}	待机模式期间的总待机电流 (L3)	-	-	μA	内核电流: 60 μA I/O 电流: 20 μA USB 电流: 40 μA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度 25 $^{\circ}C$ 。)
I_{SB4}	内核断电模式期间的总待机电流 (L4)	-	-	μA	内核电流: 0 μA IO 电流: 20 μA USB 电流: 40 μA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度 25 $^{\circ}C$ 。)
V_{RAMP}	内核和 I/O 供电中的电压斜坡率	0.2	50	V/ms	电压斜坡必须是单调的
V_N	V_{DD} 和 I/O 供电中允许的噪声级别	-	100	mV	A_{VDD} 以外的所有供电中允许的最大 p-p 噪声级别
V_{N_AVDD}	A_{VDD} 供电中允许的噪声级别	-	20	mV	A_{VDD} 中允许的最大 p-p 噪声级别

交流电时序参数

GPIF II 时序

图 7. 同步模式中的 GPIF II 时序

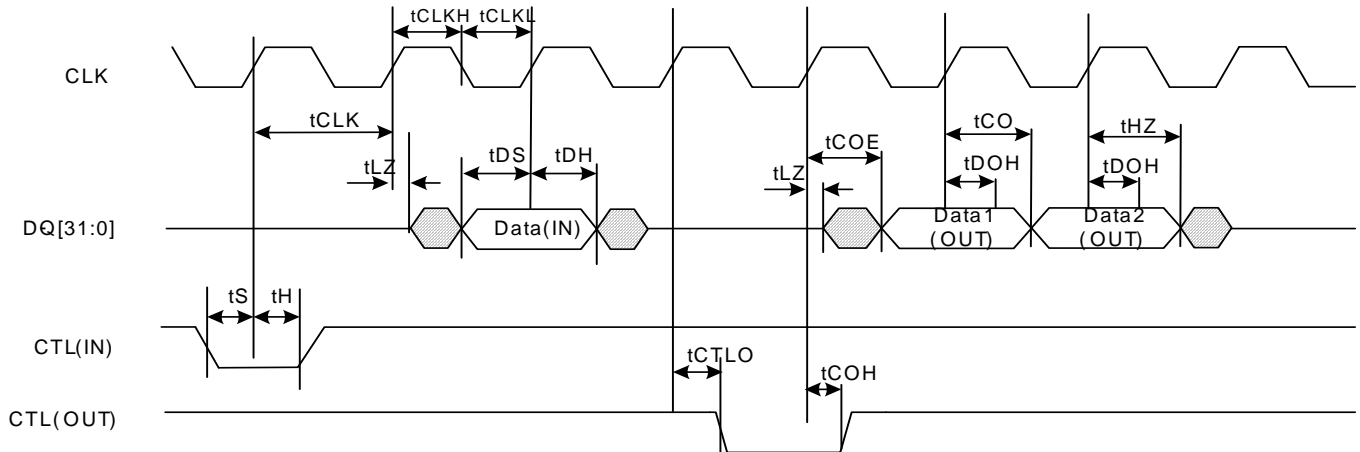


表 8. 同步模式中的 GPIF II 时序 [3]

参数	说明	最小值	最大值	单位
频率	接口时钟频率	-	100	MHz
tCLK	接口时钟周期	10	-	ns
tCLKH	时钟高时间	4	-	ns
tCLKL	时钟低时间	4	-	ns
tS	CTL 输入至时钟建立时间 (同步速度 = 1)	2	-	ns
tH	CTL 输入至时钟保持时间 (同步速度 = 1)	0.5	-	ns
tDS	数据输入至时钟建立时间 (同步速度 = 1)	2	-	ns
tDH	数据输入至时钟保持时间 (同步速度 = 1)	0.5	-	ns
tCO	DQ 总线输出时, 时钟至数据输出的传输延迟 (同步速度 = 1)	-	8	ns
tCOE	DQ 线从三态变更为输出以及 DQ 总线上存在有效数据时, 时钟至数据输出的传输延迟 (同步速度 = 1)	-	9	
tCTLO	时钟至 CTL 输出的传输延迟 (同步速度 = 1)	-	8	ns
tDOH	时钟至数据输出保持	2	-	ns
tCOH	时钟至 CTL 输出保持	0	-	ns
tHZ	时钟至 High-Z	-	8	ns
tLZ	时钟至 Low-Z (同步速度 = 1)	0	-	ns
tS_ss0	CTL 输入 / 数据输入至时钟建立时间 (同步速度 = 0)	5	-	ns
tH_ss0	CTL 输入 / 数据输入至时钟保持时间 (同步速度 = 0)	2.5	-	ns
tCO_ss0	时钟至数据输出 / CTL 输出 传输延迟 (同步速度 = 0)	-	15	ns
tLZ_ss0	时钟至 low-Z (同步速度 = 0)	2	-	ns

注

3. 所有参数均由设计保证并通过特性化进行验证。

图 8. 异步模式中的 GPIF II 时序

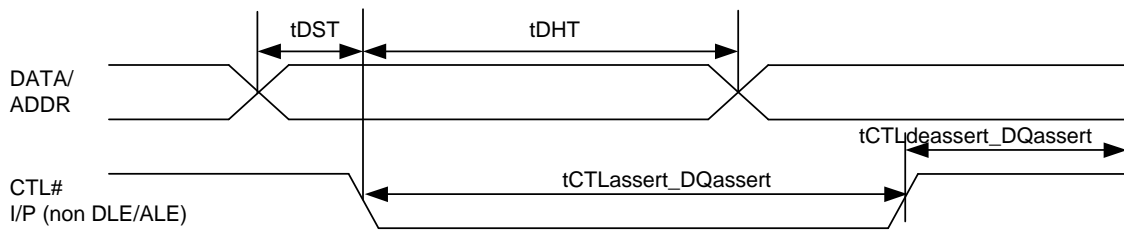
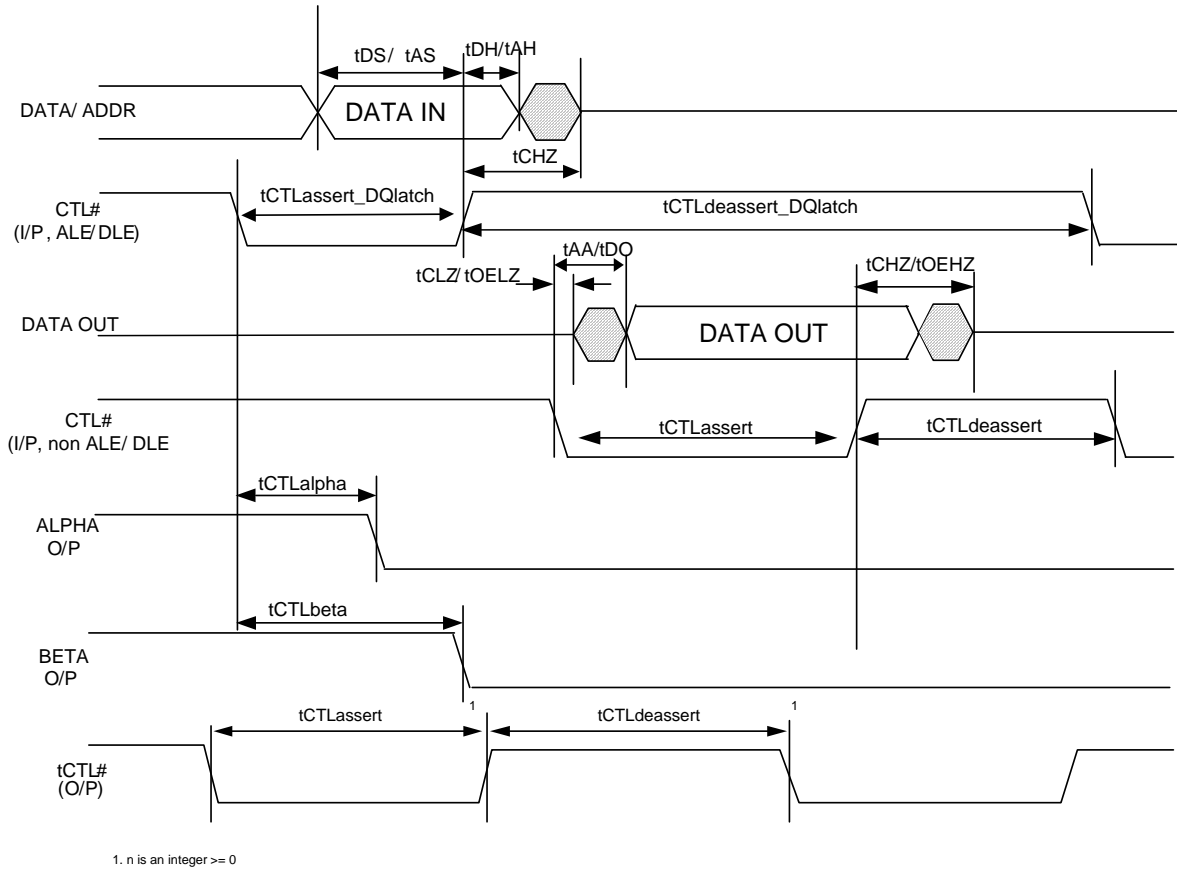


图 9. 异步 DDR 模式中的 GPIF II 时序

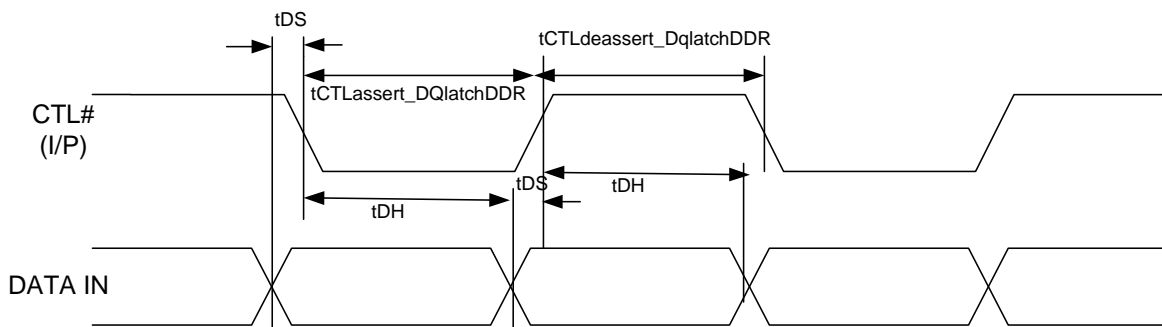


表 9. 异步模式中的 GPIF II 时序^[4]

注：下列参数假设一个状态转换。

参数	说明	最小值	最大值	单位	注
tDS	数据输入至 DLE 建立时间。在 DDR 异步中也有效。	2.3	-	ns	
tDH	数据输入至 DLE 保持时间。在 DDR 异步模式中有效。	2	-	ns	
tAS	地址输入至 ALE 建立时间	2.3	-	ns	
tAH	地址输入至 ALE 保持时间	2	-	ns	
tCTLassert	用于无 DQ 输入关联性的 CTRL 输入以及输出的 CTL I/O 激活宽度。	7	-	ns	
tCTLdeassert	用于无 DQ 输入关联性的 CTRL 输入以及输出的 CTL I/O 解除激活宽度。	7	-	ns	
tCTLassert_DQassert	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入表明 DQ 输入在激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器 (ALE/DLE)。	20	-	ns	
tCTLdeassert_DQassert	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入表明 DQ 输入在激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器 (ALE/DLE)。	7	-	ns	
tCTLassert_DQdeassert	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入表明 DQ 输入在解除激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器 (ALE/DLE)。	7	-	ns	
tCTLdeassert_DQdeassert	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入表明 DQ 输入在解除激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器 (ALE/DLE)。	20	-	ns	
tCTLassert_DQlatch	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入采用内置锁存器 (ALE/DLE) 来锁存 DQ 输入。在此 non_DDR 情况下，内置锁存器在解除激活的边沿始终保持关闭状态。	7	-	ns	
tCTLdeassert_DQlatch	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入采用内置锁存器 (ALE/DLE) 来锁存 DQ 输入。在此非 DDR 情况下，内置锁存器在解除激活的边沿始终保持关闭状态。	10	-	ns	
tCTLassert_DQlatchDDR	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入采用内置锁存器 (DLE) 以在 DDR 模式中锁存 DQ 输入。	10	-	ns	
tCTLdeassert_DQlatchDDR	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入采用内置锁存器 (DLE) 以在 DDR 模式中锁存 DQ 输入。	10	-	ns	
tAA	当 DQ 变更或 CTL 变更需要进行检测且变更影响输入和输出 DQ 线的内部更新时，DQ/CTL 输入至 DQ 输出的时间。	-	30	ns	
tD0	当 CTL 变更仅能使已建立数据的输出触发器更新时，CTL 至数据输出的时间。	-	25	ns	
tOELZ	CTL 被指定为 OE 至 low-Z。外部器件应停止驱动数据的时间。	0	-	ns	
tOEHZ	CTL 被指定为 OE 至 High-Z	8	8	ns	
tCLZ	CTL (非 OE) 至 low-Z。外部器件应停止驱动数据的时间。	0	-	ns	

注

4. 所有参数均由设计保证并通过特性化进行验证。

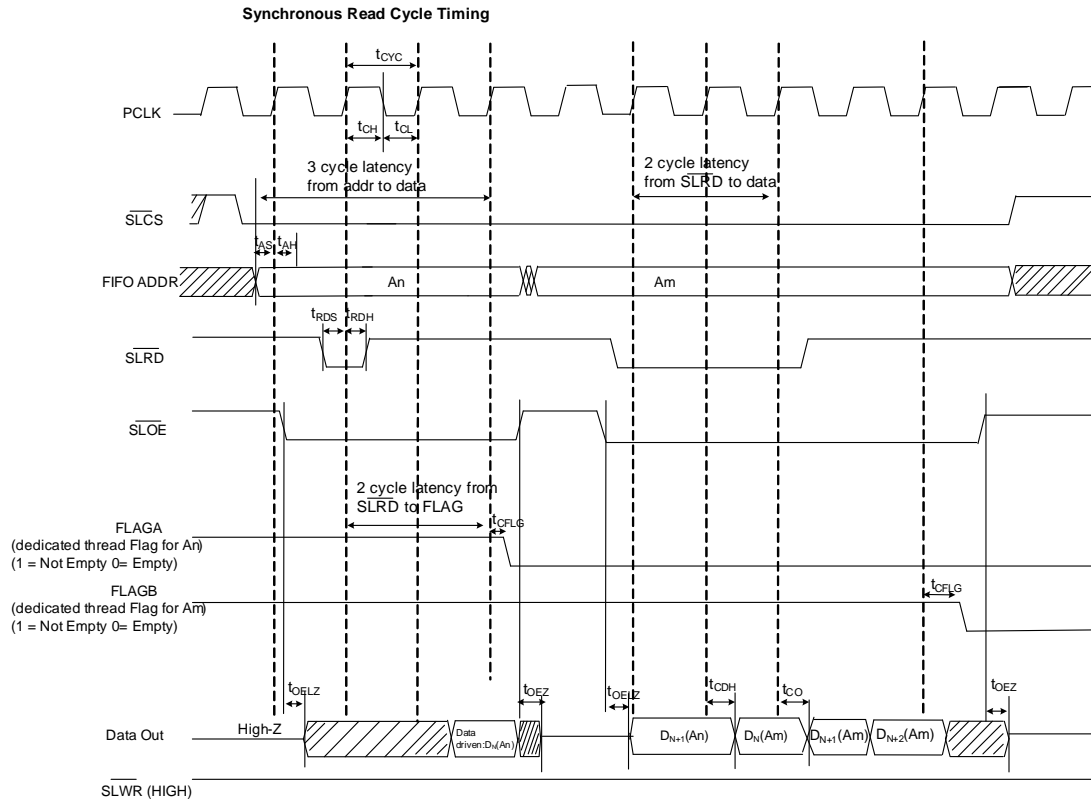
表 9. 异步模式中的 GPIF II 时序^[4] (续)

注: 下列参数假设一个状态转换。

参数	说明	最小值	最大值	单位	注
tCHZ	CTL (非 OE) 至 High-Z	30	30	ns	
tCTLalpha	CTL 至 alpha 输出变更	-	25	ns	
tCTLbeta	CTL 至 Beta 输出变更	-	30	ns	
tDST	不使用 DLE/ALE 时, 地址 / 数据建立时间	2	-	ns	
tDHT	不使用 DLE/ALE 时, 地址 / 数据保持时间	20	-	ns	

从器件 FIFO 接口

图 10. 同步从器件 FIFO 读取模式



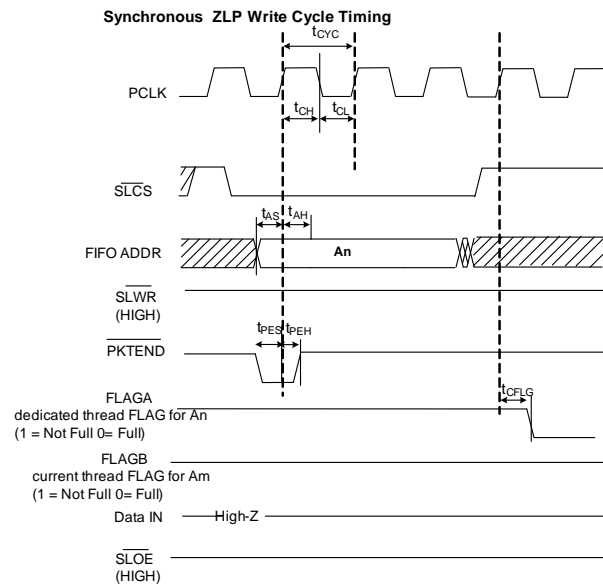
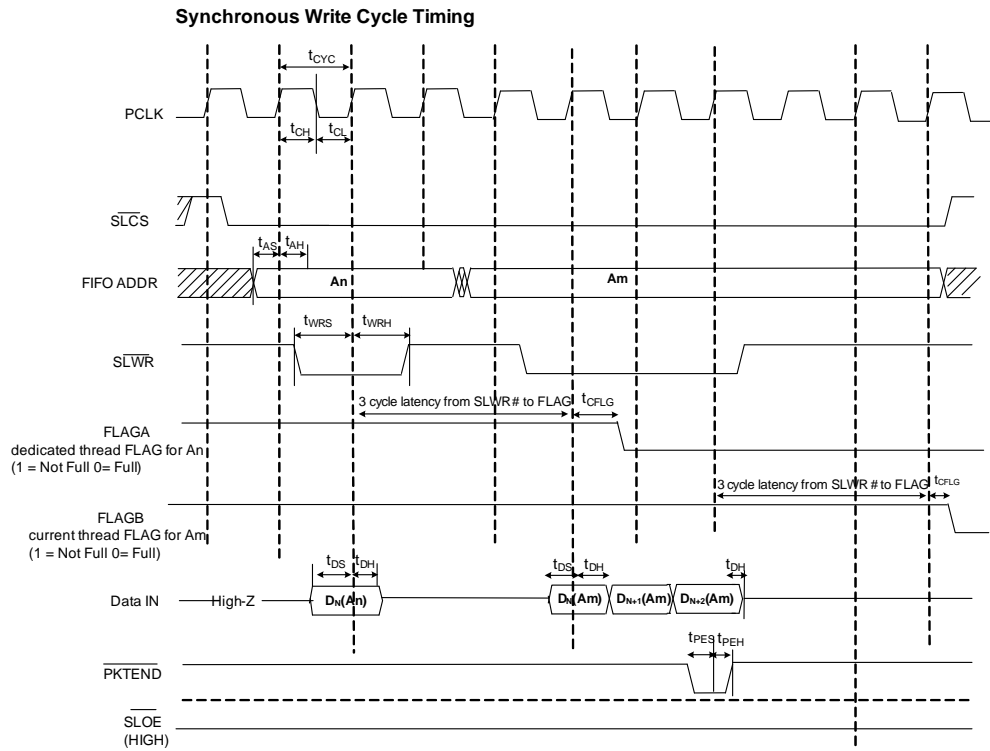
同步从器件 FIFO 序列说明

1. FIFO 地址稳定且 SLCS 被激活
2. SLOE 被激活。SLOE 仅是输入使能，其唯一功能是驱动数据总线。
3. SLRD 被激活
4. FIFO 指针在 PCLK 的上升沿更新，同时 SLRD 被激活。这会启动从新寻址位置到数据总线之间的数据传输。 t_{co} 传输延迟（从 PCLK 的上升沿测得）后即可提供新的数据值。N 是自 FIFO 读取的首个数据值。要在 FIFO 数据总线上保留数据，还必须同时激活 SLOE。

突发读取时还会显示相同的事件序列。

注：突发模式中，SLRD# 和 SLOE# 会留待读取的完整期间内激活。当 SLOE# 被激活时，数据总线也被驱动（利用来自之前已寻址的 FIFO 的数据）。对每个 PCLK 的序列上升沿而言，当 SLRD# 被激活时，FIFO 指针会递增，而下一个数据值会置于数据总线上。

图 11. 同步从器件 FIFO 写入模式



同步从器件 FIFO 写序列说明

- FIFO 地址稳定且 SLCS# 信号被激活
- 外部主控 / 外设将数据输出至数据总线上
- SLWR# 被激活
- 当 SLWR# 被激活时, 数据写至 FIFO 和 PCLK 的上升沿上, FIFO 指针递增
- FIFO 标志将在时钟上升沿的 t_{WFLG} 产生延迟后更新

突发写入时还会显示相同的事件序列

注: 对于突发模式, SLWR# 和 SLCS# 会留待写入所有所需数据值的完整期间内激活。在突发写入模式中, SLWR# 被激活后, FIFO

数据总线上的数据会写入 PCLK 的每个上升沿的 FIFO 中。FIFO 指针在 PCLK 的每个上升沿更新。

短数据包: 短数据包可通过使用 PKTEND# 调配至 USB 主机。外部器件 / 处理器应设计成在输入数据的最后一个字以及该字对应的 SLWR# 脉冲的同时激活 PKTEND#。FIFOADDR 线必须在 PKTEND# 激活期间保持不变。

零长度数据包: 只需激活 PKTEND# 而无需激活 SLWR#, 外部器件 / 处理器即可利用信号将零长度数据包 (ZLP) 传输至 EZ-USB FX3。SLCS# 和地址必须如上一幅时序图中所示被驱动。

标志使用: 标志信号由外部处理器监控以实现流量控制。标志信号是 EZ-USB FX3 的输出结果, 可配置以显示专用线程或正在寻址的当前线程的空 / 满 / 局部状态。

表 10. 同步从器件 FIFO 参数^[5]

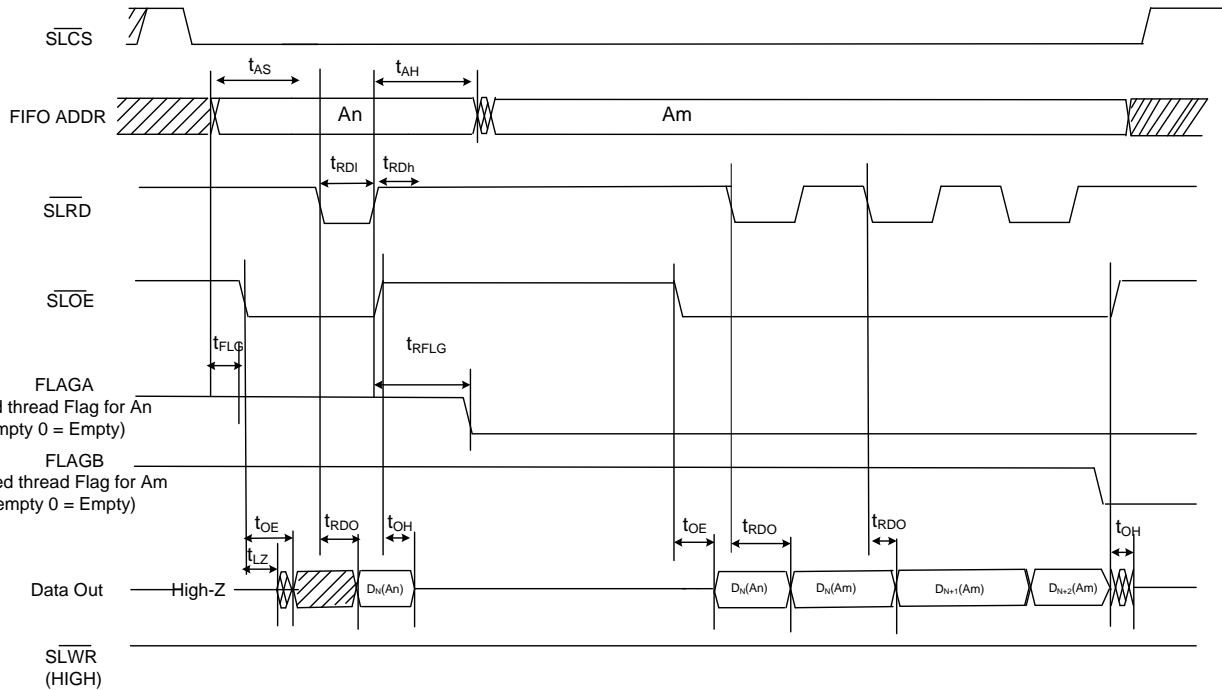
参数	说明	最小值	最大值	单位
频率	接口时钟频率	-	100	MHz
tCYC	时钟周期	10	-	ns
tCH	时钟高时间	4	-	ns
tCL	时钟低时间	4	-	ns
tRDS	SLRD# 至 CLK 建立时间	2	-	ns
tRDH	SLRD# 至 CLK 保持时间	0.5	-	ns
tWRS	SLWR# 至 CLK 建立时间	2	-	ns
tWRH	SLWR# 至 CLK 保持时间	0.5	-	ns
tCO	时钟至有效数据	-	8	ns
tDS	数据输入建立时间	2	-	ns
tDH	CLK 至数据输入保持时间	0.5	-	ns
tAS	地址至 CLK 建立时间	2	-	ns
tAH	CLK 至地址保持时间	0.5	-	ns
tOELZ	SLOE# 至数据 low-Z	0	-	ns
tCFLG	CLK 至标志输出传输延迟	-	8	ns
tOEZ	SLOE# 解除激活至数据 Hi Z	-	8	ns
tPES	PKTEND# 至 CLK 建立时间	2	-	ns
tPEH	CLK 至 PKTEND# 保持时间	0.5	-	
tCDH	CLK 至数据输出保持时间	2	-	ns

注: 三个周期延迟从 ADDR 至 DATA/FLAGS

注

5. 所有参数均由设计保证并通过特性化进行验证。

图 12. 异步从器件 FIFO 读取模式



异步从器件 FIFO 读序列说明

- FIFO 地址稳定且 SLCS# 信号被激活。
- SLOE# 被激活。这使得数据总线被驱动。
- SLRD# 被激活。
- SLRD# 激活后开始驱动来自 FIFO 的数据。该数据将在 SLRD# 下降沿的 t_{RDO} 产生传输延迟后生效。
- FIFO 指针在 SLRD# 的解除激活时递增

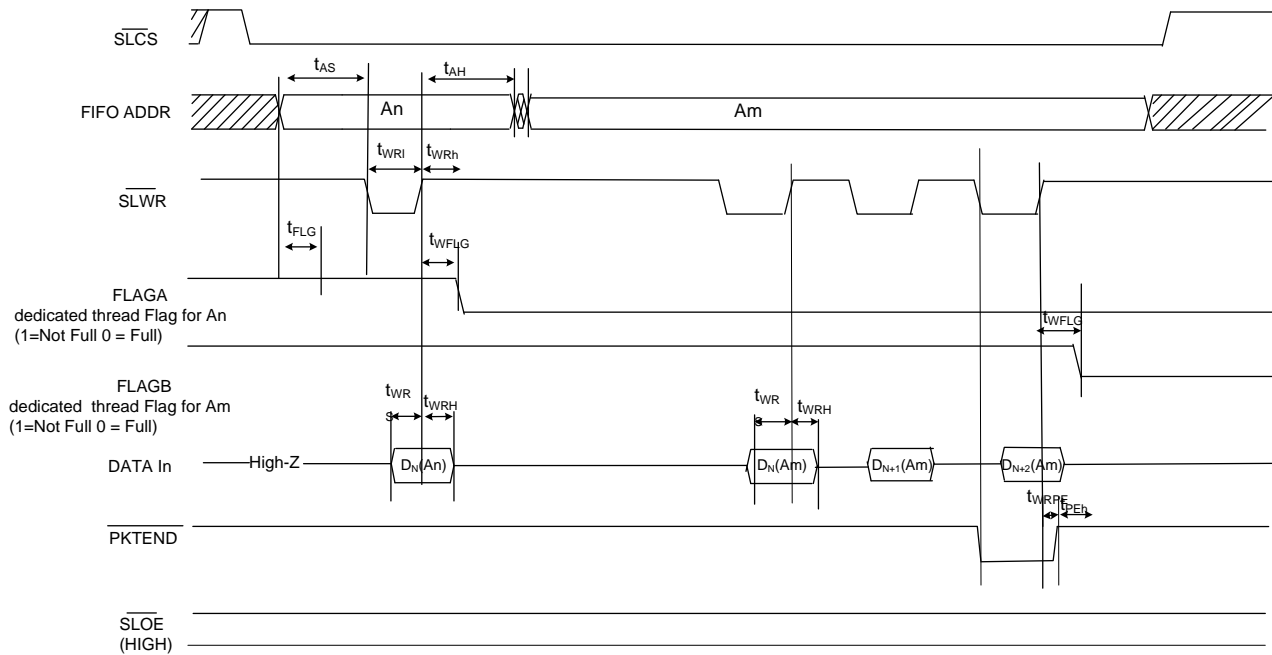
在图 12 中，数据 N 是自 FIFO 读取的首个有效数据。对于读循环期间数据总线上出现的数据而言，SLOE# 必须处于激活状态。SLRD# 和 SLOE# 也可绑定在一起。

突发读取时还会显示相同的事件序列。

注：在突发读取模式中，数据总线在 SLOE# 激活期间处于驱动状态（数据从之前已寻址的 FIFO 中启动）。SLRD # 激活后，在数据总线上驱动来自 FIFO 的数据（SLOE# 必须也被激活），而 FIFO 指针按 SLRD# 的解除激活递增。

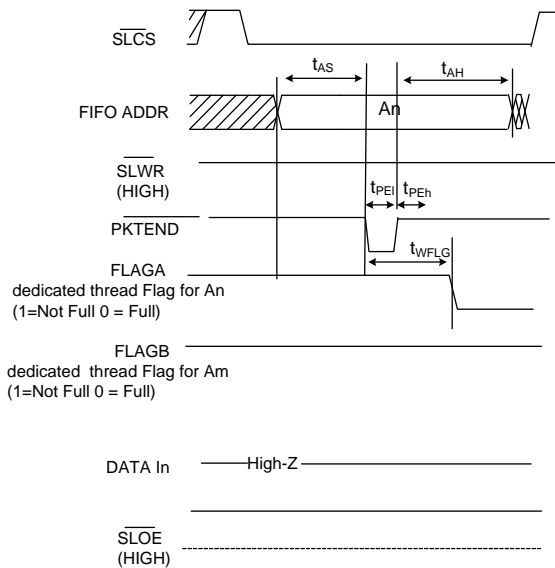
图 13. 异步从器件 FIFO 写入模式

Asynchronous Write Cycle Timing



t_{WRPE} : $\overline{SLWR\#}$ de-assert to PKTEND deassert = 2ns min (This means that PKTEND should not be deasserted before $\overline{SLWR\#}$)
 Note: PKTEND must be asserted at the same time as $\overline{SLWR\#}$.

Asynchronous ZLP Write Cycle Timing



异步从器件 FIFO 写序列说明

- FIFO 地址被驱动且 SLCS# 被激活
- SLWR# 被激活。SLCS# 必须与 SLWR# 同时激活，或先于 SLWR# 激活
- 数据必须在 SLWR# 边沿解除激活前显示在总线 tWRS 上
- SLWR# 的解除激活会使数据从数据总线写入 FIFO，然后 FIFO 指针递增
- FIFO 标志将在 SLWR 边沿解除激活的 tWFLG 之后更新。

突发写入时还会显示相同的事件序列。

注：在突发写入模式中，SLWR# 解除激活后，数据会写入 FIFO，然后 FIFO 指针递增。

短数据包：短数据包可通过使用 PKTEND# 调配至 USB 主机。外部器件 / 处理器应设计成在输入数据的最后一个字以及该字对应的 SLWR# 脉冲的同时激活 PKTEND#。FIFOADDR 线必须在 PKTEND# 激活期间保持不变。

零长度数据包：只需激活 PKTEND# 而无需激活 SLWR#，外部器件 / 处理器即可利用信号将零长度数据包 (ZLP) 传输至 EZ-USB FX3。SLCS# 和地址必须如上一幅时序图中所示被驱动。

标志使用：标志信号由外部处理器监控以实现流量控制。标志信号是 EZ-USB FX3 的输出结果，可配置以显示专用地址或当前地址的空 / 满 / 局部状态。

表 11. 异步从器件 FIFO 参数^[6]

参数	说明	最小值	最大值	单位
tRDI	SLRD# 低	20	-	ns
tRDh	SLRD# 高	10	-	ns
tAS	地址至 SLRD#/SLWR# 建立时间	7	-	ns
tAH	SLRD#/SLWR#/PKTEND 至地址保持时间	2	-	ns
tRFLG	SLRD# 至 FLAGS 输出传输延迟	-	35	ns
tFLG	ADDR 至 FLAGS 输出传输延迟	-	22.5	
tRDO	SLRD# 至数据生效	-	25	ns
tOE	OE# 低至数据生效	-	25	ns
tLZ	OE# 低至数据 low-Z	0	-	ns
tOH	SLOE# 解除激活数据输出保持	-	22.5	ns
tWRI	SLWR# 低	20	-	ns
tWRh	SLWR# 高	10	-	ns
tWRS	数据至 SLWR# 建立时间	7	-	ns
tWRH	SLWR# 至数据保持时间	2	-	ns
tWFLG	SLWR#/PKTEND 至 Flags 输出传输延迟	-	35	ns
tPEI	PKTEND 低	20	-	ns
tPEh	PKTEND 高	7.5	-	ns
tWRPE	SLWR# 解除激活至 PKTEND 解除激活	2	-	

串行外设时序
注

6. 所有参数均由设计保证并通过特性化进行验证。

I²C 时序

图 14. I²C 时序定义

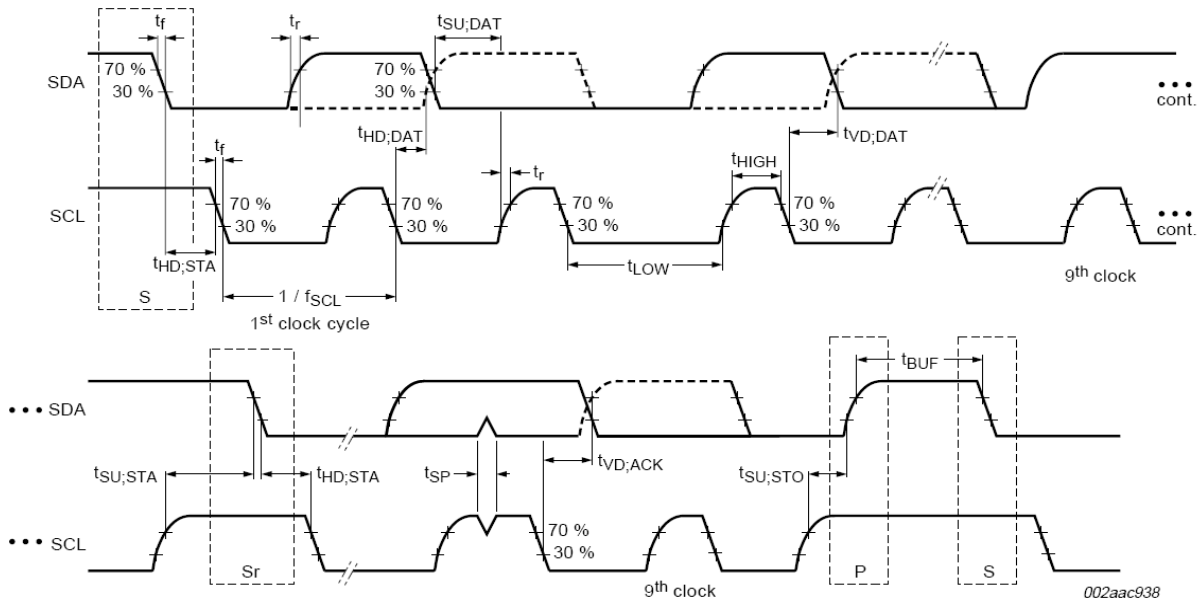


表 12. I²C 时序参数 [7]

参数	说明	最小值	最大值	单位	注
I²C 标准模式参数					
fSCL	SCL 时钟频率	0	100	kHz	
tHD:STA	保持时间 START 条件	4	-	μs	
tLOW	SCL 的低周期	4.7	-	μs	
tHIGH	SCL 的高周期	4	-	μs	
tSU:STA	重复 START 条件的建立时间	4.7	-	μs	
tHD:DAT	数据保留时间	0	-	μs	
tSU:DAT	数据建立时间	250	-	ns	
t _r	SDA 和 SCL 信号的上升时间	-	1000	ns	
t _f	SDA 和 SCL 信号的下降时间	-	300	ns	
tSU:STO	STOP 条件的建立时间	4	-	μs	
tBUF	STOP 和 START 条件之间的总线空闲时间	4.7	-	μs	
tVLD:DAT	数据有效时间	-	3.45	μs	
tVLD:ACK	数据有效 ACK	-	3.45	μs	
tSP	必须被输入滤波器抑制的尖峰脉冲的脉冲宽度	n/a (不适用)	n/a (不适用)		
I²C 快速模式参数					
fSCL	SCL 时钟频率	0	400	kHz	
tHD:STA	保持时间 START 条件	0.6	-	μs	
tLOW	SCL 的低周期	1.3	-	μs	
tHIGH	SCL 的高周期	0.6	-	μs	
tSU:STA	重复 START 条件的建立时间	0.6	-	μs	

注

7. 所有参数均由设计保证并通过特性化进行验证。

表 12. I²C 时序参数^[7]

tHD:DAT	数据保留时间	0	-	μs	
tSU:DAT	数据建立时间	100	-	ns	
tr	SDA 和 SCL 信号的上升时间	-	300	ns	
tf	SDA 和 SCL 信号的下降时间	-	300	ns	
tSU:STO	STOP 条件的建立时间	0.6	-	μs	
tBUF	STOP 和 START 条件之间的总线空闲时间	1.3	-	μs	
tVD:DAT	数据有效时间	-	0.9	μs	
tVD:ACK	数据有效 ACK	-	0.9	μs	
tSP	必须被输入滤波器抑制的尖峰脉冲的脉冲宽度	0	50	ns	
I²C 增强型快速模式参数 (I2C_VDDQ=1.2V 上不支持)					
fSCL	SCL 时钟频率	0	1000	kHz	
tHD:STA	保持时间 START 条件	0.26	-	μs	
tLOW	SCL 的低周期	0.5	-	μs	
tHIGH	SCL 的高周期	0.26	-	μs	
tSU:STA	重复 START 条件的建立时间	0.26	-	μs	
tHD:DAT	数据保留时间	0	-	μs	
tSU:DAT	数据建立时间	50	-	ns	
tr	SDA 和 SCL 信号的上升时间	-	120	ns	
tf	SDA 和 SCL 信号的下降时间	-	120	ns	
tSU:STO	STOP 条件的建立时间	0.26	-	μs	
tBUF	STOP 和 START 条件之间的总线空闲时间	0.5	-	μs	
tVD:DAT	数据有效时间	-	0.45	μs	
tVD:ACK	数据有效 ACK	-	0.55	μs	
tSP	必须被输入滤波器抑制的尖峰脉冲的宽度	0	50	ns	

I²S 时序图

图 15. I²S 发送周期

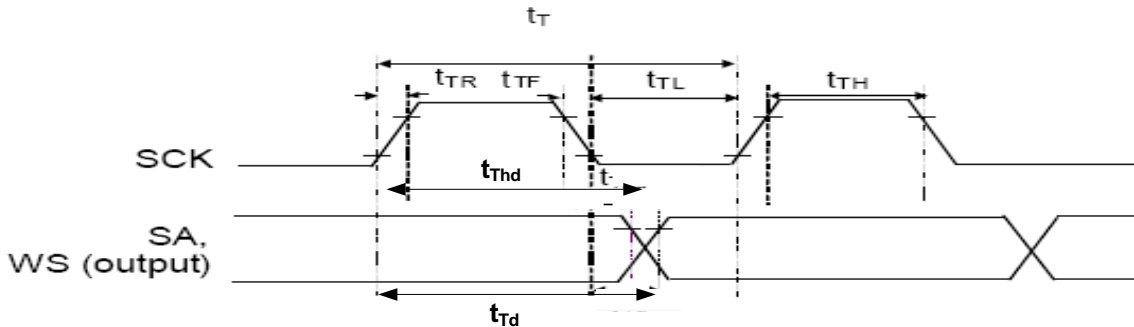


表 13. I²S 时序参数^[8]

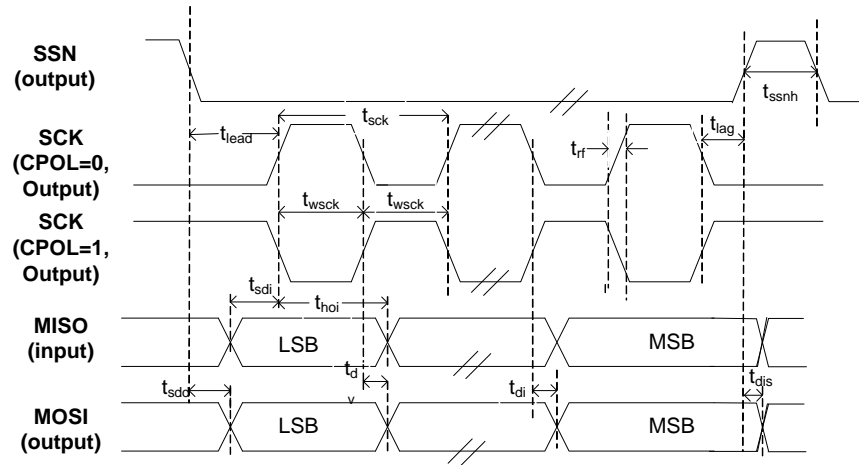
参数	说明	最小值	最大值	单位
t_T	I ² S 发送器时钟周期	T_{tr}	-	ns
t_{TL}	I ² S 发送器低周期	$0.35 T_{tr}$	-	ns
t_{TH}	I ² S 发送器高周期	$0.35 T_{tr}$	-	ns
t_{TR}	I ² S 发送器上升时间	-	$0.15 T_{tr}$	ns
t_{TF}	I ² S 发送器下降时间	-	$0.15 T_{tr}$	ns
t_{Thd}	I ² S 发送器数据保留时间	0	-	ns
t_{Td}	I ² S 发送器延迟时间	-	$0.8t_T$	ns

注：通过时钟齿轮可以选择 t_T 。 T_{tr} 的最大值是 326 ns (3.072 MHz)，此值用于 32 位的 96 kHz 编解码器。

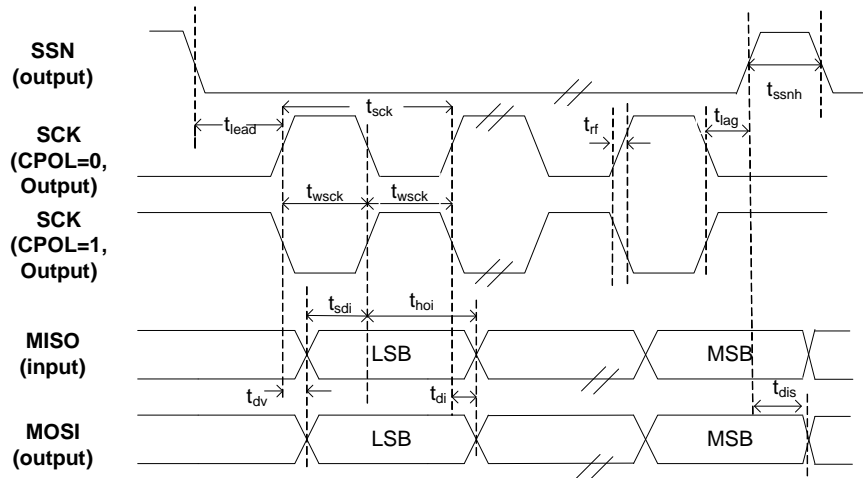
注

8. 所有参数均由设计保证并通过特性化进行验证。

图 16. SPI 时序



SPI Master Timing for CPHA = 0



SPI Master Timing for CPHA = 1

注

- 9. 所有参数均由设计保证并通过特性化进行验证。
- 10. 取决于 SPI_CONFIG 寄存器中的 LAG 和 LEAD 设置。

表 14. SPI 时序参数 [9]

参数	说明	最小值	最大值	单位
fop	工作频率	0	33	MHz
tsck	周期时间	30	-	ns
twsck	SPI 时钟高 / 低时间	13.5	-	ns
tlead	SSN-SCK 前置时间	$1/2 \text{ tsck}^{[10]} - 5$	$1.5 \text{ tsck}^{[10]} + 5$	ns
tlag	允许的滞后时间	0.5	$1.5 \text{ tsck}^{[10]} + 5$	ns
参数	说明	最小值	最大值	单位
trf	上升 / 下降时间	-	8	ns
tsdd	输出 SSN 至有效的数据延迟时间	-	5	ns
tdv	输出数据有效时间	-	5	ns
tdi	输出数据无效时间	0	-	ns
tssnh	SSN 高电平时间的最小值	10	-	ns
tsdi	数据建立时间输入	8	-	ns
thoi	数据保持时间输入	0	-	ns
tdis	SSN 高电平上禁用数据输出的时间	0	-	ns

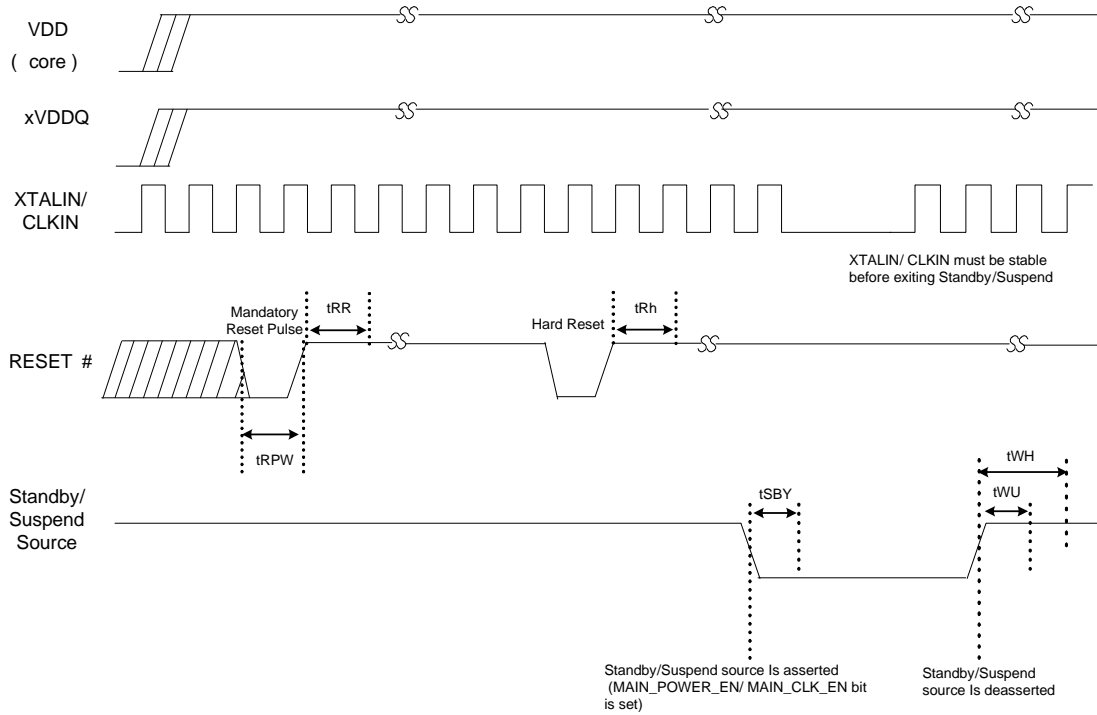
复位序列

此处指明了 EZ-USB FX3 的硬复位序列要求。

表 15. 复位和待机时序参数

参数	定义	条件	最小值 (ms)	最大值 (ms)
tRPW	最小 RESET# 脉冲宽度	时钟输入	1	-
		晶振输入	1	-
tRH	RESET# 高位的最小时长	-	5	-
tRR	复位恢复时间 (在此之后引导加载程序开始固件下载)	时钟输入	1	-
		晶振输入	5	-
tSBY	输入待机 / 暂停的时间 (起始时间为 MAIN_CLOCK_EN/MAIN_POWER_EN 位的建立时间)	-	-	1
tWU	待机到唤醒的时间	时钟输入	1	-
		晶振输入	5	-
tWH	待机 / 暂停资源可以被重新激活之前的最短时间	-	5	-

图 17. 复位序列



脚映射图

图 18. EZ-USB FX3 的脚映射图 (顶视图)

	1	2	3	4	5	6	7	8	9	10	11
A	U3VSSQ	U3RXVDDQ	SSRXM	SSRXP	SSTXP	SSTXM	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	R_USB3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	O[60]
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

引脚说明
表 16. 引脚列表

引脚		I/O	名称	说明	
				GPIFII (VI01 电域)	
				GPIF™ II 接口	从器件 FIFO 接口
F10	VI01	I/O	GPIO[0]	DQ[0]	DQ[0]
F9	VI01	I/O	GPIO[1]	DQ[1]	DQ[1]
F7	VI01	I/O	GPIO[2]	DQ[2]	DQ[2]
G10	VI01	I/O	GPIO[3]	DQ[3]	DQ[3]
G9	VI01	I/O	GPIO[4]	DQ[4]	DQ[4]
F8	VI01	I/O	GPIO[5]	DQ[5]	DQ[5]
H10	VI01	I/O	GPIO[6]	DQ[6]	DQ[6]
H9	VI01	I/O	GPIO[7]	DQ[7]	DQ[7]
J10	VI01	I/O	GPIO[8]	DQ[8]	DQ[8]
J9	VI01	I/O	GPIO[9]	DQ[9]	DQ[9]
K11	VI01	I/O	GPIO[10]	DQ[10]	DQ[10]
L10	VI01	I/O	GPIO[11]	DQ[11]	DQ[11]
K10	VI01	I/O	GPIO[12]	DQ[12]	DQ[12]
K9	VI01	I/O	GPIO[13]	DQ[13]	DQ[13]
J8	VI01	I/O	GPIO[14]	DQ[14]	DQ[14]
G8	VI01	I/O	GPIO[15]	DQ[15]	DQ[15]
J6	VI01	I/O	GPIO[16]	PCLK	CLK
K8	VI01	I/O	GPIO[17]	CTL[0]	SLCS#
K7	VI01	I/O	GPIO[18]	CTL[1]	SLWR#
J7	VI01	I/O	GPIO[19]	CTL[2]	SLOE#
H7	VI01	I/O	GPIO[20]	CTL[3]	SLRD#
G7	VI01	I/O	GPIO[21]	CTL[4]	FLAGA
G6	VI01	I/O	GPIO[22]	CTL[5]	FLAGB
K6	VI01	I/O	GPIO[23]	CTL[6]	GPIO
H8	VI01	I/O	GPIO[24]	CTL[7]	PKTEND#
G5	VI01	I/O	GPIO[25]	CTL[8]	GPIO
H6	VI01	I/O	GPIO[26]	CTL[9]	GPIO
K5	VI01	I/O	GPIO[27]	CTL[10]	GPIO
J5	VI01	I/O	GPIO[28]	CTL[11]	A1
H5	VI01	I/O	GPIO[29]	CTL[12]	A0
G4	VI01	I/O	GPIO[30]	PMODE[0]	PMODE[0]
H4	VI01	I/O	GPIO[31]	PMODE[1]	PMODE[1]
L4	VI01	I/O	GPIO[32]	PMODE[2]	PMODE[2]
L8	VI01	I/O	INT#	INT#/CTL[15]	CTL[15]
C5	CVDDQ	I	RESET#	RESET#	RESET#
				I02 (VI02 电域)	

表 16. 引脚列表 (续)

引脚		I/O	名称	说明					
				GPIF II (32 位数据模式)					
K2	VI02	I/O	GPIO[33]	DQ[16]				GPIO	
J4	VI02	I/O	GPIO[34]	DQ[17]				GPIO	
K1	VI02	I/O	GPIO[35]	DQ[18]				GPIO	
J2	VI02	I/O	GPIO[36]	DQ[19]				GPIO	
J3	VI02	I/O	GPIO[37]	DQ[20]				GPIO	
J1	VI02	I/O	GPIO[38]	DQ[21]				GPIO	
H2	VI02	I/O	GPIO[39]	DQ[22]				GPIO	
H3	VI02	I/O	GPIO[40]	DQ[23]				GPIO	
F4	VI02	I/O	GPIO[41]	DQ[24]				GPIO	
G2	VI02	I/O	GPIO[42]	DQ[25]				GPIO	
G3	VI02	I/O	GPIO[43]	DQ[26]				GPIO	
F3	VI02	I/O	GPIO[44]	DQ[27]				GPIO	
F2	VI02	I/O	GPIO[45]	GPIO					
				I03 (VI03 电域)					
				GPIO+SPI	GPIO+UART	仅为 GPIO	GPIF II - 32 (FX3)+UART+I2S	GPIO+I2S	UART+SPI+I2S
F5	VI03	I/O	GPIO[46]	GPIO	GPIO	GPIO	DQ[28]	GPIO	UART_RTS
E1	VI03	I/O	GPIO[47]	GPIO	GPIO	GPIO	DQ[29]	GPIO	UART_CTS
E5	VI03	I/O	GPIO[48]	GPIO	GPIO	GPIO	DQ[30]	GPIO	UART_TX
E4	VI03	I/O	GPIO[49]	GPIO	GPIO	GPIO	DQ[31]	GPIO	UART_RX
D1	VI03	I/O	GPIO[50]	GPIO	GPIO	GPIO	I2S_CLK	GPIO	I2S_CLK
D2	VI03	I/O	GPIO[51]	GPIO	GPIO	GPIO	I2S_SD	GPIO	I2S_SD
D3	VI03	I/O	GPIO[52]	GPIO	GPIO	GPIO	I2S_WS	GPIO	I2S_WS
				I04 (VI04) 电域					
D4	VI04	I/O	GPIO[53]	SPI_SCK	UART_RTS	GPIO	UART_RTS	GPIO	SPI_SCK
C1	VI04	I/O	GPIO[54]	SPI_SSN	UART_CTS	GPIO	UART_CTS	I2S_CLK	SPI_SSN
C2	VI04	I/O	GPIO[55]	SPI_MISO	UART_TX	GPIO	UART_TX	I2S_SD	SPI_MISO
D5	VI04	I/O	GPIO[56]	SPI_MOSI	UART_RX	GPIO	UART_RX	I2S_WS	SPI_MOSI
C4	VI04	I/O	GPIO[57]	GPIO	GPIO	GPIO	I2S_MCLK	I2S_MCLK	I2S_MCLK
				USB 端口 (VBATT/VBUS 电域)					
C9	VBUS/ VBATT	I	OTG_ID	OTG_ID					
				USB 端口 (U3TXVDDQ/U3RXVDDQ 电域)					
A3	U3RXVDDQ	I	SSRXM	SSRX-					
A4	U3RXVDDQ	I	SSRXP	SSRX+					
A6	U3TXVDDQ	0	SSTXM	SSTX-					
A5	U3TXVDDQ	0	SSTXP	SSTX+					
				USB 端口 (VBATT/VBUS 电域)					

表 16. 引脚列表 (续)

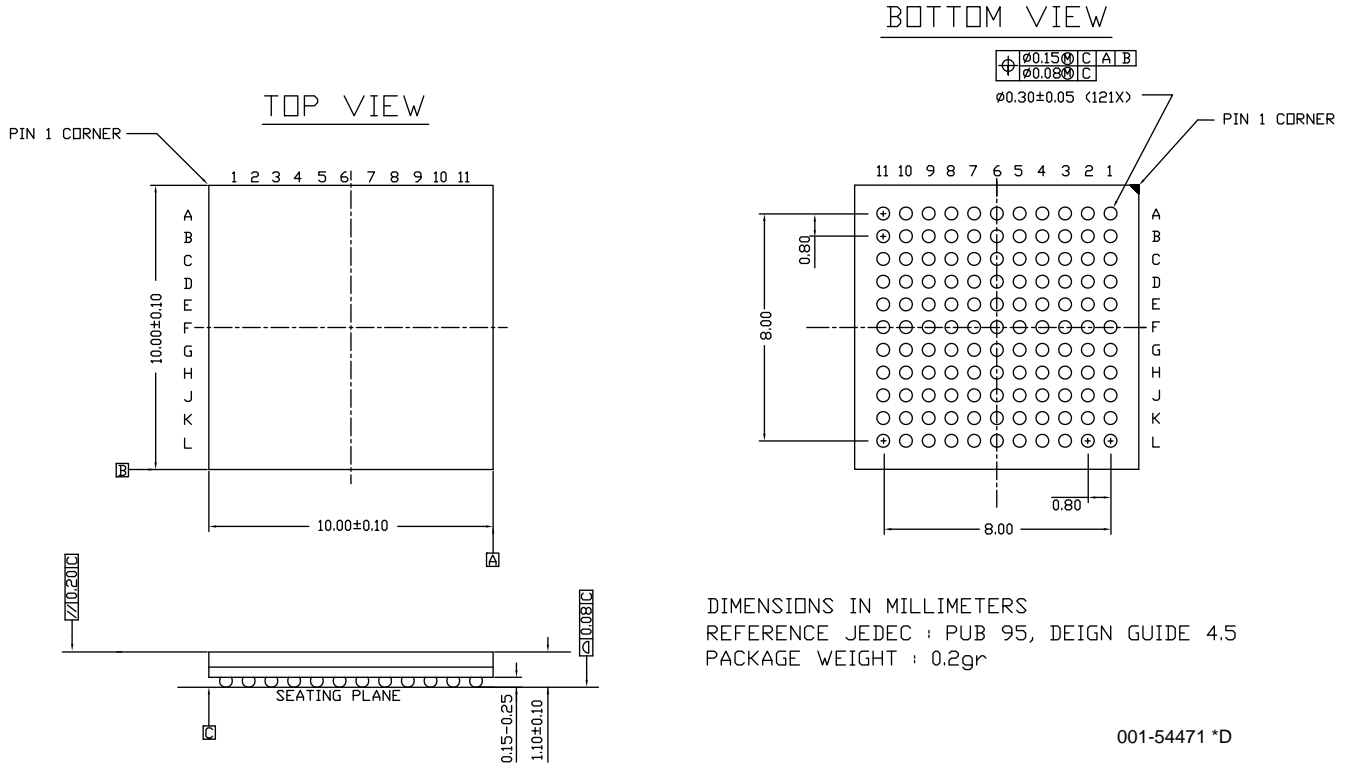
引脚		I/O	名称	说明
A9	VBUS/VBATT	I/O	DP	D+
A10	VBUS/VBATT	I/O	DM	D-
A11			NC	无连接
晶振 / 时钟 (CVDDQ 电域)				
B2	CVDDQ	I	FSLC[0]	FSLC[0]
C6	AVDD	I/O	XTALIN	XTALIN
C7	AVDD	I/O	XTALOUT	XTALOUT
B4	CVDDQ	I	FSLC[1]	FSLC[1]
E6	CVDDQ	I	FSLC[2]	FSLC[2]
D7	CVDDQ	I	CLKIN	CLKIN
D6	CVDDQ	I	CLKIN_32	CLKIN_32
I2C 和 JTAG (VIO5 电域)				
D9	VIO5	I/O	I2C_GPIO[58]	I ² C_SCL
D10	VIO5	I/O	I2C_GPIO[59]	I ² C_SDA
E7	VIO5	I	TDI	TDI
C10	VIO5	O	TDO	TDO
B11	VIO5	I	TRST#	TRST#
E8	VIO5	I	TMS	TMS
F6	VIO5	I	TCK	TCK
D11	VIO5	I/O	0[60]	充电器检测输出
功耗				
E10		PWR	VBATT	
B10		PWR	VDD	
A1		PWR	U3VSSQ	
E11		PWR	VBUS	
D8		PWR	VSS	
H11		PWR	VIO1	
E2		PWR	VSS	
L9		PWR	VIO1	
G1		PWR	VSS	
F1		PWR	VIO2	
G11		PWR	VSS	
E3		PWR	VIO3	
L1		PWR	VSS	
B1		PWR	VIO4	
L6		PWR	VSS	
B6		PWR	CVDDQ	
B5		PWR	U3TXVDDQ	
A2		PWR	U3RXVDDQ	
C11		PWR	VIO5	

表 16. 引脚列表 (续)

引脚		I/O	名称	说明
L11		PWR	VSS	
A7		PWR	AVDD	
B7		PWR	AVSS	
C3		PWR	VDD	
B8		PWR	VSS	
E9		PWR	VDD	
B9		PWR	VSS	
F11		PWR	VDD	
H1		PWR	VDD	
L7		PWR	VDD	
J11		PWR	VDD	
L5		PWR	VDD	
K4		PWR	VSS	
L3		PWR	VSS	
K3		PWR	VSS	
L2		PWR	VSS	
A8		PWR	VSS	
				高精度电阻
C8	VBUS/VBATT	I/O	R_usb2	针对 USB 2.0 的高精度电阻 (在此引脚和 GND 之间连接一个 6.04 kΩ+/-1% 电阻)
B3	U3TXVDDQ	I/O	R_usb3	针对 USB 3.0 的高精度电阻 (在此引脚和 GND 之间连接一个 200 Ω+/-1% 电阻)

封装图

图 19. 121 脚 FBGA 10 × 10 × 1.2 图

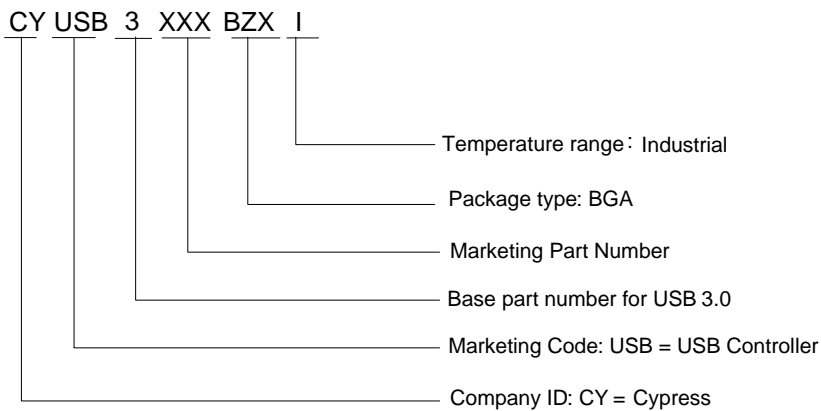


订购信息

表 17. 订购信息

订购代码	封装类型
CYUSB3014-BZXI	121 脚 BGA

订购代码定义



缩略语

缩略语	说明
DMA	直接存储器访问
HNP	主机协商协议
MMC	多媒体卡
MTP	媒体传输协议
PLL	锁相环
SD	安全数字
SD	安全数字
SDIO	安全数字输入 / 输出
SLC	单层单元
SPI	串行外设接口
SRP	会话请求协议
USB	通用串行总线
WLCSP	晶圆级芯片尺寸封装

文档规范

测量单位

符号	测量单位
°C	摄氏度
μA	微安
μs	微秒
mA	毫安
Mbps	每秒兆位数
MBps	每秒兆字节
MHz	兆赫兹
ms	毫秒
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特

文档修订记录页

文档标题: CYUSB3014 EZ-USB® FX3 SuperSpeed USB 控制器				
文档编号: 001-79276				
修订版	ECN	变更方	提交日期	变更说明
**	3617806	ZHC	2012-05-17	本文档版本号为 Rev**, 译自英文版 001-52136 Rev*K
*A	3798033	LWEN	2012-10-30	第五页标题由 VBUS 所用 OVP 器件的系统图 ” 更改为 “Carkit UART 模式

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF 产品	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2009-2012。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任，也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，赛普拉斯不授权将其产品用作生命支持系统的关键组件，如该关键组件之运转异常和故障将会对用户造成严重伤害。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。