

带有 SmartSense™ 自动调试、 31 个按键、6 个滑条和接近感应 传感器的 1.8 V CapSense® 控制

特性

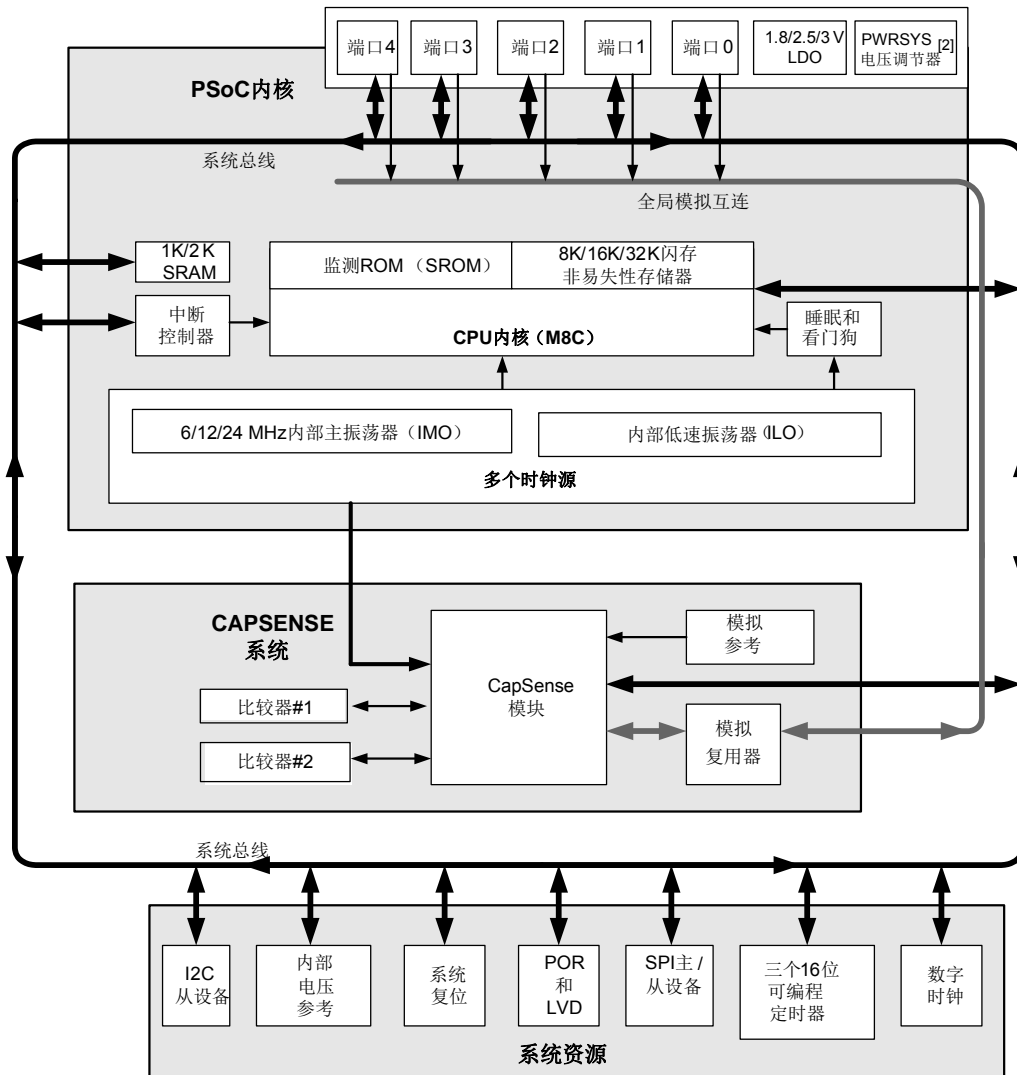
- QuietZone™ 控制器
 - 拥有专利的电容 Sigma Delta PLUS (CSD PLUS™) 感应算法，能够增强运行性能
 - 具有高灵敏度 (0.1 pF) 和一流的信噪比性能，用于支持：
 - 外覆层厚度为 15 mm (玻璃) 和 5 mm (塑料)
 - 接近感应解决方案
 - 抗传导、辐射噪声和超低辐射的出色抗噪性能
 - 标准的用户模块，用于消除噪声
- 具有 SmartSense 自动调试功能的低功耗 CapSense® 模块
 - 低平均功耗
 - 运行期间为 28 μA/ 传感器 (每经过 125 ms 后唤醒并扫描一次)
 - SmartSense_EMC_PLUS 自动调试
 - 在运行时设置并维持最佳传感器性能
 - 消除开发和生产过程中的系统调试
 - 补偿制造过程中的变化
- 在五个 GPIO 引脚上支持驱动屏蔽
 - 提供最佳的耐水设计
 - 增强对金属物体的接近感应
 - 支持更长的走线长度
 - 最大负载为 100 pF (3 MHz)
- 强大的 Harvard 架构处理器
 - M8C CPU 的最高速度可达 24 MHz
- 工作电压范围：1.71 V 到 5.5 V
 - 待机模式电流为 1.1 μA (典型值)
 - 深度睡眠模式电流为 0.1 μA (典型值)
- 工作温度范围：-40 °C 到 +85 °C
- 灵活的片上存储器
 - 8 KB 闪存，1 KB SRAM
 - 16 KB 闪存，2 KB SRAM
 - 32 KB 闪存，2 KB SRAM
 - 50,000 次闪存擦 / 写
 - 提供 EEPROM 仿真功能，用以支持同时读写性能
 - 系统内编程功能，简化了生产过程
- 4 个时钟源
 - 内部主振荡器 (IMO)：6/12/24 MHz
 - 供给看门狗和睡眠定时器使用的 32 kHz 内部低速振荡器 (ILO)
 - 外部 32 KHz 晶振
 - 外部时钟输入
- 可编程引脚配置
 - 多达 34 个通用 I/O (GPIO)
 - 双模式 GPIO (模拟和数字)
 - 每个 GPIO 的灌电流高达 25 mA
 - 所有 I/O 组合的最大灌电流为 120 mA
 - 拉电流
 - 端口 0 和 1 上的电流为 5 mA
 - 端口 2、3 和 4 上的电流为 1 mA
 - 可配置的内部上拉、高阻态和开漏模式
 - 端口 1 上具有可选的稳压数字 I/O
 - 端口 1 的输入阈值可配置
- 通用模拟功能
 - 内部模拟总线支持多个传感器的连接，以构成串连接近感应传感器
 - 内部低压差电压调节器，可提供高电源抑制比 (PSRR)
- 其它系统资源
 - I²C 从设备：
 - 可选择 50 kHz、100 kHz 或 400 kHz 频率
 - 可选择时钟延展 (Clock stretch) 或强制 Nack (Forced Nack) 模式
 - I²C 硬件地址匹配时，器件从睡眠模式唤醒
 - 12 MHz (可配置) 的 SPI 主设备和从设备
 - 3 个 16 位定时器
 - 看门狗和睡眠定时器
 - 集成监测电路
 - 带内部电压参考的 10 位递增模数转换器 (ADC)
 - 2 个通用高速低功耗模拟比较器
- 完备的开发工具
 - 免费的开发工具 (PSoC Designer™)
- 传感器和封装选择
 - 10 个感测输入 — 16 引脚 QFN、16 引脚 SOIC
 - 16 个感测输入 — 24 引脚 QFN
 - 24 个感测输入 — 30-WLCSP [1]
 - 25 个感测输入 — 32 引脚 QFN
 - 31 个感测输入 — 48 引脚 QFN

勘误表：有关芯片勘误表的信息，请查看第 37 页上的勘误表。具体内容包括触发条件、受影响的器件以及推荐的解决方案。

注释：

1. 有关详细信息，请联系离您最近的销售办事处。

逻辑框图



注释:

2. 内部电路的内部电压调节器

目录

PSoC® 功能概述	4	交流芯片级规范	21
PSoC 内核	4	交流通用 I/O 规范	22
CapSense 系统	4	交流比较器规范	22
其它系统资源	5	交流外部时钟规范	22
入门	5	交流编程规范	23
应用笔记 / 设计指南	5	交流 I2C 规范	24
开发套件	5	封装信息	27
培训	5	热阻	30
CYPros 顾问	5	晶振引脚上的电容	30
解决方案库	5	回流焊峰值温度	30
技术支持	5	开发工具选择	31
使用 PSoC Designer 进行设计	6	软件	31
选择组件	6	开发套件	31
配置组件	6	评估工具	31
组织和连接	6	器件编程器	31
生成、验证和调试	6	附件（仿真和编程）	32
引脚分布	7	第三方工具	32
16 引脚 SOIC（10 个感测输入）	7	在您的电路板上构建 PSoC 仿真器	32
16 引脚 QFN（10 个感测输入） [9]	8	订购信息	33
24 引脚 QFN（16 个感测输入） [15]	9	订购代码定义	34
30 球 WLCSP（24 个感测输入）	10	缩略语	35
32 引脚 QFN（25 个感测输入） [26]	11	参考文献	35
48 引脚 QFN（31 个感测输入） [32]	12	文档约定	35
电气规范	13	测量单位	35
绝对最大额定值	13	数字命名	36
工作温度	13	术语表	36
直流芯片级规范	14	勘误表	37
直流 GPIO 规范	15	CY8C20xx7/S 合格状态	37
直流模拟复用器总线规范	17	CY8C20xx7/S 勘误汇总	37
直流低功耗比较器规范	17	文档修订记录	41
比较器用户模块的电气规范	18	销售、解决方案和法律信息	42
ADC 电气规范	18	全球销售和 design 支持	42
直流 POR 和 LVD 规范	19	产品	42
直流编程规范	19	PSoC® 解决方案	42
直流 I2C 规范	20	赛普拉斯开发者社区	42
屏蔽驱动器直流规范	20	技术支持	42
直流 IDAC 规范	20		

PSoC[®] 功能概述

PSoC 系列包含许多带片上控制器的器件。这些器件旨在使用一个低成本单芯片可编程组件来替换多个基于 MCU 的传统系统组件。PSoC 器件包含多个可配置的模拟和数字逻辑模块，以及它们之间的可编程互连。这种结构可帮助您根据每个应用的要求来创建可定制的外设配置。此外，在一系列方便易用的引脚布局中还包含快速的中央处理单元 (CPU)、闪存程序存储器、SRAM 数据存储器和可配置的 I/O。

如第 2 页上的逻辑框图所示，该器件系列的架构由三个主要部分组成：

- 内核
- CapSense 模拟系统
- 系统资源

通过一个通用总线，能够实现 I/O 与模拟系统之间的连接。

每个 CY8C20x37/47/67/S PSoC 器件都包含一个专用的 CapSense 模块，该模块能够为电容式感应应用提供感应和扫描控制电路。根据 PSoC 封装，最多还可以包含 34 个 GPIO。GPIO 提供了对 MCU 和模拟复用器的访问。

PSoC 内核

PSoC 内核是一个强大的引擎，支持一个丰富的指令集。它包含用于存储数据的 SRAM、中断控制器、睡眠和看门狗定时器，以及 IMO 和 ILO。M8C CPU 内核是一个强大的处理器，运行速度可高达 24 MHz。M8C 是 8 位的 Harvard 架构微处理器，支持 4 MIPS 的速度。

CapSense 系统

模拟系统包含电容式感应硬件。支持多种硬件算法。该硬件不需要使用外部组件，即可执行电容式感应和扫描。模拟系统包括 CapSense PSoC 模块和内部 1 V 或 1.2 V 模拟参考电压，均支持多达 31 个输入的电容式感应^[3]。电容式感应在每个 GPIO 引脚上是可配置的。可以跨多个端口对使能的 CapSense 引脚快速轻松地进行扫描。

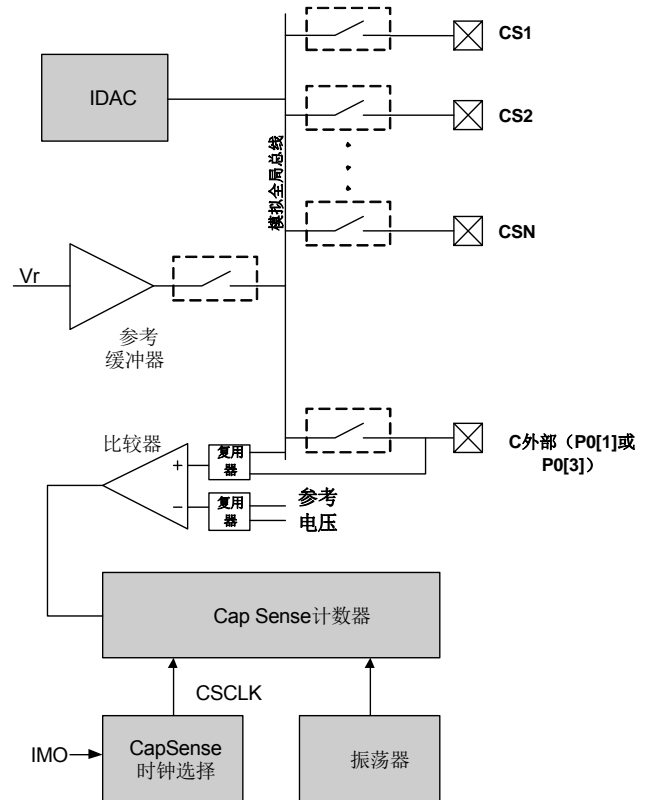
SmartSense™ 自动调试

SmartSense 自动调试是赛普拉斯的创新解决方案，消除了 CapSense 应用中手动调试的需要。该解决方案易于使用，并且提供强大的抗噪性能。运行期间中，这是建立、监控和维持每个传感器的所需调试参数的唯一自动调试解决方案。通过使用 SmartSense 自动调试，在从原型设计进入批量生产阶段时，工程师不需要重新调试 PCB 和 / 或外覆层材料属性的制造误差。

注释：

3. 34 个 GPIO = 31 个电容式感应引脚 + 两个 I²C 引脚 + 1 个调制器电容引脚。

图 1. CapSense 系统框图



模拟复用器系统

模拟复用器总线可以连接到任何 GPIO 引脚。引脚可以单独连接到总线，也可以采用任意组合方式连接到总线。该总线还通过 CapSense 模块比较器连接到模拟系统，以便进行分析。

通过开关控制逻辑，选定的引脚可以在硬件控制下连续预充电。这样能够对触摸感应等应用进行电容式测量。其他复用器应用包括：

- 灵活实用的电容式感应接口，例如滑条和触摸板。
- 可从任意 I/O 引脚接收模拟输入的芯片级复用器。
- 任意 I/O 引脚组合之间的交叉点连接。

其它系统资源

系统资源提供额外的功能，如可配置的 I²C 从设备、SPI 主 / 从设备通信接口、3 个 16 位可编程定时器、由 M8C 低电压检测支持的众多系统复位功能以及上电复位。下面介绍了每种系统资源的优势：

- I²C 从设备 / SPI 主设备 - 从设备模块通过两条线路提供 50/100/400 kHz 通信。通过三条或四条线路，在 46.9 kHz 到 3 MHz 的传输速度（如果系统时钟较慢，则传输速度也较慢）下进行 SPI 通信。
- I²C 硬件地址识别功能通过在收到发往目标器件的数据包之前消除 CPU 干预的需要来降低功耗。
- 对于外部 I²C 主设备，增强型的 I²C 从设备接口可作为 32 字节的 RAM 缓冲区使用。通过使用简单的预定义协议，主设备可以控制指向 RAM 中的读和写指针。使用该方法时，在有效模式中，从设备不会在接收数据字节时将总线停止。有关的详细信息，请参考应用笔记 [增强型 I2C 从设备操作 — AN56007](#)。
- 低电压检测（LVD）中断可在电压下降时发出信号，而高级上电复位（POR）电路可取代系统监测电路。
- 内部参考电压为电容式感应提供了一个绝对参考电压。
- 利用寄存器控制的旁路模式，用户可以禁用 LDO 电压调节器。

入门

了解 PSoC 芯片的最快方式是先阅读本数据手册，然后再使用 PSoC Designer 集成开发环境（IDE）。本数据手册概要介绍了 PSoC 集成电路，并描述具体的引脚、寄存器和电气规范。

深度信息以及有关编程的详细信息，请参见

CY8C20x37/47/67/S PSoC 器件的 [技术参考手册](#)。

如需最新的订购、封装和电气规范信息，请在 www.cypress.com/psoc 网站上获取最新的 PSoC 器件数据手册。

应用笔记 / 设计指南

应用笔记和设计指南对众多可用的 PSoC 设计进行了详细介绍。可从 www.cypress.com/gocapsense 上获取这些资料。选择“相关文档”选项卡下的“应用笔记”。

开发套件

PSoC 开发套件在赛普拉斯 www.cypress.com/shop 网站上在线提供，也可以从越来越多的地区和全球分销商（包括 Arrow、Avnet、Digi-Key、Farnell、Future Electronics 和 Newark）获取。请参见 [第 31 页上的开发套件](#)。

培训

www.cypress.com/training 网站在线提供免费的 PSoC 和 CapSense 技术培训（按需提供的培训、在线研讨会和专题讨论会）。培训涵盖了可协助您进行设计的众多主题和技能。

CYPros 顾问

从技术协助到完整的 PSoC 设计，经过认证的 PSoC 顾问能够提供一切支持。如要联系或成为 PSoC 顾问，请访问 www.cypress.com/cypros。

解决方案库

您可以通过 <http://www.cypress.com/solutions> 网站访问我们以解决方案为中心且内容不断增加的设计库。在这里，您可以找到各种应用设计，其中包括可帮助您快速完成设计的固件和硬件设计文件。

技术支持

如需技术方面的帮助，请在 www.cypress.com/support 网站上搜索知识库文章和论坛。如果找不到问题的答案，请创建技术支持案例或致电 1-800-541-4736 联系技术支持。

使用 PSoC Designer 进行设计

PSoC 开发过程可概括为以下四个步骤：

1. 选择 用户模块
2. 配置用户模块
3. 组织和连接
4. 生成和验证

选择组件

PSoC Designer 提供了一个预建且预测试的硬件外设组件，称作“用户模块”。用户模块使选择和实现外设器件，包括模拟和数字器件，变得简单。

配置组件

所选择的每个用户模块都能够建立用于实现所选功能的基本寄存器设置。此外，它们还提供参数和属性，以便您针对特定应用定制精确配置。借助用户模块参数，您可以设置脉冲宽度和占空比。请根据所选应用配置参数和属性。您可以直接输入某个值或从下拉菜单中选择。所有用户模块都记录在数据手册中，可在 PSoC Designer 中直接查看或在赛普拉斯网站上查看。这些[用户模块数据手册](#)介绍了用户模块内部操作并提供了性能规范。每个数据手册都介绍了每个用户模块参数的使用，以及成功实现设计所需要的其他信息。

组织和连接

您可以通过将用户模块互连并连接到 I/O 引脚来构建芯片级的信号链。通过选择、配置和布线操作，可完全控制所有的片上资源。

生成、验证和调试

当您准备测试硬件配置或需要开发项目代码时，请执行“生成配置文件”这一步骤。这会使 PSoC Designer 生成源代码，该源代码会自动按照您的规范配置器件，并为系统提供软件。生成的代码提供了应用编程接口（API），其中具有在运行时控制和响应硬件事件的高级函数，以及您可按需使用的中断服务子程序。

完善的代码开发环境可让您使用 C 语言和 / 或汇编语言来开发和定制应用程序。

引脚分布

CY8C20x37/47/67/S PSoc 器件有多种封装可供选择，下面各表分别列出和阐释了这些封装。每个端口引脚（标志为“P”）都能用作数字 I/O，并可连接到通用模拟总线。但 V_{SS} 、 V_{DD} 和 XRES 不能用作数字 I/O。

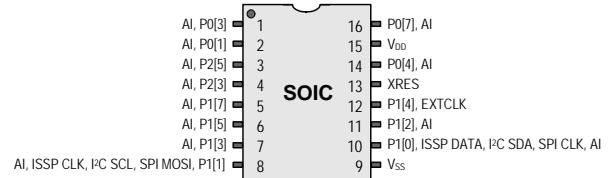
16 引脚 SOIC（10 个感测输入）

表 1. 引脚定义 — CY8C20237-24SXI、CY8C20247/S-24SXI [4]

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P0[3]	积分输入
2	I/O	I	P0[1]	积分输入
3	I/O	I	P2[5]	晶振输出 (XOut)
4	I/O	I	P2[3]	晶振输入 (XIn)
5	I/O	I	P1[7]	I2C SCL、SPI SS
6	I/O	I	P1[5]	I2C SDA、SPI MISO
7	I/O	I	P1[3]	
8	I/O	I	P1[1]	ISSP CLK ^[5] 、I ² C SCL、SPI MOSI
9	电源		V_{SS}	接地 ^[8]
10	I/O	I	P1[0]	ISSP DATA ^[5] 、I ² C SDA、SPI CLK ^[6]
11	I/O	I	P1[2]	驱动屏蔽输出 (可选)
12	I/O	I	P1[4]	可选的外部时钟 (EXTCLK)
13	输入		XRES	使用内部下拉电阻的高电平有效外部复位 ^[7]
14	I/O	I	P0[4]	
15	电源		V_{DD}	供电电压
16	I/O	I	P0[7]	

图标：A = 模拟，I = 输入，O = 输出，OH = 5 mA 高电平输出驱动，R = 稳压输出。

图 2. CY8C20237-24SXI、CY8C20247/S-24SXI 器件



注释：

- 13 个 GPIO = 10 个电容式感应引脚 + 两个 I²C 引脚 + 1 个调制器电容引脚。
- 上电时，SDA (P1[0]) 在 256 个睡眠时钟周期内驱动强高电平，然后在后续的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平，然后两个引脚均转换到高阻抗状态。复位时，XRES 取消激活后，SDA 和 SCL 线路在 8 个睡眠时钟周期内驱动电阻性低电平，然后转换到高阻抗状态。因此，在上电或复位期间，P1[1] 和 P1[0] 可能干扰 I2C 总线。如果遇到这种情况，请使用备用引脚。
- 备用 SPI 时钟。
- 内部下拉电阻为 5 KOhm。
- 应将所有 VSS 引脚连接到共同的 GND 地层。

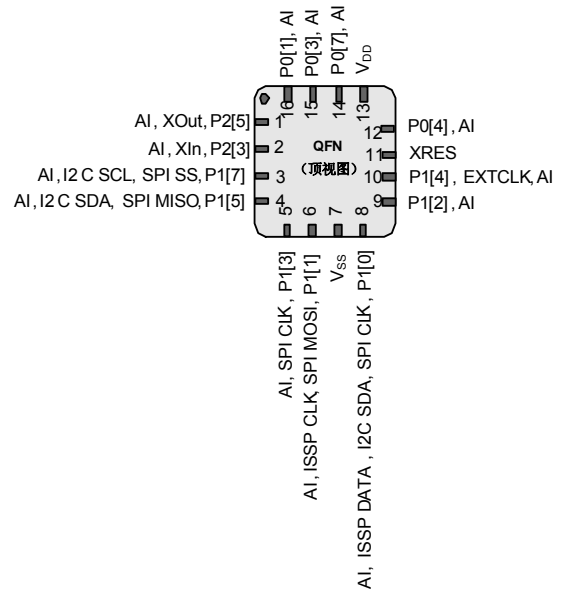
16 引脚 QFN (10 个感测输入) [9]

表 2. 引脚定义 — CY8C20237、CY8C20247/S [10]

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P2[5]	晶振输出 (XOut)
2	I/O	I	P2[3]	晶振输入 (XIn)
3	IOHR	I	P1[7]	I ² C SCL、SPI SS
4	IOHR	I	P1[5]	I ² C SDA、SPI MISO
5	IOHR	I	P1[3]	SPI CLK
6	IOHR	I	P1[1]	ISSP CLK ^[11] 、I ² C SCL、SPI MOSI
7	电源		V _{SS}	接地 [14]
8	IOHR	I	P1[0]	ISSP DATA ^[11] 、I ² C SDA、SPI CLK ^[12]
9	IOHR	I	P1[2]	驱动屏蔽输出 (可选)
10	IOHR	I	P1[4]	可选的外部时钟 (EXTCLK)
11	输入		XRES	使用内部下拉电阻的高电平有效外部复位 [13]
12	IOH	I	P0[4]	
13	电源		V _{DD}	供电电压
14	IOH	I	P0[7]	
15	IOH	I	P0[3]	积分输入
16	IOH	I	P0[1]	积分输入

图标: A = 模拟, I = 输入, O = 输出, OH = 5 mA 高电平输出驱动, R = 稳压输出。

图 3. CY8C20237、CY8C20247/S 器件



注释:

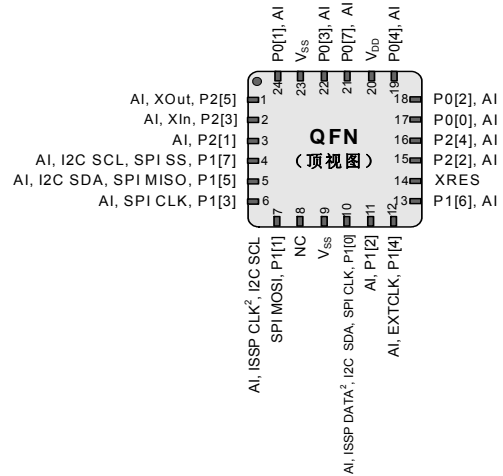
- 9. 无中心焊盘。
- 10. 13 个 GPIO = 10 个电容式感应引脚 + 两个 I²C 引脚 + 1 个调制器电容引脚。
- 11. 上电时, SDA (P1[0]) 在 256 个睡眠时钟周期内驱动强高电平, 然后在后续的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 取消激活后, SDA 和 SCL 线路在 8 个睡眠时钟周期内驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I²C 总线。如果遇到这种情况, 请使用备用引脚。
- 12. 备用 SPI 时钟。
- 13. 内部下拉电阻为 5 KOhm。
- 14. 应将所有 VSS 引脚连接到共同的 GND 地层。

24 引脚 QFN (16 个感测输入) [15]

表 3. 引脚定义 — CY8C20337、CY8C20347/S [16]

引脚编号	类型		名称	说明
	数字	模拟		
1	I/O	I	P2[5]	晶振输出 (XOut)
2	I/O	I	P2[3]	晶振输入 (XIn)
3	I/O	I	P2[1]	
4	IOHR	I	P1[7]	I ² C SCL、SPI SS
5	IOHR	I	P1[5]	I ² C SDA、SPI MISO
6	IOHR	I	P1[3]	SPI CLK
7	IOHR	I	P1[1]	ISSP CLK ^[17] 、I ² C SCL、SPI MOSI
8			NC	无连接
9	电源		V _{SS}	接地 [20]
10	IOHR	I	P1[0]	ISSP DATA ^[17] 、I ² C SDA、SPI CLK ^[18]
11	IOHR	I	P1[2]	驱动屏蔽输出 (可选)
12	IOHR	I	P1[4]	可选的外部时钟输入 (EXTCLK)
13	IOHR	I	P1[6]	
14	输入		XRES	使用内部下拉电阻的高电平有效外部复位 ^[19]
15	I/O	I	P2[2]	驱动屏蔽输出 (可选)
16	I/O	I	P2[4]	驱动屏蔽输出 (可选)
17	IOH	I	P0[0]	驱动屏蔽输出 (可选)
18	IOH	I	P0[2]	驱动屏蔽输出 (可选)
19	IOH	I	P0[4]	
20	电源		V _{DD}	供电电压
21	IOH	I	P0[7]	
22	IOH	I	P0[3]	积分输入
23	电源		V _{SS}	接地 [20]
24	IOH	I	P0[1]	积分输入
CP	电源		V _{SS}	中心焊盘必须接地

图 4. CY8C20337、CY8C20347/S 器件



图标: A = 模拟, I = 输入, O = 输出, OH = 5 mA 高电平输出驱动, R = 稳压输出。

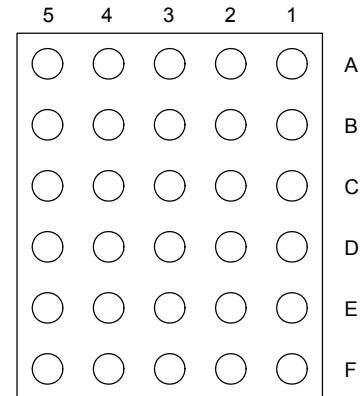
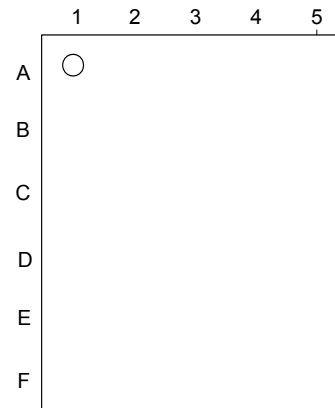
注释:

15. QFN 封装上的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热阻和电气性能。如果未接地, 则必须处于电气悬空状态, 而不能连接到任何其他信号。
16. 19 个 GPIO = 16 个电容式感应引脚 + 两个 I²C 引脚 + 1 个调制器电容引脚。
17. 上电时, SDA (P1[0]) 在 256 个睡眠时钟周期内驱动强高电平, 然后在后续的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 取消激活后, SDA 和 SCL 线路在 8 个睡眠时钟周期内驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I²C 总线。如果遇到这种情况, 请使用备用引脚。
18. 备用 SPI 时钟。
19. 内部下拉电阻为 5 KOhm。
20. 应将所有 VSS 引脚连接到共同的 GND 地层。

30 球 WLCSP (24 个感测输入)
表 4. 引脚定义 — CY8C20767、CY8C20747 30 球器件的引脚分布 (WLCSP) [21]

引脚编号	类型		名称	说明
	数字	模拟		
A1	IOH	I	P0[2]	驱动屏蔽输出 (可选)
A2	IOH	I	P0[6]	
A3	电源		V _{DD}	供电电压
A4	IOH	I	P0[1]	积分输入
A5	I/O	I	P2[7]	
B1	I/O	I	P4[2]	
B2	IOH	I	P0[0]	驱动屏蔽输出 (可选)
B3	IOH	I	P0[4]	
B4	IOH	I	P0[3]	积分输入
B5	I/O	I	P2[5]	晶振输出 (Xout)
C1	I/O	I	P2[2]	驱动屏蔽输出 (可选)
C2	I/O	I	P2[4]	驱动屏蔽输出 (可选)
C3	I/O	I	P0[7]	
C4	IOH	I	P3[2]	
C5	I/O	I	P2[3]	晶振输入 (Xin)
D1	I/O	I	P2[0]	
D2	I/O	I	P3[0]	
D3	I/O	I	P3[1]	
D4	I/O	I	P3[3]	
D5	I/O	I	P2[1]	
E1	输入		XRES	使用内部下拉电阻的高电平有效外部复位 [22]
E2	IOHR	I	P1[6]	
E3	IOHR	I	P1[4]	可选的外部时钟输入 (EXT CLK)
E4	IOHR	I	P1[7]	I ² C SCL、SPI SS
E5	IOHR	I	P1[5]	I ² C SDA、SPI MISO
F1	IOHR	I	P1[2]	驱动屏蔽输出 (可选)
F2	IOHR	I	P1[0]	ISSP DATA ^[23] 、I ² C SDA、SPI CLK ^[24]
F3	电源		V _{SS}	接地 [25]
F4	IOHR	I	P1[1]	ISSP CLK ^[23] 、I ² C SCL、SPI MOSI
F5	IOHR	I	P1[3]	SPI CLK

图标: A = 模拟, I = 输入, O = 输出, OH = 5 mA 高电平输出驱动, R = 稳压输出

图 5. CY8C20767、CY8C20747 30 球 WLCSP 底视图

顶视图

注释:

21. 27 个 GPIO = 24 个电容式感应引脚 + 两个 I²C 引脚 + 1 个调制器电容引脚。

22. 内部下拉电阻为 5 KOhm。

23. 上电时, SDA (P1[0]) 在 256 个睡眠时钟周期内驱动强高电平, 然后在后续的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 取消激活后, SDA 和 SCL 线路在 8 个睡眠时钟周期内驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I²C 总线。如果遇到这种情况, 请使用备用引脚。

24. 备用 SPI 时钟。

25. 应将所有 VSS 引脚连接到共同的 GND 地层。

32 引脚 QFN (25 个感测输入) [26]

表 5. 引脚定义 — CY8C20437、CY8C20447/S、CY8C20467/S [27]

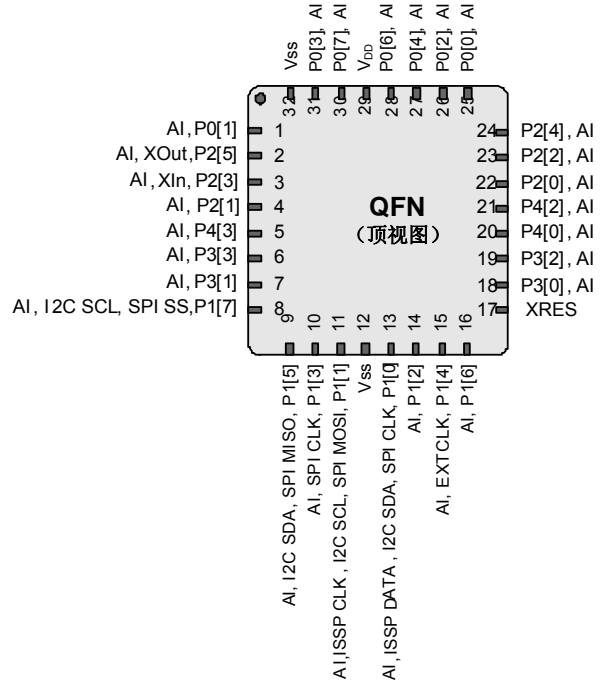
引脚编号	类型		名称	说明
	数字	模拟		
1	IOH	I	P0[1]	积分输入
2	I/O	I	P2[5]	晶振输出 (XOut)
3	I/O	I	P2[3]	晶振输入 (XIn)
4	I/O	I	P2[1]	
5	I/O	I	P4[3]	
6	I/O	I	P3[3]	
7	I/O	I	P3[1]	
8	IOHR	I	P1[7]	I ² C SCL、SPI SS
9	IOHR	I	P1[5]	I ² C SDA、SPI MISO
10	IOHR	I	P1[3]	SPI CLK
11	IOHR	I	P1[1]	ISSP CLK ^[28] 、I ² C SCL、SPI MOSI
12	电源		V _{SS}	接地 [31]
13	IOHR	I	P1[0]	ISSP DATA ^[28] 、I ² C SDA、SPI CLK ^[29]
14	IOHR	I	P1[2]	驱动屏蔽输出 (可选)
15	IOHR	I	P1[4]	可选的外部时钟输入 (EXTCLK)
16	IOHR	I	P1[6]	
17	输入		XRES	使用内部下拉电阻的高电平有效外部复位 [30]
18	I/O	I	P3[0]	
19	I/O	I	P3[2]	
20	I/O	I	P4[0]	
21	I/O	I	P4[2]	
22	I/O	I	P2[0]	
23	I/O	I	P2[2]	驱动屏蔽输出 (可选)
24	I/O	I	P2[4]	驱动屏蔽输出 (可选)
25	IOH	I	P0[0]	驱动屏蔽输出 (可选)
26	IOH	I	P0[2]	驱动屏蔽输出 (可选)
27	IOH	I	P0[4]	
28	IOH	I	P0[6]	
29	电源		V _{DD}	
30	IOH	I	P0[7]	
31	IOH	I	P0[3]	积分输入
32	电源		V _{SS}	接地 [31]
CP	电源		V _{SS}	中心焊盘必须接地

图标: A = 模拟, I = 输入, O = 输出, OH = 5 mA 高电平输出驱动, R = 稳压输出。

注释:

- 26. QFN 封装上的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热阻和电气性能。如果未接地, 则必须处于电气悬空状态, 而不能连接到任何其他信号。
- 27. 28 个 GPIO = 25 个电容式感应引脚 + 两个 I²C 引脚 + 1 个调制器电容引脚。
- 28. 上电时, SDA (P1[0]) 在 256 个睡眠时钟周期内驱动强高电平, 然后在后续的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 取消激活后, SDA 和 SCL 线路在 8 个睡眠时钟周期内驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I²C 总线。如果遇到这种情况, 请使用备用引脚。
- 29. 备用 SPI 时钟。
- 30. 内部下拉电阻为 5 KOhm。
- 31. 应将所有 VSS 引脚连接到共同的 GND 地层。

图 6. CY8C20437、CY8C20447/S、CY8C20467/S 器件



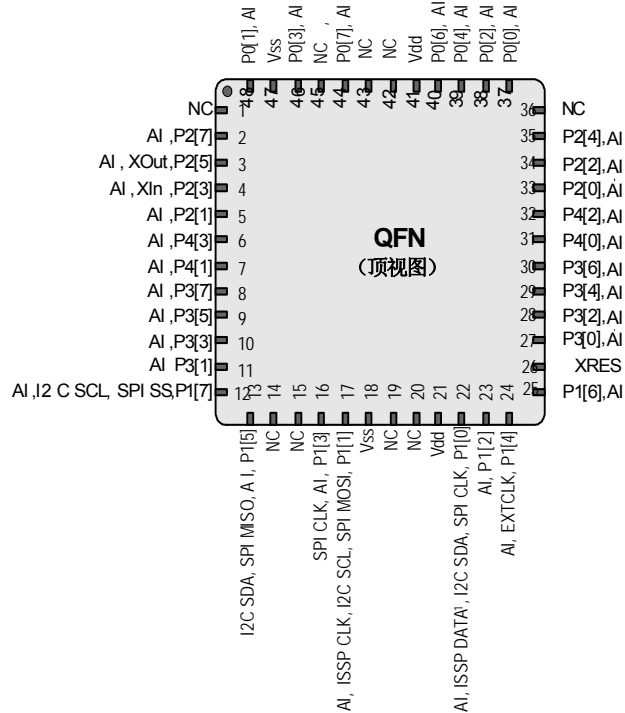
48 引脚 QFN (31 个感测输入) [32]

表 6. 引脚定义 — CY8C20637、CY8C20647/S、CY8C20667/S[33]

引脚编号	数字	模拟	名称	说明
1			NC	无连接
2	I/O	I	P2[7]	
3	I/O	I	P2[5]	晶振输出 (XOut)
4	I/O	I	P2[3]	晶振输入 (XIn)
5	I/O	I	P2[1]	
6	I/O	I	P4[3]	
7	I/O	I	P4[1]	
8	I/O	I	P3[7]	
9	I/O	I	P3[5]	
10	I/O	I	P3[3]	
11	I/O	I	P3[1]	
12	IOHR	I	P1[7]	I ² C SCL、SPI SS
13	IOHR	I	P1[5]	I ² C SDA、SPI MISO
14			NC	无连接
15			NC	无连接
16	IOHR	I	P1[3]	SPI CLK
17	IOHR	I	P1[1]	ISSP CLK ^[34] 、I ² C SCL、SPI MOSI
18	电源		V _{SS}	接地 [37]
19			NC	无连接
20			NC	无连接
21	电源		V _{DD}	供电电压
22	IOHR	I	P1[0]	ISSP DATA ^[34] 、I ² C SDA、SPI CLK ^[35]
23	IOHR	I	P1[2]	驱动屏蔽输出 (可选)
24	IOHR	I	P1[4]	可选的外部时钟输入 (EXTCLK)
25	IOHR	I	P1[6]	
26	输入		XRES	使用内部下拉电阻的高电平有效外部复位 [36]
27	I/O	I	P3[0]	
28	I/O	I	P3[2]	
29	I/O	I	P3[4]	
30	I/O	I	P3[6]	
31	I/O	I	P4[0]	
32	I/O	I	P4[2]	
33	I/O	I	P2[0]	
34	I/O	I	P2[2]	驱动屏蔽输出 (可选)
35	I/O	I	P2[4]	驱动屏蔽输出 (可选)
36			NC	无连接
37	IOH	I	P0[0]	驱动屏蔽输出 (可选)
38	IOH	I	P0[2]	驱动屏蔽输出 (可选)
39	IOH	I	P0[4]	
引脚编号	数字	模拟	名称	说明
40	IOH	I	P0[6]	
41	电源		V _{DD}	供电电压
42			NC	无连接
43			NC	无连接
44	IOH	I	P0[7]	
45			NC	无连接
46	IOH	I	P0[3]	积分输入
47	电源		V _{SS}	接地 [37]
48	IOH	I	P0[1]	积分输入
CP	电源		V _{SS}	中心焊盘必须接地

图标: A = 模拟, I = 输入, O = 输出, NC = 无连接, OH = 5 mA 高电平输出驱动, R = 稳压输出。

图 7. CY8C20637、CY8C20647/S、CY8C20667/S 器件



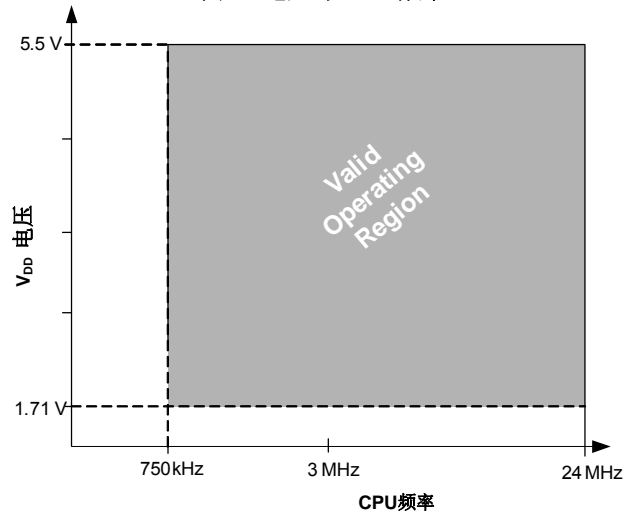
注释:

- 32. QFN 封装上的中心焊盘 (CP) 必须接地 (V_{SS}), 以获得最佳机械、热阻和电气性能。如果未接地, 则必须处于电气悬空状态, 而不能连接到任何其他信号。
- 33. 34 个 GPIO = 31 个电容式感应引脚 + 两个 I²C 引脚 + 1 个调制器电容引脚。
- 34. 上电时, SDA (P1[0]) 在 256 个睡眠时钟周期内驱动强高电平, 然后在后续的 256 个睡眠时钟周期内驱动电阻性低电平。SCL (P1[1]) 线路在 512 个睡眠时钟周期内驱动电阻性低电平, 然后两个引脚均转换到高阻抗状态。复位时, XRES 取消激活后, SDA 和 SCL 线路在 8 个睡眠时钟周期内驱动电阻性低电平, 然后转换到高阻抗状态。因此, 在上电或复位期间, P1[1] 和 P1[0] 可能干扰 I²C 总线。如果遇到这种情况, 请使用备用引脚。
- 35. 备用 SPI 时钟。
- 36. 内部下拉电阻为 5 KOhm。
- 37. 应将所有 VSS 引脚连接到共同的 GND 地层。

电气规范

本节介绍了 CY8C20x37/47/67/S PSoc 器件的直流和交流电气规范。如需要最新的电气规范，请访问 <http://www.cypress.com/psoc> 网站，以确保您拥有最新的数据手册。

图 8. 电压与 CPU 频率



绝对最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指南未经测试。

表 7. 绝对最大额定值

符号	说明	条件	最小值	典型值	最大值	单位
T _{STG}	存放温度	存放温度越高，数据保持时间越短。推荐的存放温度为 +25 °C ± 25 °C。存放温度长期保持在 85 °C 以上会降低可靠性。	-55	+25	+125	°C
V _{DD}	相对于 V _{SS} 的供电电压	-	-0.5	-	+6.0	V
V _{IO}	直流输入电压	-	V _{SS} - 0.5	-	V _{DD} + 0.5	V
V _{IOZ}	三态下的直流输入电压	-	V _{SS} - 0.5	-	V _{DD} + 0.5	V
I _{MIO}	任意端口引脚的最大输入电流	-	-25	-	+50	mA
ESD	静电放电电压	人体模型 ESD	2000	-	-	V
LU	闩锁电流	符合 JESD78 标准	-	-	200	mA

工作温度

表 8. 工作温度

符号	说明	条件	最小值	典型值	最大值	单位
T _A	环境温度	-	-40	-	+85	°C
T _C	商业级温度范围	-	0	-	70	°C
T _J	芯片工作温度	从环境温度到结温的升高情况因封装不同而有所变化。请参见 第 30 页上的热阻。用户必须限制功耗，以满足此要求。	-40	-	+100	°C

直流芯片级规范

表 9 列出了在整个电压和温度范围内的最大和最小规范。

表 9. 直流芯片级规范

符号	说明	条件	最小值	典型值	最大值	单位
V_{DD} [38、39、40]	供电电压	请参见第 17 页上的表 14。	1.71	–	5.50	V
I_{DD24}	供电电流, $IMO = 24$ MHz	条件为: $V_{DD} \leq 3.0$ V、 $T_A = 25$ °C、 $CPU = 24$ MHz。CapSense 在 12 MHz 的频率下运行, 不给任何 I/O 供电	–	2.88	4.00	mA
I_{DD12}	供电电流, $IMO = 12$ MHz	条件为: $V_{DD} \leq 3.0$ V、 $T_A = 25$ °C、 $CPU = 12$ MHz。CapSense 在 12 MHz 的频率下运行, 不给任何 I/O 供电	–	1.71	2.60	mA
I_{DD6}	供电电流, $IMO = 6$ MHz	条件为: $V_{DD} \leq 3.0$ V、 $T_A = 25$ °C、 $CPU = 6$ MHz。CapSense 在 6 MHz 的频率下运行, 不给任何 I/O 供电	–	1.16	1.80	mA
I_{SB0} [41、42、43、44]	深度睡眠电流	$V_{DD} \leq 3.0$ V、 $T_A = 25$ °C、I/O 电压调节器关闭	–	0.10	1.1	μ A
I_{SB1} [41、42、43、44]	使能了 POR、LVD 和睡眠定时器的待机电流	$V_{DD} \leq 3.0$ V、 $T_A = 25$ °C、I/O 电压调节器关闭	–	1.07	1.50	μ A
I_{SB12C} [41、42、43、44]	使能了 I ² C 的待机电流	条件为: $V_{DD} = 3.3$ V、 $T_A = 25$ °C、 $CPU = 24$ MHz	–	1.64	–	μ A

注释:

38. 当 V_{DD} 电压保持在 1.71 V 到 1.9 V 范围内的时间超过 50 μ s 时, 从 1.71 V 到 1.9 V 范围移到 2 V 以上的压摆率必须慢于 1 V/500 μ s, 以避免触发 POR。除此之外, 其他所有电压范围或跳变的压摆率仅受 SR_{POWER_UP} 参数的限制。
39. 如果在待机睡眠模式中断电, 要正确检测并从 V_{DD} 掉电条件下恢复, 必须执行以下操作:
 - a. 断电前, 将器件从睡眠模式唤醒。
 - b. 确保在重新上电前, V_{DD} 小于 100 mV。
 - c. 设置 OSC_CR0 寄存器中的 No Buzz 位, 以在睡眠模式中保持为电压监控电路供电。
 - d. 提高间歇性蜂鸣器的速率, 以确保能够捕获 V_{DD} 的下降沿。通过 SLP_CFG 寄存器中的 PSSDC 位来配置该速率。有关参考寄存器的信息, 请查看技术参考手册。在深度睡眠 / 待机睡眠模式中, 额外低电压监控电路支持检测 V_{DD} 掉电条件并在沿速率慢于 1 V/ms 且 V_{DD} 小于 1.1 V 时复位器件。
40. 为了确保 CapSense 模块的正常功能, 如果 V_{DD} 的下降电压超过 V_{DD} 基本电压的 5%, 则 V_{DD} 的下降速度不能超过 200 mV/s。 V_{DD} 基本电压介于 1.8 V 到 5.5 V 之间。
41. **勘误表:** 当通过设置寄存器 0 (PT0_CFG, 地址为 B0h) 的位 1 在单触发模式中使用可编程定时器 0, 和使用定时器中断将器件从睡眠模式中唤醒时, 中断服务子程序 (ISR) 可能被执行两次。更多有关信息, 请参阅第 37 页上的勘误表。
42. **勘误表:** 在睡眠模式中, 如果同时发生 GPIO 中断和定时器 0 或睡眠定时器中断, 可能将错过 GPIO 中断, 并且不执行相应的 GPIO ISR。更多有关信息, 请参阅第 37 页上的勘误表。
43. **勘误表:** 如果在固件要求器件进入睡眠模式前的很短时间 (2.5 CPU 周期内) 生成了一个中断, 该中断将被错过。更多有关信息, 请参阅第 37 页上的勘误表。
44. **勘误表:** 触发模拟中断时, 器件从睡眠中唤醒。更多有关信息, 请参阅第 37 页上的勘误表。

直流 GPIO 规范

下面各表分别列出了在以下电压和温度范围内的最大和最小规范：3.0 V 到 5.5 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、2.4 V 到 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、或 1.71 V 到 2.4 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的条件，这些参数仅供设计指南使用。

表 10. 3.0 V 到 5.5 V 直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻	—	4	5.60	8	kΩ
V _{OH1}	端口 2 或 3 引脚上的输出高电平电压	I _{OH} ≤ 10 μA，所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.20	—	—	V
V _{OH2}	端口 2 或 3 引脚上的输出高电平电压	I _{OH} = 1 mA，所有 I/O 的最大拉电流为 20 mA	V _{DD} - 0.90	—	—	V
V _{OH3}	端口 0 或 1 引脚上的输出高电平电压，已禁用端口 1 的 LDO 电压调节器	I _{OH} < 10 μA，所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.20	—	—	V
V _{OH4}	端口 0 或 1 引脚上的输出高电平电压，已禁用端口 1 的 LDO 电压调节器	I _{OH} = 5 mA，所有 I/O 的最大拉电流为 20 mA	V _{DD} - 0.90	—	—	V
V _{OH5}	端口 1 引脚上的输出高电平电压，已使能 3 V 输出的 LDO 电压调节器	I _{OH} < 10 μA，V _{DD} > 3.1 V，最多 4 个 I/O，均供 5 mA 的拉电流	2.85	3.00	3.30	V
V _{OH6}	端口 1 引脚上的输出高电平电压，已使能 3 V 输出的 LDO 电压调节器	I _{OH} = 5 mA，V _{DD} > 3.1 V，所有 I/O 的最大拉电流为 20 mA	2.20	—	—	V
V _{OH7}	端口 1 引脚上的输出高电平电压，已使能 2.5 V 输出的 LDO	I _{OH} < 10 μA，V _{DD} > 2.7 V，所有 I/O 的最大拉电流为 20 mA	2.35	2.50	2.75	V
V _{OH8}	端口 1 引脚上的输出高电平电压，已使能 2.5 V 输出的 LDO	I _{OH} = 2 mA，V _{DD} > 2.7 V，所有 I/O 的最大拉电流为 20 mA	1.90	—	—	V
V _{OH9}	端口 1 引脚上的输出高电平电压，已使能 1.8 V 输出的 LDO	I _{OH} < 10 μA，V _{DD} > 2.7 V，所有 I/O 的最大拉电流为 20 mA	1.60	1.80	2.10	V
V _{OH10}	端口 1 引脚上的输出高电平电压，已使能 1.8 V 输出的 LDO	I _{OH} = 1 mA，V _{DD} > 2.7 V，所有 I/O 的最大拉电流为 20 mA	1.20	—	—	V
V _{OL}	输出低电压	I _{OL} = 25 mA，V _{DD} > 3.3 V，偶数端口引脚（例如，P0[2] 和 P1[4]）的最大灌电流为 60 mA，奇数端口引脚（例如，P0[3] 和 P1[5]）的最大灌电流为 60 mA	—	—	0.75	V
V _{IL}	输入低电压	—	—	—	0.80	V
V _{IH}	输入高电压	—	V _{DD} × 0.65	—	V _{DD} + 0.7	V
V _H	输入迟滞电压	—	—	80	—	mV
I _{IL}	输入漏电流（绝对值）	—	—	0.001	1	μA
C _{PIN}	引脚电容	取决于封装和引脚，温度 = 25 °C	0.50	1.70	7	pF
V _{ILLVT3.3}	已使能低阈值的输入低电压，针对端口 1 使能 ^[45]	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	0.8	V	—	—
V _{IHLVT3.3}	已使能低阈值的输入高电压，针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	1.4	—	—	V
V _{ILLVT5.5}	已使能低阈值的输入低电压，针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	0.8	V	—	—
V _{IHLVT5.5}	已使能低阈值的输入高电压，针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	1.7	—	—	V

注释：

45. 勘误表：端口 1 引脚上的上拉电阻不能与比 CY8C20xx7/S VDD 大 0.7 V 的电压相连接。更多有关信息，请参阅第 37 页上的勘误表中的 #7 项目。

表 11. 2.4 V 到 3.0 V 直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻	-	4	5.60	8	kΩ
V _{OH1}	端口 2 或 3 引脚上的输出高电平电压	I _{OH} < 10 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.20	-	-	V
V _{OH2}	端口 2 或 3 引脚上的输出高电平电压	I _{OH} = 0.2 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.40	-	-	V
V _{OH3}	端口 0 或 1 引脚上的输出高电平电压, 已禁用端口 1 的 LDO 电压调节器	I _{OH} < 10 mA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.20	-	-	V
V _{OH4}	端口 0 或 1 引脚上的输出高电平电压, 已禁用端口 1 的 LDO 电压调节器	I _{OH} = 2 mA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.50	-	-	V
V _{OH5A}	端口 1 引脚上的输出高电平电压, 已使能 1.8 V 输出的 LDO	I _{OH} < 10 μA, V _{DD} > 2.4 V, 所有 I/O 的最大拉电流为 20 mA	1.50	1.80	2.10	V
V _{OH6A}	端口 1 引脚上的输出高电平电压, 已使能 1.8 V 输出的 LDO	I _{OH} = 1 mA, V _{DD} > 2.4 V, 所有 I/O 的最大拉电流为 20 mA	1.20	-	-	V
V _{OL}	输出低电压	I _{OL} = 10 mA, 偶数端口引脚 (例如, P0[2] 和 P1[4]) 的最大灌电流为 30 mA; 奇数端口引脚 (例如 P0[3] 和 P1[5]) 的最大灌电流为 30 mA	-	-	0.75	V
V _{IL}	输入低电压	-	-	-	0.72	V
V _{IH}	输入高电压	-	V _{DD} × 0.65	-	V _{DD} + 0.7	V
V _H	输入迟滞电压	-	-	80	-	mV
I _{IL}	输入漏电流 (绝对值)	-	-	1	1000	nA
C _{PIN}	引脚上的电容负载	取决于封装和引脚温度 = 25 °C	0.50	1.70	7	pF
V _{ILLVT2.5}	已使能低阈值的输入低电压, 针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	0.7	V	-	
V _{IHLVT2.5}	已使能低阈值的输入高电压, 针对端口 1 使能	IO_CFG1 的位 3 设置为使能端口 1 输入的低阈值电压	1.2		-	V

表 12. 1.71 V 到 2.4 V 直流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻	-	4	5.60	8	kΩ
V _{OH1}	端口 2 或 3 引脚上的输出高电平电压	I _{OH} = 10 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.20	-	-	V
V _{OH2}	端口 2 或 3 引脚上的输出高电平电压	I _{OH} = 0.5 mA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.50	-	-	V
V _{OH3}	端口 0 或 1 引脚上的输出高电平电压, 已禁用端口 1 的 LDO 电压调节器	I _{OH} = 100 μA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.20	-	-	V
V _{OH4}	端口 0 或 1 引脚上的输出高电平电压, 已禁用端口 1 的 LDO 电压调节器	I _{OH} = 2 mA, 所有 I/O 的最大拉电流为 10 mA	V _{DD} - 0.50	-	-	V
V _{OL}	输出低电压	I _{OL} = 5 mA, 偶数端口引脚 (例如, P0[2] 和 P1[4]) 的最大灌电流为 20 mA, 奇数端口引脚 (例如, P0[3] 和 P1[5]) 的最大灌电流为 30 mA	-	-	0.40	V
V _{IL}	输入低电压	-	-	-	0.30 × V _{DD}	V
V _{IH}	输入高电压	-	0.65 × V _{DD}	-	-	V
V _H	输入迟滞电压	-	-	80	-	mV

表 12. 1.71 V 到 2.4 V 直流 GPIO 规范 (续)

符号	说明	条件	最小值	典型值	最大值	单位
I_{IL}	输入漏电流 (绝对值)	–	–	1	1000	nA
C_{PIN}	引脚上的电容负载	取决于封装和引脚 温度 = 25 °C	0.50	1.70	7	pF

表 13. GPIO 灌电流和拉电流规范

供电电压	模式	端口 0/1 的每个 I/O (最大值)	端口 2/3/4 的每个 I/O (最大值)	整数引脚的总电流 (最大值)	奇数引脚的总电流 (最大值)	单位
1.71–2.4	灌电流	5	5	20	30	mA
	拉电流	2	0.5	10 ^[46]		mA
2.4–3.0	灌电流	10	10	30	30	mA
	拉电流	2	0.2	10 ^[46]		mA
3.0–5.0	灌电流	25	25	60	60	mA
	拉电流	5	1	20 ^[46]		mA

直流模拟复用器总线规范

表 14 列出了在整个电压和温度范围内的最大和最小规范。

表 14. 直流模拟复用器总线规范

符号	说明	条件	最小值	典型值	最大值	单位
R_{SW}	连接到通用模拟总线的开关电阻	–	–	–	800	Ω
R_{GND}	连接到 V_{SS} 的初始化开关电阻	–	–	–	800	Ω

用于测量 R_{SW} 和 R_{GND} 的最大引脚电压为 1.8 V

直流低功耗比较器规范

表 15 列出了在整个电压和温度范围内的最大和最小规范。

表 15. 直流比较器规范

符号	说明	条件	最小值	典型值	最大值	单位
V_{LPC}	低功耗比较器 (LPC) 通用模式	最大电压由 V_{DD} 限制	0.2	–	1.8	V
I_{LPC}	LPC 供电电流	–	–	10	80	μA
V_{OSLPC}	LPC 电压偏移	–	–	2.5	30	mV

注释:

46. 总电流 (奇数 + 偶数端口)

比较器用户模块的电气规范

表 16 列出了最大和最小规范。除非另有声明，否则这些规范适用于整个器件电压和温度工作范围： $-40^{\circ}\text{C} \leq \text{TA} \leq 85^{\circ}\text{C}$ 和 $11.71\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$ 。

表 16. 比较器用户模块电气规范

符号	说明	条件	最小值	典型值	最大值	单位
T_{COMP}	比较器响应时间	50 mV 过驱动	–	70	100	ns
偏移	–	有效范围为 0.2 V 到 1.5 V	–	2.5	30	mV
电流	–	平均直流电流, 50 mV 过驱动	–	20	80	μA
PSRR	供电电压 > 2 V	电源抑制比	–	80	–	dB
	供电电压 < 2 V	电源抑制比	–	40	–	dB
输入范围	–	–	0.2	–	1.5	V

ADC 电气规范
表 17. ADC 用户模块电气规范

符号	说明	条件	最小值	典型值	最大值	单位
输入						
V_{IN}	输入电压范围	–	0	–	V_{REFADC}	V
C_{IIN}	输入电容	–	–	–	5	pF
R_{IN}	输入电阻	8 位、9 位或 10 位分辨率的等效开关电容输入电阻	$1/(500\text{fF} \times \text{数据时钟})$	$1/(400\text{fF} \times \text{数据时钟})$	$1/(300\text{fF} \times \text{数据时钟})$	Ω
参考值						
V_{REFADC}	ADC 参考电压	–	1.14	–	1.26	V
转换速率						
F_{CLK}	数据时钟	该时钟的源是芯片内部主振荡器。有关精度的信息，请参考第 21 页上的交流芯片级规范	2.25	–	6	MHz
S8	8 位采样率	数据时钟设置为 6 MHz。 采样率 = $0.001/ (2^{\wedge} \text{分辨率} / \text{数据时钟})$	–	23.43	–	ksps
S10	10 位采样率	数据时钟设置为 6 MHz。 采样率 = $0.001/ (2^{\wedge} \text{分辨率} / \text{数据时钟})$	–	5.85	–	ksps
直流精度						
RES	分辨率	可设置为 8、9 或 10 位	8	–	10	位
DNL	微分非线性	–	–1	–	+2	LSB
INL	积分非线性	–	–2	–	+2	LSB
E_{OFFSET}	偏移误差	8 位分辨率	0	3.20	19.20	LSB
		10 位分辨率	0	12.80	76.80	LSB
E_{GAIN}	增益误差	适用于任何分辨率	–5	–	+5	%FSR
电源						
I_{ADC}	工作电流	–	–	2.10	2.60	mA
PSRR	电源抑制比	PSRR ($V_{\text{DD}} > 3.0\text{ V}$)	–	24	–	dB
		PSRR ($V_{\text{DD}} < 3.0\text{ V}$)	–	30	–	dB

直流 POR 和 LVD 规范

表 18 列出了在整个电压和温度范围内的最大和最小规范。

表 18. 直流 POR 和 LVD 规范

符号	说明	条件	最小值	典型值	最大值	单位
V _{POR0}	在 PSoC Designer 中选定 1.66 V	在启动、从 XRES 引脚复位或从看门狗复位的过程中，V _{DD} 必须大于或等于 1.71 V。	1.61	1.66	1.71	V
V _{POR1}	在 PSoC Designer 中选定 2.36 V		–	2.36	2.41	V
V _{POR2}	在 PSoC Designer 中选定 2.60 V		–	2.60	2.66	V
V _{POR3}	在 PSoC Designer 中选定 2.82 V		–	2.82	2.95	V
V _{LVD0}	在 PSoC Designer 中选定 2.45 V	–	2.40	2.45	2.51	V
V _{LVD1}	在 PSoC Designer 中选定 2.71 V		2.64 ^[47]	2.71	2.78	V
V _{LVD2}	在 PSoC Designer 中选定 2.92 V		2.85 ^[48]	2.92	2.99	V
V _{LVD3}	在 PSoC Designer 中选定 3.02 V		2.95 ^[49]	3.02	3.09	V
V _{LVD4}	在 PSoC Designer 中选定 3.13 V		3.06	3.13	3.20	V
V _{LVD5}	在 PSoC Designer 中选定 1.90 V		1.84	1.90	2.32	V
V _{LVD6}	在 PSoC Designer 中选定 1.80 V		1.75 ^[50]	1.80	1.84	V
V _{LVD7}	在 PSoC Designer 中选定 4.73 V		4.62	4.73	4.83	V

直编程规范

表 19 列出了在整个电压和温度范围内的最大和最小规范。

表 19. 直编程规范

符号	说明	条件	最小值	典型值	最大值	单位
V _{DDIWRITE}	闪存写操作的供电电压	–	1.71	–	5.25	V
I _{DDP}	编程或验证期间的供电电流	–	–	5	25	mA
V _{ILP}	编程或验证期间的输入低电压	请参见相关的第 15 页上的直流 GPIO 规范	–	–	V _{IL}	V
V _{IHP}	编程或验证期间的输入高电压	请参见相关的第 15 页上的直流 GPIO 规范	V _{IH}	–	–	V
I _{ILP}	编程或验证期间中在 P1[0] 或 P1[1] 上使用 V _{ILP} 电压时的输入电流	驱动内部下拉电阻	–	–	0.2	mA
I _{IHP}	编程或验证期间中在 P1[0] 或 P1[1] 上使用 V _{IHP} 电压时的输入电流	驱动内部下拉电阻	–	–	1.5	mA
V _{OLP}	编程或验证期间的输出低电压	–	–	–	V _{SS} + 0.75	V
V _{OHP}	编程或验证期间的输出高电压	请参见相关的第 15 页上的直流 GPIO 规范。V _{DD} > 3 V 时，请使用第 15 页上的表 10 中的 V _{OH4} 。	V _{OH}	–	V _{DD}	V
Flash _{ENPB}	闪存写入次数	每一模块的擦 / 写次数	50,000	–	–	–
Flash _{DR}	闪存数据保持	遵循最大闪存写入次数；环境温度为 55 °C	20	–	–	年

注释：

- 47. 对于下降的供电电压，应始终保持比 V_{PPOR1} 电压高 50 mV。
- 48. 对于下降的供电电压，应始终保持比 V_{PPOR2} 电压高 50 mV。
- 49. 对于下降的供电电压，应始终保持比 V_{PPOR3} 电压高 50 mV。
- 50. 对于下降的供电电压，应始终保持比 V_{PPOR0} 电压高 50 mV。

直流 I²C 规范

表 20 分别列出了在以下电压和温度范围内的最大和最小规范：3.0 V 到 5.5 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、2.4 V 到 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、或 1.71 V 到 2.4 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 和 3.3 V 的条件，这些参数仅供设计指南使用。

表 20. 直流 I²C 规范^[51]

符号	说明	条件	最小值	典型值	最大值	单位
V _{ILI2C}	输入低电平	$3.1\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	$0.25 \times V_{DD}$	V
		$2.5\text{ V} \leq V_{DD} \leq 3.0\text{ V}$	–	–	$0.3 \times V_{DD}$	V
		$1.71\text{ V} \leq V_{DD} \leq 2.4\text{ V}$	–	–	$0.3 \times V_{DD}$	V
V _{IHI2C}	输入高电平	$1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$0.65 \times V_{DD}$	–	$V_{DD} + 0.7\text{ V}^{[52]}$	V

屏蔽驱动器直流规范

表 21 分别列出了在以下电压和温度范围内的最大和最小规范：3.0 V 到 5.5 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、2.4 V 到 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、或 1.71 V 到 2.4 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 和 3.3 V 的条件，这些参数仅供设计指南使用。

表 21. 屏蔽驱动器直流规范

符号	说明	条件	最小值	典型值	最大值	单位
V _{Ref}	参考缓冲器输出	$1.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.942	–	1.106	V
V _{RefHi}	参考缓冲器输出	$1.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.104	–	1.296	V

直流 IDAC 规范

表 22 列出了在整个电压和温度范围内的最大和最小规范。

表 22. 直流 IDAC 规范（8 位 IDAC）

符号	说明	最小值	典型值	最大值	单位	注意
IDAC_DNL	微分非线性	–1	–	1	LSB	–
IDAC_DNL	积分非线性	–2	–	2	LSB	–
IDAC_Current	范围 = 4x	138	–	169	μA	DAC 设置 = 127 dec
	范围 = 8x	138	–	169	μA	DAC 设置 = 64 dec

表 23. 直流 IDAC 规范（7 位 IDAC）

符号	说明	最小值	典型值	最大值	单位	注意
IDAC_DNL	微分非线性	–1	–	1	LSB	–
IDAC_DNL	积分非线性	–2	–	2	LSB	–
IDAC_Current	范围 = 4x	137	–	168	μA	DAC 设置 = 127 dec
	范围 = 8x	138	–	169	μA	DAC 设置 = 64 dec

注释：

51. 勘误表：I2C 接口上的上拉电阻不能与比 CY8C20xx7/S 供电电压大 0.7 V 的电压相连。更多有关信息，请参阅第 37 页上的勘误表中的 #6 项目。

52. 勘误表：更多有关信息，请参考第 37 页上的勘误表中的 #6 项目。

交流芯片级规范

表 24 列出了在整个电压和温度范围内的最大和最小规范。

表 24. 交流芯片级规范

符号	说明	条件	最小值	典型值	最大值	单位
F _{IMO24}	IMO 频率设置为 24 MHz	–	22.8	24	25.2	MHz
F _{IMO12}	IMO 频率设置为 12 MHz	–	11.4	12	12.6	MHz
F _{IMO6}	IMO 频率设置为 6 MHz	–	5.7	6.0	6.3	MHz
F _{CPU}	CPU 频率	–	0.75	–	25.20	MHz
F _{32K1}	ILO 频率	–	15	32	50	kHz
F _{32K_U}	ILO 的未调整频率	–	–	32	–	kHz
DC _{IMO}	IMO 的占空比	–	40	50	60	%
DC _{ILO}	ILO 的占空比	–	40	50	60	%
SR _{POWER_UP}	电源压摆率	上电期间的 V _{DD} 压摆率	–	–	250	V/ms
t _{XRST}	上电时的外部复位脉宽	供电电压有效后	1	–	–	ms
t _{XRST2}	上电后的外部复位脉宽 ^[53]	在器件启动后使用	10	–	–	ms
t _{JIT_IMO} ^[54]	6 MHz IMO 周期间抖动 (RMS)	–	–	0.7	6.7	ns
	6 MHz IMO 长期 N 周期间抖动 (RMS) ; N = 32	–	–	4.3	29.3	ns
	6 MHz IMO 时间抖动 (RMS)	–	–	0.7	3.3	ns
	12 MHz IMO 周期间抖动 (RMS)	–	–	0.5	5.2	ns
	12 MHz IMO 长期 N 周期间抖动 (RMS) ; N = 32	–	–	2.3	5.6	ns
	12 MHz IMO 时间抖动 (RMS)	–	–	0.4	2.6	ns
	24 MHz IMO 周期间抖动 (RMS)	–	–	1.0	8.7	ns
	24 MHz IMO 长期 N 周期间抖动 (RMS) ; N = 32	–	–	1.4	6.0	ns
	24 MHz IMO 时间抖动 (RMS)	–	–	0.6	4.0	ns

注释:

53. 编程器件时, XRES 脉冲所需的最低长度会变长 (请参见第 23 页上的表 28)。

54. 更多有关信息, 请参考赛普拉斯抖动规范应用笔记, 了解赛普拉斯时序产品数据手册的抖动规范 — AN5054。

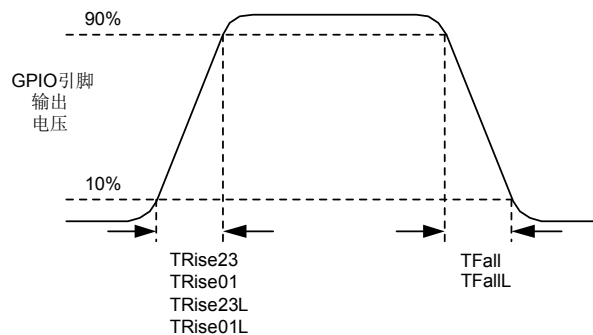
交流通用 I/O 规范

表 25 列出了在整个电压和温度范围内的最大和最小规范。

表 25. 交流 GPIO 规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{GPIO}	GPIO 工作频率	端口 0、1 处于正常强驱动模式，	0	–	$1.71\text{ V} < V_{DD} < 2.40\text{ V}$ 时频率为 6 MHz.	MHz
			0	–	$2.40\text{ V} < V_{DD} < 5.50\text{ V}$ 时频率为 12 MHz	MHz
t_{RISE23}	上升时间，强驱动模式， Clload = 50 pF，端口 2 或 3	$V_{DD} = 3.0$ 到 3.6 V ，10% 到 90%	15	–	80	ns
$t_{RISE23L}$	上升时间，强驱动模式低电源， Clload = 50 pF，端口 2 或 3	$V_{DD} = 1.71$ 到 3.0 V ，10% 到 90%	15	–	80	ns
t_{RISE01}	上升时间，强驱动模式， Clload = 50 pF，端口 0 或 1	$V_{DD} = 3.0$ 到 3.6 V ，10% 到 90% LDO 使能或禁用	10	–	50	ns
$t_{RISE01L}$	上升时间，强驱动模式低电源， Clload = 50 pF，端口 0 或 1	$V_{DD} = 1.71$ 到 3.0 V ，10% 到 90% LDO 使能或禁用	10	–	80	ns
t_{FALL}	下降时间，强驱动模式， Clload = 50 pF，所有端口	$V_{DD} = 3.0$ 到 3.6 V ，10% 到 90%	10	–	50	ns
t_{FALLL}	下降时间，强驱动模式低电源， Clload = 50 pF，所有端口	$V_{DD} = 1.71$ 到 3.0 V ，10% 到 90%	10	–	70	ns

图 9. GPIO 时序图



交流比较器规范

表 26 列出了在整个电压和温度范围内的最大和最小规范。

表 26. 交流低功耗比较器规范

符号	说明	条件	最小值	典型值	最大值	单位
t_{LPC}	比较器响应时间，50 mV 过驱动	50 mV 过驱动不包括偏移电压。	–	–	100	ns

交流外部时钟规范

表 27 列出了在整个电压和温度范围内的最大和最小规范。

表 27. 交流外部时钟规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{OSCEXT}	频率（外部振荡器频率）	–	0.75	–	25.20	MHz
	高电平周期	–	20.60	–	5300	ns
	低电平周期	–	20.60	–	–	ns
	从 IMO 上电到切换的时间	–	150	–	–	μs

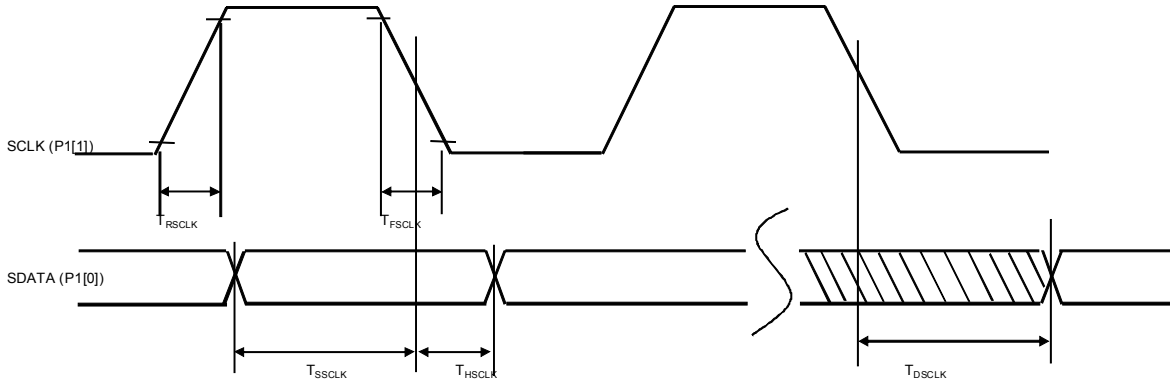
交流编程规范
图 10. 交流波形


表 28 列出了在整个电压和温度范围内的最大和最小规范。

表 28. 交流编程规范

符号	说明	条件	最小值	典型值	最大值	单位
t_{RSCLK}	SCLK 的上升时间	—	1	—	20	ns
t_{FSCLK}	SCLK 的下降时间	—	1	—	20	ns
t_{SSCLK}	从数据建立到 SCLK 下降沿的时间	—	40	—	—	ns
t_{HSCLK}	SCLK 下降沿后的数据保持时间	—	40	—	—	ns
F_{SCLK}	SCLK 的频率	—	0	—	8	MHz
t_{ERASEB}	闪存擦除时间 (模块)	—	—	—	18	ms
t_{WRITE}	闪存模块写入时间	—	—	—	25	ms
t_{DSCLK}	SCLK 下降沿后的数据输出延迟时间	$3.6 < V_{DD}$	—	—	60	ns
t_{DSCLK3}	SCLK 下降沿后的数据输出延迟时间	$3.0 \leq V_{DD} \leq 3.6$	—	—	85	ns
t_{DSCLK2}	SCLK 下降沿后的数据输出延迟时间	$1.71 \leq V_{DD} \leq 3.0$	—	—	130	ns
t_{XRST3}	上电后的外部复位脉宽	退出睡眠模式时需要进入编程模式	300	—	—	μ s
t_{XRES}	XRES 脉冲长度	—	300	—	—	μ s
$t_{VDDWAIT}^{[55]}$	从 V_{DD} 稳定到等待和轮询信号关闭的时间	—	0.1	—	1	ms
$t_{VDDXRES}^{[55]}$	从 V_{DD} 稳定到 XRES 激活的延迟时间	—	14.27	—	—	ms
t_{POLL}	SDAT 高脉冲冲时间	—	0.01	—	200	ms
$t_{ACQ}^{[55]}$	基于 256 个 ILO 时钟周期, V_{DD} 上升事件后的“关键窗口”时间。	—	3.20	—	19.60	ms
$t_{XRESINI}^{[55]}$	基于 8 个 ILO 时钟周期, XRES 事件后的“关键窗口”时间。	—	98	—	615	μ s

注释:

55. 有效范围为 5 到 50 °C。更多信息, 请查阅 CY8C20X66、CY8C20X46、CY8C20X36、CY7C643XX、CY7C604XX、CY8CTST2XX、CY8CTMG2XX、CY8C20X67、CY8C20X47、CY8C20X37 的编程规范。

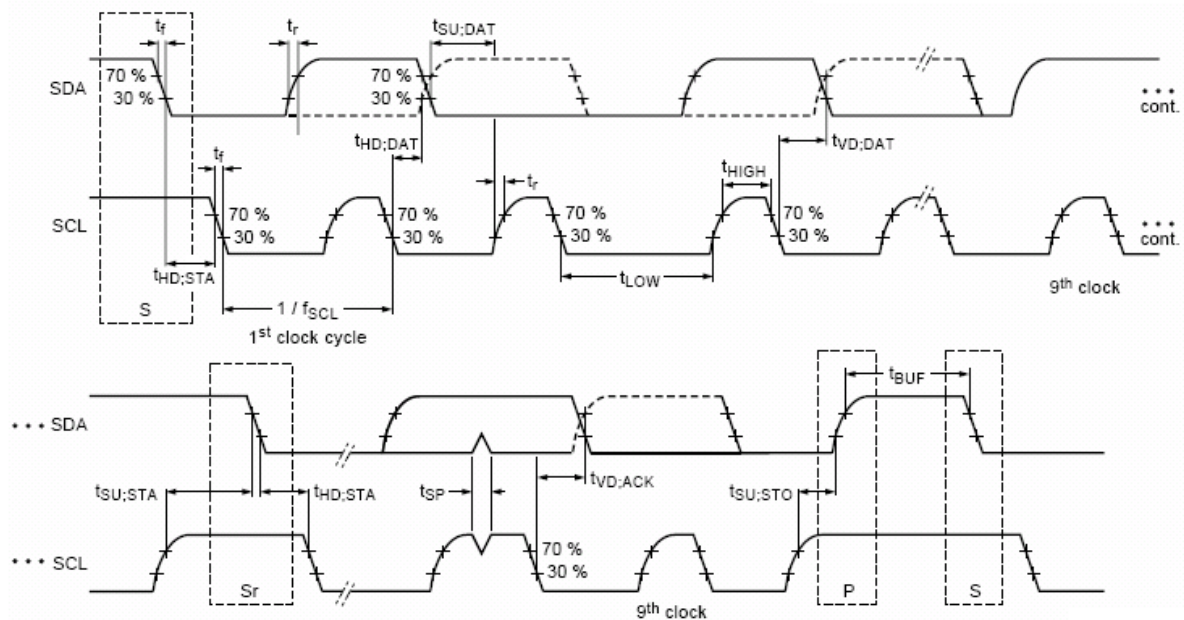
交流 I²C 规范

表 29 列出了在整个电压和温度范围内的最大和最小规范。

表 29. I²C SDA 和 SCL 引脚的交流特性

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
f _{SCL}	SCL 时钟频率	0	100	0	400	kHz
t _{HD;STA}	(重复) 启动条件的保持时间。经过此时间后, 会生成第一个时钟脉冲	4.0	–	0.6	–	µs
t _{LOW}	SCL 时钟为低电平的时间	4.7	–	1.3	–	µs
t _{HIGH}	SCL 时钟为高电平的时间	4.0	–	0.6	–	µs
t _{SU;STA}	重复启动条件的建立时间	4.7	–	0.6	–	µs
t _{HD;DAT} ^[56]	数据保持时间	20	3.45	20	0.90	µs
t _{SU;DAT}	数据建立时间	250	–	100 ^[57]	–	ns
t _{SU;STO}	停止条件的建立时间	4.0	–	0.6	–	µs
t _{BUF}	停止和启动条件之间的总线空闲时间	4.7	–	1.3	–	µs
t _{SP}	输入滤波器抑制的尖峰脉宽	–	–	0	50	ns

图 11. I²C 总线在快速 / 标准模式中的时序定义



注释:

- 56. 勘误表: 如要在发生 I²C 硬件地址匹配事件时从睡眠模式中唤醒, I²C 接口需要 SDA 线上具有与 SCL 下降沿相对应的 20 ns 保持时间。更多有关信息, 请参阅第 37 页上的勘误表中的 #5 项目。
- 57. 快速模式 I²C 总线器件可以用于标准模式 I²C 总线系统, 但必须满足 t_{SU;DAT} ≥ 250 ns 的要求。如果器件没有延长 SCL 信号的低电平时间, 这种情况会自动发生。如果器件延长 SCL 信号的低电平时间, 则它必须在 SCL 线路被释放之前 t_{rmax} + t_{SU;DAT} = 1000 + 250 = 1250 ns 时间 (根据标准模式 I²C 总线规范) 将下一个数据位输出到 SDA 线路。

表 30. SPI 主设备交流规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{SCLK}	SCLK 时钟频率	$V_{DD} \geq 2.4\text{ V}$ $V_{DD} < 2.4\text{ V}$	– –	– –	6 3	MHz MHz
DC	SCLK 占空比	–	–	50	–	%
t_{SETUP}	从 MISO 到 SCLK 的建立时间	$V_{DD} \geq 2.4\text{ V}$ $V_{DD} < 2.4\text{ V}$	60 100	– –	– –	ns ns
t_{HOLD}	从 SCLK 到 MISO 的保持时间	–	40	–	–	ns
t_{OUT_VAL}	从 SCLK 到 MOSI 有效的时间	–	–	–	40	ns
t_{OUT_H}	MOSI 为高电平的时间	–	40	–	–	ns

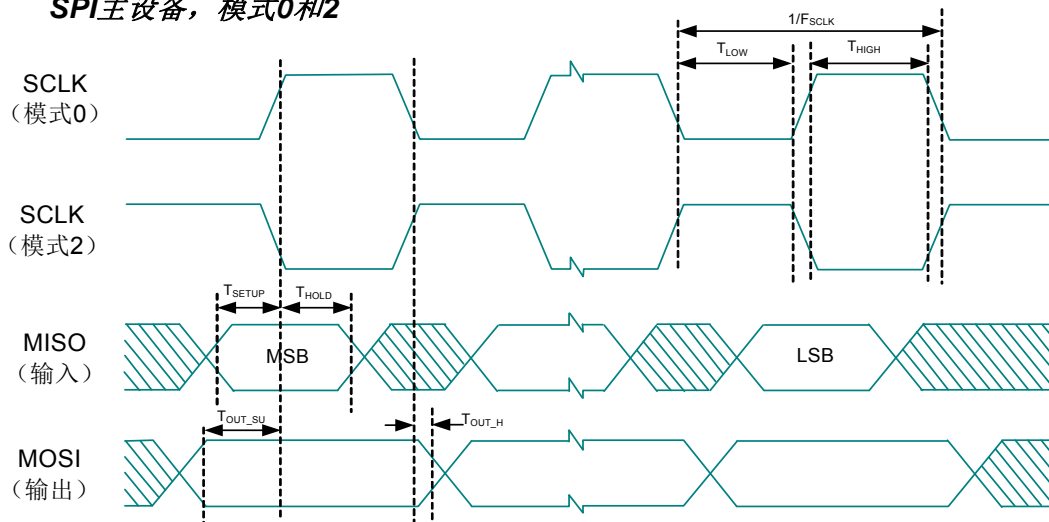
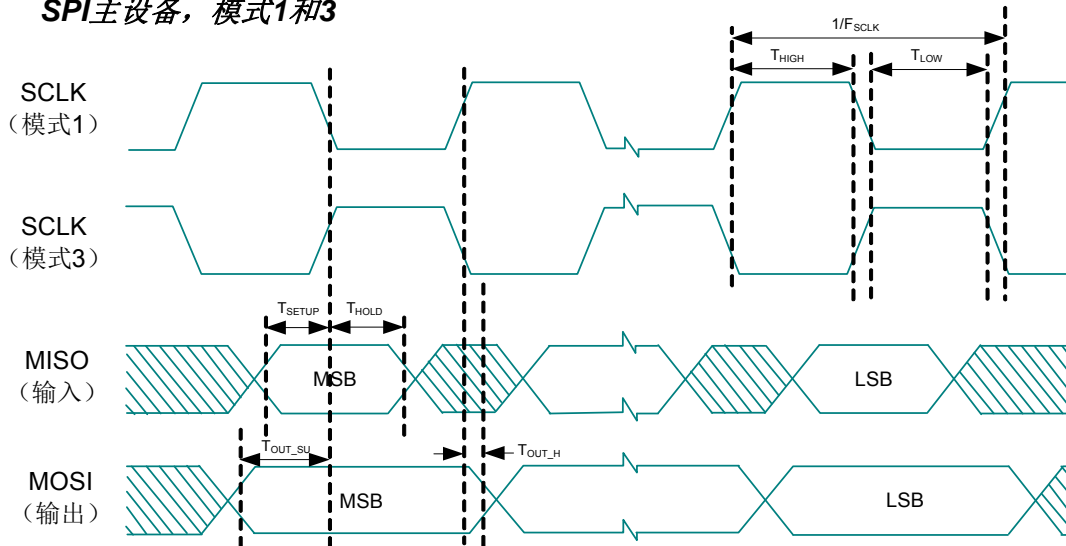
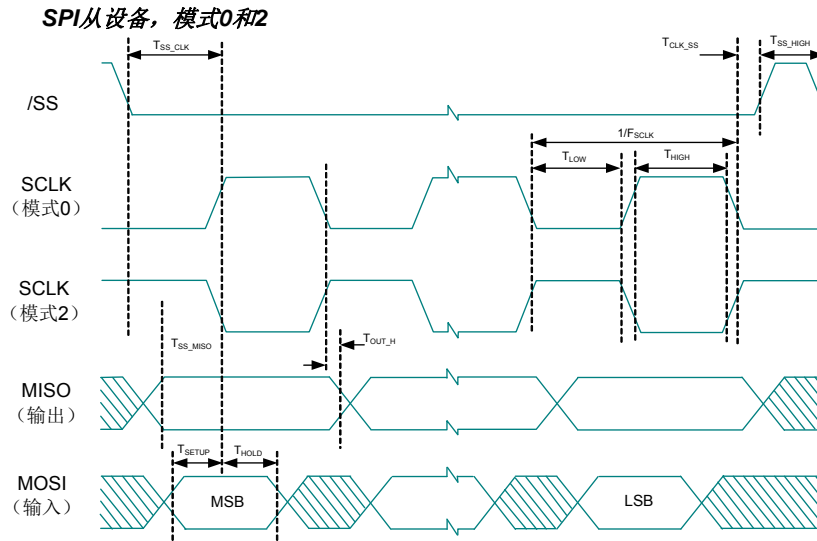
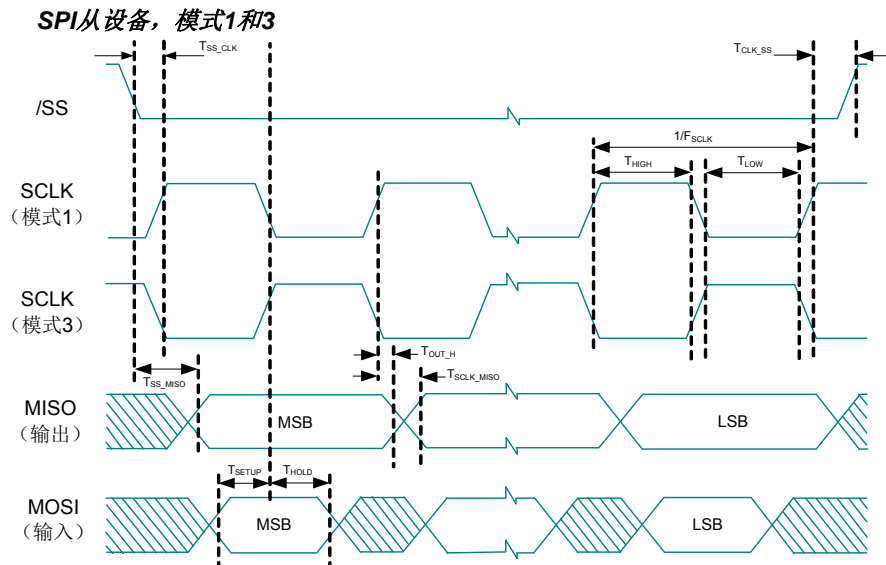
图 12. SPI 主设备模式 0 和 2
SPI 主设备, 模式 0 和 2

图 13. SPI 主设备模式 1 和 3
SPI 主设备, 模式 1 和 3


表 31. SPI 从设备交流规范

符号	说明	条件	最小值	典型值	最大值	单位
F_{SCLK}	SCLK 时钟频率	-	-	-	4	MHz
t_{LOW}	SCLK 为低电平的时间	-	42	-	-	ns
t_{HIGH}	SCLK 为高电平的时间	-	42	-	-	ns
t_{SETUP}	从 MOSI 到 SCLK 的建立时间	-	30	-	-	ns
t_{HOLD}	从 SCLK 到 MOSI 的保持时间	-	50	-	-	ns
t_{SS_MISO}	从 SS 为高电平到 MISO 有效的时间	-	-	-	153	ns
t_{SCLK_MISO}	从 SCLK 到 MISO 有效的时间	-	-	-	125	ns
t_{SS_HIGH}	SS 为高电平的时间	-	50	-	-	ns
t_{SS_CLK}	从 SS 为低电平到第一个 SCLK 的时间	-	2/SCLK	-	-	ns
t_{CLK_SS}	从最后一个 SCLK 到 SS 为高电平的时间	-	2/SCLK	-	-	ns

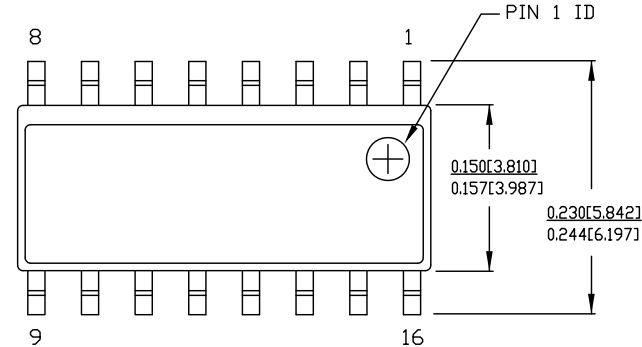
图 14. SPI 从设备模式 0 和 2

图 15. SPI 从设备模式 1 和 3


封装信息

本节介绍了 CY8C20x37/47/67 PSoC 器件的封装规范以及每种封装的热阻。

重要说明: 仿真工具在目标 PCB 上可能需要比芯片封装空间更大的面积。有关仿真工具尺寸的详细说明, 请参考 <http://www.cypress.com/design/MR10161> 上标题为 *PSoC 仿真器转接板尺寸* 的文档。

图 16. 16 引脚 (150 Mil) SOIC



NOTE:

1. DIMENSIONS IN INCHES[MM] **MAX.**
2. REFERENCE JEDEC MS-012
3. PACKAGE WEIGHT : refer to PMDD spec. 001-04308

PART #	
S16.15	STANDARD PKG.
SZ16.15	LEAD FREE PKG.

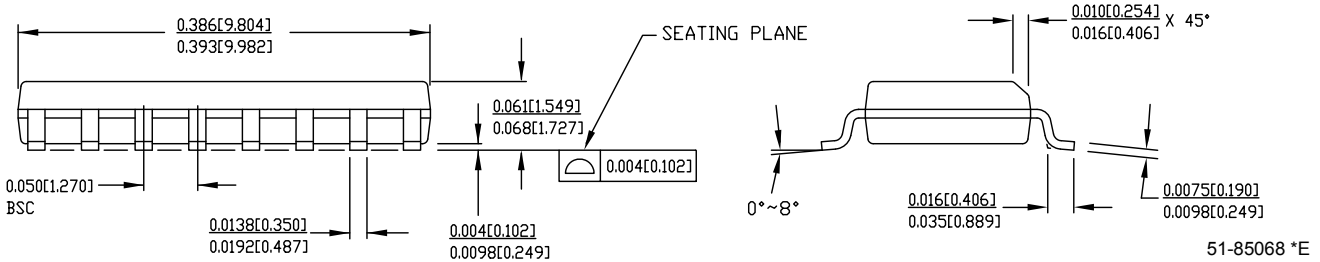
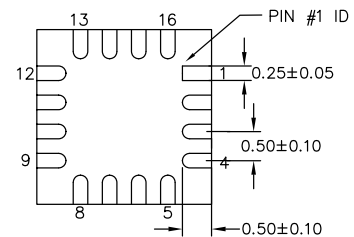
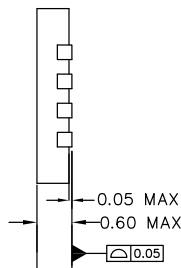
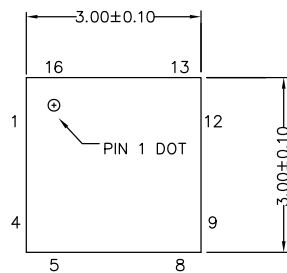


图 17. 16 引脚引线上芯片 (3 x 3 x 0.6 mm) (Sawn) 封装外形, 001-09116

TOP VIEW

SIDE VIEW

BOTTOM VIEW

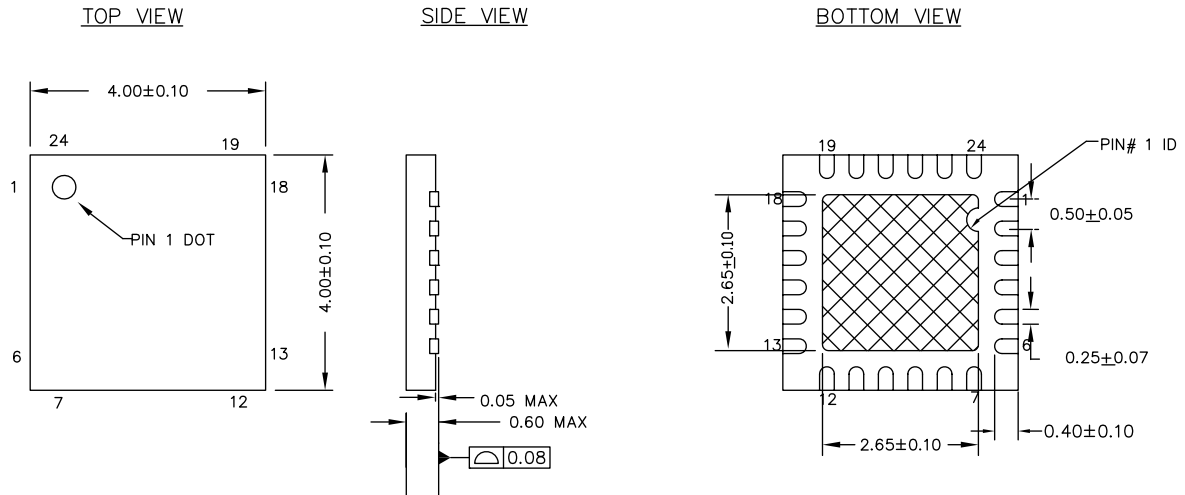


NOTES


1. REFERENCE JEDEC # MO-220
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-09116 *J

图 18. 24 引脚 (4 × 4 × 0.6 mm) QFN

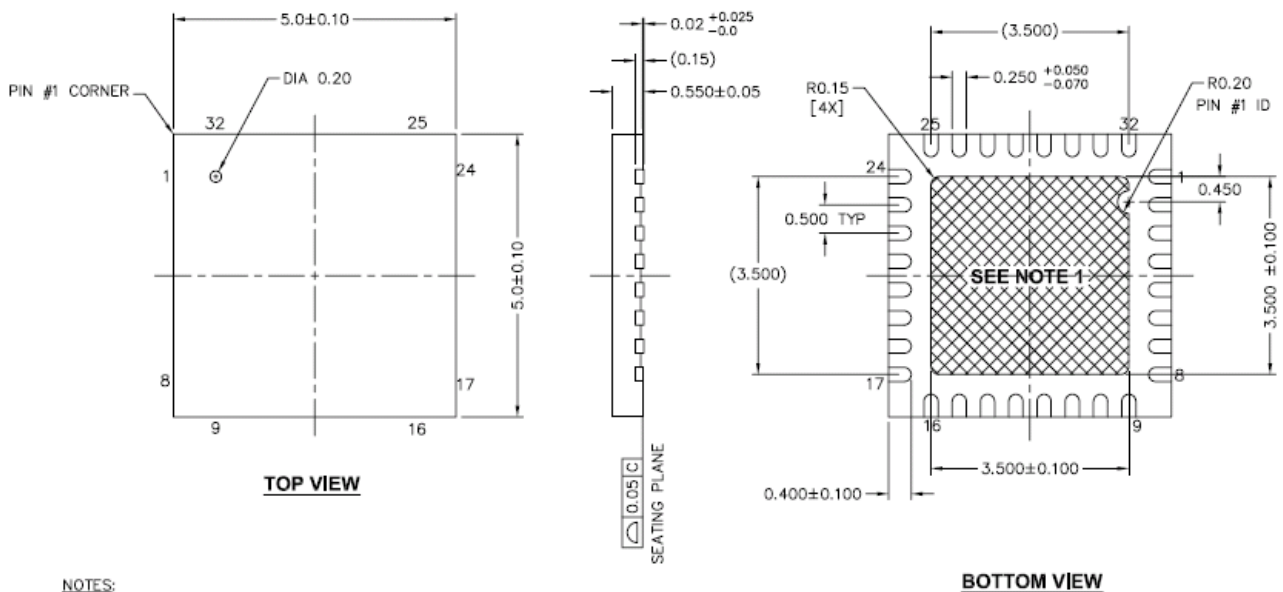


NOTES :


1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *F

图 19. 32 引脚 (5 × 5 × 0.6 mm) QFN

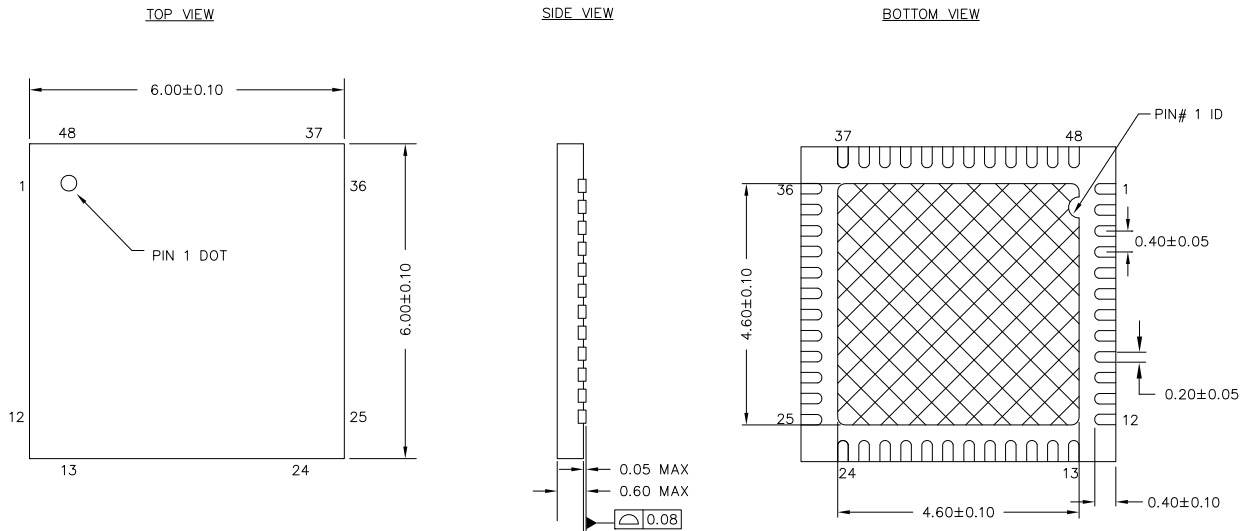


NOTES:


1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-248
3. PACKAGE WEIGHT: 0.0388g
4. DIMENSIONS ARE IN MILLIMETERS

001-42168 *E

图 20. 48 引脚 (6 × 6 × 0.6 mm) QFN



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ± 7 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-57280 *E

重要说明

- 有关安装 QFN 封装的首选尺寸的信息, 请参考 http://www.amkor.com/products/notes_papers/MLFAppNote.pdf 网站上提供的应用笔记。
- 低功耗 PSoC 器件无需使用散热过孔。

热阻
表 32. 各种封装的热阻

封装	典型 θ_{JA} ^[58]
16 引脚 SOIC	95 °C/W
16 引脚 QFN	33 °C/W
24 引脚 QFN ^[59]	21 °C/W
32 引脚 QFN ^[59]	20 °C/W
48 引脚 QFN ^[59]	18 °C/W
30 球 WLCSP	54 °C/W

晶振引脚上的电容
表 33. 晶振引脚上的典型封装电容

封装	封装电容
32 引脚 QFN	3.2 pF
48 引脚 QFN	3.3 pF

回流焊峰值温度

表 34 显示不可超过的回流焊温度限制。

表 34. 回流焊峰值温度

封装	最大峰值温度 (T_C)	超过 $T_C - 5$ °C 的最长时间
16 引脚 SOIC	260 °C	30 秒
16 引脚 QFN	260 °C	30 秒
24 引脚 QFN	260 °C	30 秒
32 引脚 QFN	260 °C	30 秒
48 引脚 QFN	260 °C	30 秒
30 球 WLCSP	260 °C	30 秒

注释:

58. $T_J = T_A + \text{功耗} \times \theta_{JA}$

59. 要达到 QFN 封装的指定热阻，中心热焊盘必须焊接到 PCB 接地层。

开发工具选择

软件

PSoC Designer™

PSoC Designer 是 PSoC 开发软件套装的核心，用于生成 PSoC 固件应用程序。PSoC Designer 是基于 Microsoft® Windows 的集成开发环境，适用于可编程片上系统（PSoC）器件。PSoC Designer IDE 和应用在 Windows XP 和 Windows Vista 上运行。

该系统能够提供按项目管理设计数据库的功能、系统内编程支持，以及针对第三方汇编器和 C 语言编译器的内置支持。PSoC Designer 还支持专为 PSoC 器件系列开发的 C 语言编译器。

<http://www.cypress.com/psocdesigner> 网站上免费提供 PSoC Designer，并附带免费的 C 语言编译器。

PSoC Designer 软件子系统

您需要选择要使用的基本器件，然后选择不同的板上模拟和数字组件。这些组件称为用户模块，并采用 PSoC 模块。用户模块示例包括 ADC、DAC、放大器和滤波器。为所选应用配置用户模块，然后将它们互连并连接到适当的引脚。然后生成项目。这会将 API 和库加入项目中，您可以使用它们来编程应用。

通过该工具，用户还可以轻松开发多个配置和动态重配置。动态重配置允许在运行时更改配置。代码生成工具 PSoC Designer 支持多种第三方 C 语言编译器和汇编器。这些代码生成工具能够在 PSoC Designer 界面内无缝工作，并已采用一整套调试工具进行测试。您可以随意选用。

汇编器：汇编器可让汇编代码与 C 语言代码无缝合并。链接库会自动使用绝对寻址，或在相对模式中进行编译，然后与其他软件模块链接，以实现绝对寻址。

C 语言编译器：C 语言编译器支持 PSoC 器件系列。这些产品允许您为 PSoC 器件系列创建完整的 C 语言程序。优化 C 语言编译器能够提供针对 PSoC 架构定制的所有 C 语言功能，并随附有嵌入式库，这些库能够提供端口和总线操作、标准键盘和显示屏支持，以及扩展的数学功能。

PSoC Programmer

PSoC Programmer 非常灵活，它不仅可用于开发，而且很适合工厂编程。PSoC Programmer 既可作为独立的编程应用程序，也可以从 PSoC Designer 中直接使用。PSoC Programmer 软件同 PSoC ICE Cube 在线仿真器和 PSoC MiniProg 兼容。PSoC Programmer 在 <http://www.cypress.com/psocprogrammer> 网站上免费提供。

开发套件

所有开发套件均在 [赛普拉斯在线商店](#) 销售。

评估工具

所有评估工具均在 [赛普拉斯在线商店](#) 销售。

CY3210-MiniProg1

CY3210-MiniProg1 套件允许您通过 MiniProg1 编程单元对 PSoC 器件进行编程。MiniProg 是一种紧凑的小型原型设计编程器，通过附带的 USB 2.0 线缆连接到 PC。该套件包括：

- MiniProg 编程单元
- MiniEval 插座编程和评估板
- 28 引脚 CY8C29466-24PXI PDIP PSoC 器件样品
- 28 引脚 CY8C27443-24PXI PDIP PSoC 器件样品
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3210-PSoCEval1

CY3210-PSoCEval1 套件包含一个评估板和一个 MiniProg1 编程单元。评估板包括 LCD 模块、电位器、LED 和大量实验板空间，可满足您的所有评估需要。该套件包括：

- 带 LCD 模块的评估板
- MiniProg 编程单元
- 两个 28 引脚 CY8C29466-24PXI PDIP PSoC 器件样品
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

器件编程器

您可以在 [赛普拉斯在线商店](#) 上购买所有的器件编程器。

CY3216 模块化编程器

CY3216 模块化编程器套件提供模块化编程器和 MiniProg1 编程单元。模块化编程器包括三个编程模块卡，并支持多个赛普拉斯产品。该套件包括：

- 模块化编程器基础
- 3 个编程模块卡
- MiniProg 编程单元
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3207ISSP 系统内串行编程器 (ISSP)

CY3207ISSP 是一个生产用的编程器。它具有保护电路和一个工业级外壳，该外壳在生产编程环境中比 MiniProg 更强大。

注意： CY3207ISSP 需要特殊软件，它与 PSoC Programmer 不兼容。该套件包括：

- CY3207 编程器单元
- PSoC ISSP 软件 CD
- 110 ~ 240 V 电源， Euro-Plug 适配器
- USB 2.0 线缆

附件（仿真和编程）
表 35. 仿真和编程附件

器件型号	引脚封装	Flex-Pod 套件 ^[60]	支脚套件 ^[61]	适配器 ^[62]
CY8C20237-24LKXI	16 QFN	CY3250-20246QFN	CY3250-20246QFN-POD	请参见注意 59
CY8C20247-24LKXI	16 QFN	CY3250-20246QFN	CY3250-20246QFN-POD	请参见注意 62
CY8C20337-24LQXI	24 QFN	CY3250-20346QFN	CY3250-20346QFN-POD	请参见注意 59
CY8C20347-24LQXI	24 QFN	CY3250-20346QFN	CY3250-20346QFN-POD	请参见注意 62
CY8C20437-24LQXI	32 QFN	CY3250-20466QFN	CY3250-20466QFN-POD	请参见注意 59
CY8C20447-24LQXI	32 QFN	CY3250-20466QFN	CY3250-20466QFN-POD	请参见注意 62
CY8C20467-24LQXI	32 QFN	CY3250-20466QFN	CY3250-20466QFN-POD	请参见注意 62
CY8C20637-24LQXI	48 QFN	CY3250-20666QFN	CY3250-20666QFN-POD	请参见注意 62
CY8C20647-24LQXI	48 QFN	CY3250-20666QFN	CY3250-20666QFN-POD	请参见注意 62
CY8C20667-24LQXI	48 QFN	CY3250-20666QFN	CY3250-20666QFN-POD	请参见注意 62

第三方工具

这些工具由以下第三方供应商专门设计，以便在开发和生产过程中与 PSoC 器件配套使用。有关这些工具的详细信息，可以在 <http://www.cypress.com> 网站的 Documentation > Evaluation Boards 路径下找到。

在您的电路板中构建 PSoC 仿真器

投入批量生产之前，有关如何使用片上调试（OCD）非生产 PSoC 器件来仿真电路的详细信息，请参见应用笔记 [AN2323](#) — “调试 — 在您的电路板上构建一个 PSoC 仿真器”。

注释：

60. Flex-Pod 套件包含一个练习用 Flex-pod 和一个练习用 PCB，另外附带两个 Flex-pod。

61. 支脚套件包括可焊接到目标 PCB 上的表面安装支脚。

62. 编程适配器用于将非 DIP 封装转换成 DIP 封装。有关每种适配器的详细信息和订购信息，请访问 <http://www.emulation.com>。

订购信息

表 36 列出了 CY8C20x37/47/67/S PSoC 器件的关键封装特性和订购代码。

表 36. PSoC 器件的关键特性和订购信息

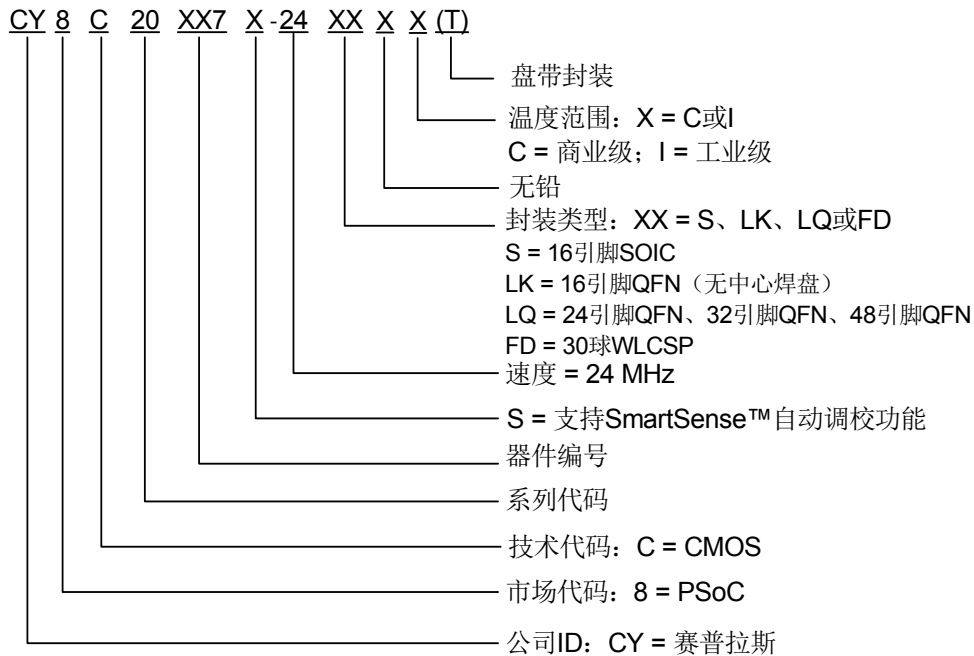
订购代码	封装	闪存 (字节)	SRAM (字节)	CapSense 传感器	数字 I/O 引脚	模拟 输入 ^[63]	XRES 引脚	ADC
CY8C20237-24SXI	16 引脚 SOIC	8 K	1 K	10	13	13	支持	支持
CY8C20247S-24SXI	16 引脚 SOIC	16 K	2 K	10	13	13	支持	支持
CY8C20237-24LKXI	16 引脚 QFN	8 K	1 K	10	13	13	支持	支持
CY8C20237-24LKXIT	16 引脚 QFN (盘带封装)	8 K	1 K	10	13	13	支持	支持
CY8C20247S-24LKXI	16 引脚 QFN	16 K	2 K	10	13	13	支持	支持
CY8C20247S-24LKXIT	16 引脚 QFN (盘带封装)	16 K	2 K	10	13	13	支持	支持
CY8C20337-24LQXI	24 引脚 QFN	8 K	1 K	16	19	19	支持	支持
CY8C20337-24LQXIT	24 引脚 QFN (盘带封装)	8 K	1 K	16	19	19	支持	支持
CY8C20347-24LQXI	24 引脚 QFN	16 K	2 K	16	19	19	支持	支持
CY8C20347-24LQXIT	24 引脚 QFN (盘带封装)	16 K	2 K	16	19	19	支持	支持
CY8C20347S-24LQXI	24 引脚 QFN	16 K	2 K	16	19	19	支持	支持
CY8C20347S-24LQXIT	24 引脚 QFN (盘带封装)	16 K	2 K	16	19	19	支持	支持
CY8C20437-24LQXI	32 引脚 QFN	8 K	1 K	25	28	28	支持	支持
CY8C20437-24LQXIT	32 引脚 QFN (盘带封装)	8 K	1 K	25	28	28	支持	支持
CY8C20447-24LQXI	32 引脚 QFN	16 K	2 K	25	28	28	支持	支持
CY8C20447-24LQXIT	32 引脚 QFN (盘带封装)	16 K	2 K	25	28	28	支持	支持
CY8C20447S-24LQXI	32 引脚 QFN	16 K	2 K	25	28	28	支持	支持
CY8C20447S-24LQXIT	32 引脚 QFN (盘带封装)	16 K	2 K	25	28	28	支持	支持
CY8C20467-24LQXI	32 引脚 QFN	32 K	2 K	25	28	28	支持	支持
CY8C20467-24LQXIT	32 引脚 QFN (盘带封装)	32 K	2 K	25	28	28	支持	支持
CY8C20467S-24LQXI	32 引脚 QFN	32 K	2 K	25	28	28	支持	支持
CY8C20467S-24LQXIT	32 引脚 QFN (盘带封装)	32 K	2 K	25	28	28	支持	支持
CY8C20637-24LQXI	48 引脚 QFN	8 K	1 K	31	34	34	支持	支持
CY8C20637-24LQXIT	48 引脚 QFN (盘带封装)	8 K	1 K	31	34	34	支持	支持
CY8C20647-24LQXI	48 引脚 QFN	16 K	2 K	31	34	34	支持	支持
CY8C20647-24LQXIT	48 引脚 QFN (盘带封装)	16 K	2 K	31	34	34	支持	支持
CY8C20647S-24LQXI	48 引脚 QFN	16 K	2 K	31	34	34	支持	支持
CY8C20647S-24LQXIT	48 引脚 QFN (盘带封装)	16 K	2 K	31	34	34	支持	支持
CY8C20667-24LQXI	48 引脚 QFN	32 K	2 K	31	34	34	支持	支持
CY8C20667-24LQXIT	48 引脚 QFN (盘带封装)	32 K	2 K	31	34	34	支持	支持
CY8C20667S-24LQXI	48 引脚 QFN	32 K	2 K	31	34	34	支持	支持
CY8C20667S-24LQXIT	48 引脚 QFN (盘带封装)	32 K	2 K	31	34	34	支持	支持

注释:

63. 双功能数字 I/O 引脚也连接到通用模拟复用器。

表 36. PSoC 器件的关键特性和订购信息 (续)

订购代码	封装	闪存 (字节)	SRAM (字节)	CapSense 传感器	数字 I/O 引脚	模拟 输入 ^[63]	XRES 引脚	ADC
CY8C20747-24FDXC	30 引脚 WLCSP	16 K	1 K	24	27	27	支持	支持
CY8C20747-24FDXCT	30 引脚 WLCSP (盘带封装)	16 K	1 K	24	27	27	支持	支持
CY8C20767-24FDXC	30 引脚 WLCSP	32 K	2 K	24	27	27	支持	支持
CY8C20767-24FDXCT	30 引脚 WLCSP (盘带封装)	32 K	2 K	24	27	27	支持	支持

订购代码定义


缩略语

下表列出了本文档中使用的缩略语。

表 37. 本文档中使用的缩略语

缩略语	说明
AC	交流
ADC	模数转换器
API	应用编程接口
CMOS	互补金属氧化物半导体
CPU	中央处理单元
DAC	数模转换器
DC	直流
ESD	静电放电
FSR	全量程范围
GPIO	通用输入 / 输出
I ² C	内部集成电路
ICE	在线仿真器
ILO	内部低速振荡器
IMO	内部主振荡器
I/O	输入 / 输出
ISSP	系统内串行编程
LCD	液晶显示屏
LDO	低压差 (电压调节器)
LED	发光二极管
LPC	低功耗比较器
LSB	最低有效位
LVD	低电压检测
MCU	微控制器单元
MIPS	每秒百万条指令
MISO	主入从出
MOSI	主出从入
MSB	最高有效位
OCD	片上调试
PCB	印刷电路板
POR	上电复位
PSRR	电源抑制比
PWRSYS	供电系统
PSoC	可编程片上系统
QFN	四方扁平无引脚
SCLK	串行 I ² C 时钟
SDA	串行 I ² C 数据
SDATA	串行 ISSP 数据
SOIC	小外形集成电路
SPI	串行外设接口
SRAM	静态随机访问存储器
SS	从设备选择
USB	通用串行总线
WLCSP	晶圆级芯片尺寸封装

参考文档

- CY20xx7 器件的技术参考手册
- 20xx7 的系统内串行编程 (ISSP) 协议
- 20xx7 器件的主机源串行编程

文档约定

测量单位

表 38 列出了用于测量 PSoC 器件的所有缩略语。

表 38. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
kHz	千赫兹
ksps	每秒千次采样
kΩ	千欧姆
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

数字命名

十六进制数字中的所有字母均为大写，结尾带小写的‘h’（例如，‘14h’或‘3Ah’）。十六进制数字还可以使用前缀‘0x’来表示（C 编码规范）。二进制数字在结尾带小写的‘b’（例如，‘01010100b’或‘01000011b’）。不用‘h’、‘b’或0x来表示的数字是十进制数字。

术语表

交叉点连接	通过模拟复用器总线在任意 GPIO 组合之间进行的连接。
微分非线性	在理想条件下，任何两位相邻的数字代码均与正好相差 1 LSB 的输出模拟电压相对应。微分非线性是用于测量偏离理想的 1 LSB 步长的最坏偏差情况。
保持时间	保持时间是时钟事件到来后输入到锁存器或触发器的数据必须保持稳定的时间，以确保锁存数据是正确的。
I ² C	它是多主设备串行总线，用于将低速外设连接到 MCU。
积分非线性	它是用来描述 DAC/ADC 理想输出与实际输出电平之间最大偏差的术语。
闩锁电流	根据 JESD78 标准进行闩锁测试时的电流（温度为 125 摄氏度）
电源抑制比（PSRR）	PSRR 被定义为电源电压变化量与器件输出电压的相应变化量之间的比率。
扫描	从所有传感器电容值到数字值的转换。
建立时间	用于准备器件、机器、流程或系统就绪运行的所需时间。
信噪比	电容式手指信号与系统噪声之间的比率。
SPI	串行外设接口是同步串行数据链接标准。

勘误表

本节对 CY8C20xx7/S 系列的勘误表进行了介绍。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片版本的适用性。若有任何问题，请联系您本地的赛普拉斯销售代表。

CY8C20xx7/S 合格状态

产品状态：产品已上市。

CY8C20xx7/S 勘误汇总

以下勘误适用于 CY8C20xx7/S 数据手册 001-69257。

1. 双定时器 0 ISR

■问题定义

当通过设置寄存器 0 (PT0_CFG, 地址为 B0h) 的位 1 在单触发模式中使用可编程定时器 0, 和使用定时器中断将器件从睡眠模式中唤醒时, 中断服务子程序 (ISR) 可能被执行两次。

■受影响的参数

数据手册中的参数不受任何影响。

■触发条件 (S)

由启用定时器的单触发模式, 并使用定时器将器件从睡眠模式中唤醒导致。

■影响范围

ISR 可能被执行两次。

■解决方案

在 ISR 中, 固件通过使用语句 (如 “and reg[B0h], FDh”) 清除单触发位

■修复状态

将不被修复

■更改

无

2. 错过 GPIO 中断

■问题定义

在睡眠模式中, 如果同时发生 GPIO 中断和定时器 0 或睡眠定时器中断, 可能会错过 GPIO 中断, 并且不执行相应的 GPIO ISR。

■受影响的参数

数据手册中的参数不受任何影响。

■触发条件 (S)

由启动睡眠模式后, GPIO 中断和定时器 0 或睡眠定时器中断同时发生导致。

■影响范围

不会执行 GPIO 中断服务子程序。

■解决方案

系统的架构需要满足能够检测到错过 GPIO 中断的要求。例如, 如果使用 GPIO 唤醒系统来执行某个功能, 那么系统需要检测该功能是否未被执行, 并且重新发出 GPIO 中断。

此外, 如果使用 GPIO 中断唤醒系统, 则固件最好禁用睡眠定时器和定时器 0。

或者, 睡眠定时器和定时器 0 的 ISR 要手动检查 GPIO 的状态, 以确定主机系统是否尝试生成一个 GPIO 中断。

■修复状态

将不被修复

■更改

无

3. 进入睡眠模式时错过中断

■问题定义

如果在固件要求器件进入睡眠模式前的很短时间（2.5 CPU 周期内）生成了一个中断，该中断将被错过。

■受影响的参数

数据手册中的参数不受任何影响。

■触发条件 (S)

由在生成某个中断前使能睡眠模式导致。

■影响范围

不会执行相应的中断服务子程序。

■解决方案

无

■修复状态

将不被修复

■更改

无

4. 通过模拟中断从睡眠模式中唤醒

■问题定义

触发某个模拟中断时，器件从睡眠中唤醒

■受影响的参数

数据手册中的参数不受任何影响。

■触发条件 (S)

工作温度为 50 °C 或 50 °C 以上，并且器件处于睡眠模式时使能某个模拟中断导致

■影响范围

器件意外从睡眠中唤醒

■解决方案

进入睡眠模式之前，禁用模拟中断；唤醒时，再使能该中断。

■修复状态

将不被修复

■更改

无

5. P1[0] 和 P1[1] 引脚上的 I2C 硬件地址相匹配时，器件从睡眠模式唤醒

■问题定义

I2C 接口需要 SDA 线上具有与 SCL 下降沿相对应的 20 ns 保持时间，以便通过使用 I²C 硬件地址匹配事件从睡眠模式中唤醒。

■受影响的参数

$t_{HD;DAT}$ 从 0 ns 增加到 20 ns

■触发条件 (S)

只有满足下面全部三个条件时，才会发生该问题：

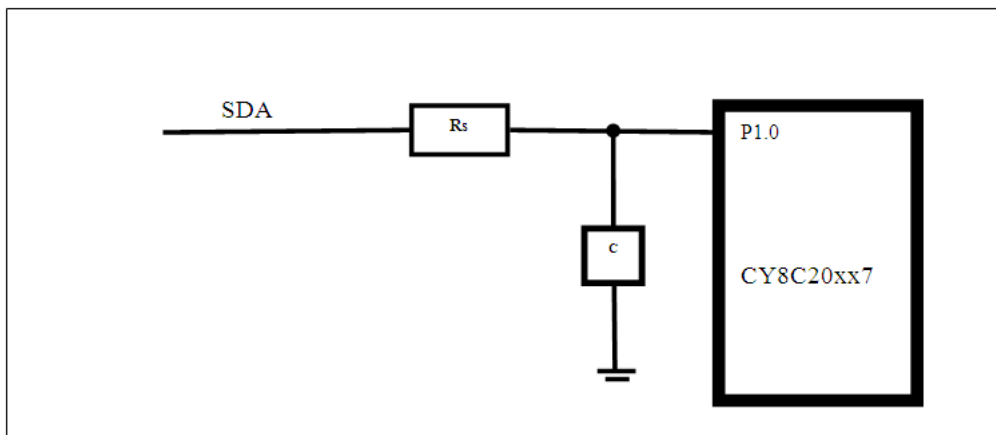
- 1) P1.0 和 P1.1 作为 I2C 引脚，
- 2) 启用通过硬件地址匹配使器件从睡眠唤醒的性能，并且
- 3) I2C 主设备的 SDA 线上没有满足与 SCL 下降沿相对应的 20 ns 保持时间。

■影响范围

这些触发条件会使器件永不在 I2C 地址匹配事件发生时从睡眠模式中唤醒

■解决方案

如果某个设计同时满足了上述所有触发条件，那么，建议使用下面的电路解决该问题。R 值和 C 值分别为 100 ohm 和 200 pF。



■修复状态

将不被修复

■更改

无

6. I2C 端口引脚上拉供电电压

■问题定义

I2C 接口上的上拉电阻不能与比 CY8C20xx7/S V_{DD} 大 0.7 V 的供应电压相连接。

■受影响的参数

无

■触发条件 (S)

由提供给 I2C 主设备的电压大于 CY8C20xx7/S 电压导致。

■影响范围

该触发条件会破坏 I2C 主机和 CY8C20xx7/S CapSense 控制器间的 I2C 通信。

■解决方案

提供给 I2C 主设备的电压不能超过 CY8C20xx7/S 供电电压 0.7 V。

■修复状态

将不被修复

■更改

无

7. 端口 1 引脚电压

■问题定义

端口 1 引脚上的上拉电阻不能与比 CY8C20xx7/S V_{DD} 大 0.7 V 的电压相连接。

■受影响的参数

无

■触发条件 (S)

由端口 1 引脚上的电压比 CY8C20xx7/S 的 V_{DD} 大 0.7 V 导致。

■影响范围

该触发条件会禁止 CY8C20xx7/S 驱动端口 1 引脚上的输出信号，但输入路径不受该条件的影响。

■解决方案

端口 1 所连接的电压不能超过 CY8C20xx7/S 的 V_{DD} 。

■修复状态

将不被修复

■更改

无

文档修订记录

文档标题: **CY8C20xx7/S**, 带有 **SmartSense™** 自动调试、**31** 个按键、**6** 个滑条和接近感应传感器的 **1.8 V CapSense®** 控制器
文档编号: **001-93005**

版本	ECN	变更者	提交日期	变更说明
**	4521473	YUXI	11/10/2014	本档版本号为 Rev**, 译自英文版 001-69257 Rev*K。
*A	4980589	RZZH	10/22/2015	本档版本号为 Rev*A, 译自英文版 001-69257 Rev*M。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2011-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。