

AD8313 仕様

(特に指定のない限り、 $@T_A = +25$ 、 $V_S = +5.0 V^1$ 、 $R_L = 10 k$)

パラメータ	条件	Min ²	Typ	Max ²	単位
信号入力インターフェース 規定周波数範囲 DCコモン・モード電圧 入力バイアス電流 入力インピーダンス	$f_{RF} < 100 \text{ MHz}^3$	0.1	$V_{pos} - 0.75$ 10	2.5	GHz V μA pF^4
対数(RSSI)モード 100 MHz ⁵ $\pm 3 \text{ dB}$ ダイナミック・レンジ ⁶ レンジ中央 $\pm 1 \text{ dB}$ ダイナミック・レンジ スロープ インターセプト $\pm 3 \text{ dB}$ ダイナミック・レンジ レンジ中央 $\pm 1 \text{ dB}$ ダイナミック・レンジ スロープ インターセプト 温度感度	正弦波、入力終端設定は図27参照 公称条件 $+2.7 V \quad V_S \quad +5.5 V、-40 \quad T \quad +85$ $P_{IN} = -10 \text{ dBm}$	53.5 17 -96	65 -31.5 56 19 -88	21 -80	dB dBm dB mV/dB dBm dB dBm dB mV/dB dBm dB/
900 MHz ⁵ $\pm 3 \text{ dB}$ ダイナミック・レンジ レンジ中央 $\pm 1 \text{ dB}$ ダイナミック・レンジ スロープ インターセプト $\pm 3 \text{ dB}$ ダイナミック・レンジ レンジ中央 $\pm 1 \text{ dB}$ ダイナミック・レンジ スロープ インターセプト 温度感度	公称条件 $+2.7 V \quad V_S \quad +5.5 V、-40 \quad T \quad +85$ $P_{IN} = -10 \text{ dBm}$	60 15.5 -105	69 -32.5 62 18 -93	20.5 -81	dB dBm dB mV/dB dBm dB dBm dB mV/dB dBm dB/
1.9 GHz ⁷ $\pm 3 \text{ dB}$ ダイナミック・レンジ レンジ中央 $\pm 1 \text{ dB}$ ダイナミック・レンジ スロープ インターセプト $\pm 3 \text{ dB}$ ダイナミック・レンジ レンジ中央 $\pm 1 \text{ dB}$ ダイナミック・レンジ スロープ インターセプト 温度感度	公称条件 $+2.7 V \quad V_S \quad +5.5 V、-40 \quad T \quad +85$ $P_{IN} = -10 \text{ dBm}$	52 15 -115	73 -36.5 62 17.5 -100	20.5 -85	dB dBm dB mV/dB dBm dB dBm dB mV/dB dBm dB/
2.5 GHz ⁷ $\pm 3 \text{ dB}$ ダイナミック・レンジ レンジ中央 $\pm 1 \text{ dB}$ ダイナミック・レンジ スロープ インターセプト $\pm 3 \text{ dB}$ ダイナミック・レンジ レンジ中央 $\pm 1 \text{ dB}$ ダイナミック・レンジ スロープ インターセプト 温度感度	公称条件 $+2.7 V \quad V_S \quad +5.5 V、-40 \quad T \quad +85$ $P_{IN} = -10 \text{ dBm}$	48 16 -111	66 -34 46 20 -92	25 -72	dB dBm dB mV/dB dBm dB dBm dB mV/dB dBm dB/

パラメータ	条件	Min ²	Typ	Max ²	単位
3.5 GHz ⁵ ±3 dBダイナミック・レンジ ±1 dBダイナミック・レンジ スロープ インターセプト			43 35 24 - 65		dB dB mV/dB dBm
コントロール・モード コントローラ感度 低周波ゲイン オープン・ループコーナー周波数 オープン・ループスルー・レート VSET遅延時間	f = 900 MHz VSETからVOUT ⁸ VSETからVOUT ⁸ f = 900 MHz		23 84 700 2.5 150		V/dB dB Hz V/μs ns
VOUTインターフェース 電流駆動能力 ソース電流 シンク電流 最小出力電圧 最大出力電圧 出力ノイズスペクトル密度 小信号応答時間 大信号応答時間	オープン・ループ オープン・ループ P _{IN} = - 60 dBm, f _{SPOT} = 100 Hz P _{IN} = - 60 dBm, f _{SPOT} = 10 MHz P _{IN} = - 60 dBm ~ - 57 dBm, 10%から90% P _{IN} = 無信号 ~ 0 dBm, 0.5 dB		400 10 50 V _{POS} - 0.1 2.0 1.3 40 110	60 160	μA mA mV V μV/√Hz μV/√Hz ns ns
VSETインターフェース 入力電圧範囲 入力インピーダンス		0	18k 1	V _{POS}	V pF
パワーダウン・インターフェース PWDNスレッシュホールド パワーアップ応答時間	HighからLowへの変化後の時間遅延 デバイスが全仕様を満たすまで		V _{POS} /2 1.8		V μs
PWDN入力バイアス電流	PWDN = 0 V PWDN = V _S		5 < 1		μA μA
電源 動作範囲 パワーアップ電流 パワーダウン電流	+4.5 V V _S +5.5 V, - 40 T +85 +2.7 V V _S +3.3 V, - 40 T +85 +4.5 V V _S +5.5 V, - 40 T +85 +2.7 V V _S +3.3 V, - 40 T +85	+2.7	13.7 50 20	+5.5 15.5 18.5 18.5 150 50	V mA mA mA μA μA

注

- ¹ 特に注記がない限り、V_S = +3.0 Vでの性能は+5.0 V動作での性能と同じです。
- ² パラメータのMinおよびMaxの規格値(工場テスト無しで保証)は、6シグマ値です。
- ³ 図24に示す周波数範囲での入力インピーダンス。
- ⁴ ダブル・スラッシュ()は並列を表します。
- ⁵ 全パラメータに対して - 40 dBm ~ - 10 dBmから得た誤差曲線に対する線形回帰計算
- ⁶ ダイナミック・レンジとは、規定された範囲内に直線性誤差が収まっている範囲を言います。
- ⁷ 3 dBダイナミック・レンジの - 60 dBm ~ - 5 dBmから得た誤差曲線に対する線形回帰計算。その他全ての回帰計算は - 40 dBm ~ 10 dBmを使用。
- ⁸ 図10に示すAC応答仕様は予告なく変更されることがあります。

AD8313

絶対最大定格*

電源電圧 V_S	5.5 V
VOUT、VSET、PWDN	0 V、VPOS
入力電力差動(50 基準、5.5 V)	+25 dBm
入力電力シングル・エンド(50 基準、5.5 V)	+19 dBm
内部消費電力	200 mW
J_A	200 /W
最大接合温度	+125
動作温度範囲	-40 ~ +85
保存温度範囲	-65 ~ +150
端子温度範囲(ハンダ処理60sec)	+300

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ピン機能の説明

ピン	名前	機能
1、4	VPOS	正電源電圧(V_{POS}) +2.7 V ~ +5.5 V。
2	INHI	非反転入力。この入力はAC結合されます。
3	INLO	反転入力。この入力はAC結合されます。
5	PWDN	グラウンドに接続すると通常動作モード。電源に接続すると、パワーダウン・モード。
6	COMM	デバイスのコモン。
7	VSET	コントローラ・モードの動作に対するセットポイント入力。RSSIモードで動作するときは、VSETをVOUT接続。
8	VOUT	対数/誤差出力。

ピン配置



オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD8313ARM ¹	-40 ~ +85	チューブ	RM - 08 ²
AD8313ARM - REEL		13インチ・テープおよびリール	
AD8313ARM - REEL7		7インチ・テープおよびリール	
AD8313 - EVAL		評価ボード	

注

¹ デバイス・ブランドはJ1A。

² 8ピン μ SOIC。

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD8313には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



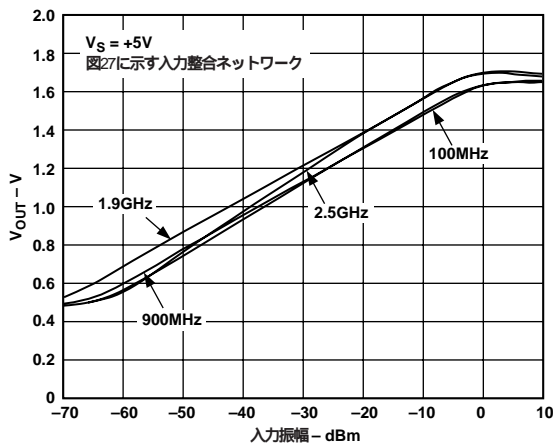


図2 . V_{OUT} と入力振幅の関係

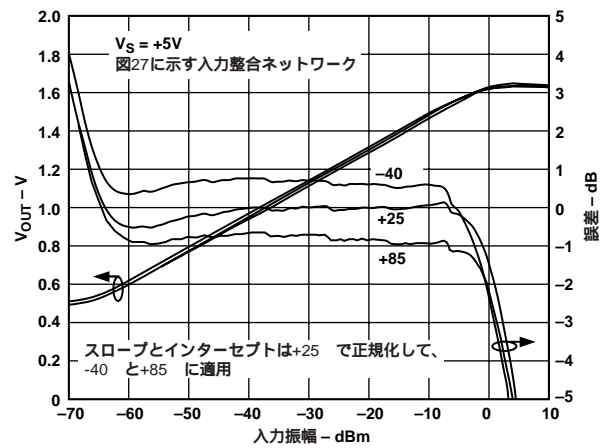


図5 . V_{OUT} および対数適合度と入力振幅の関係
900 MHzで -40 、 +25 、 +85

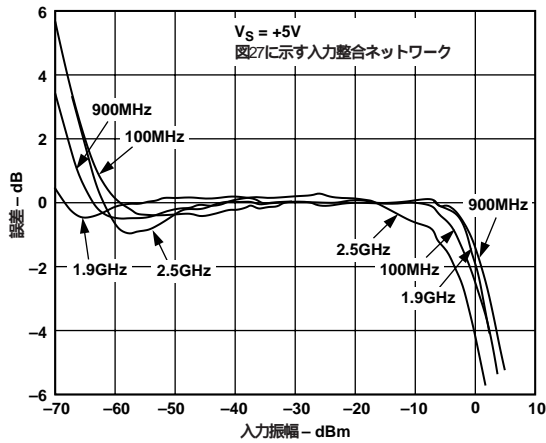


図3 . 対数適合度と入力振幅の関係

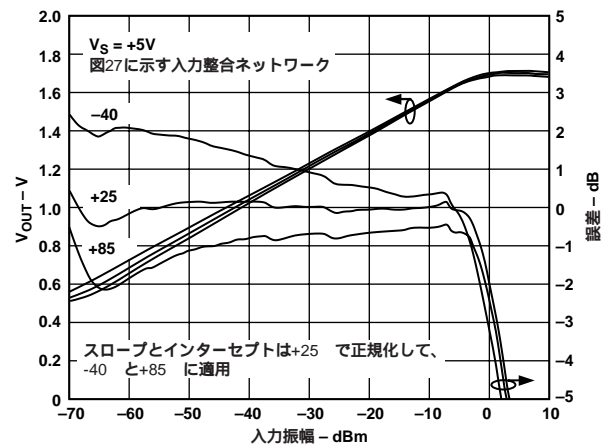


図6 . V_{OUT} および対数適合度と入力振幅の関係
1.9 GHzで、 -40 、 +25 、 +85

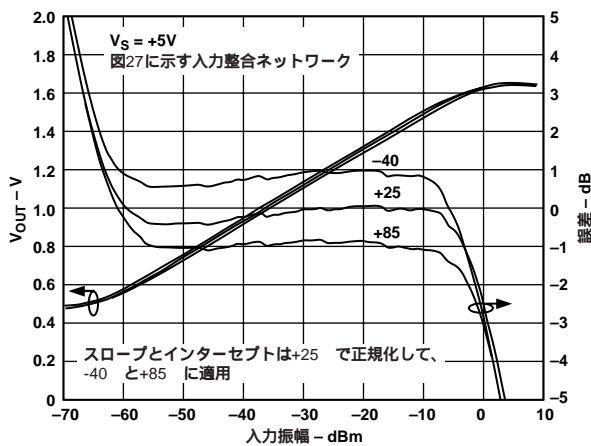


図4 . V_{OUT} および対数適合度と入力振幅の関係
100 MHzで -40 、 +25 、 +85

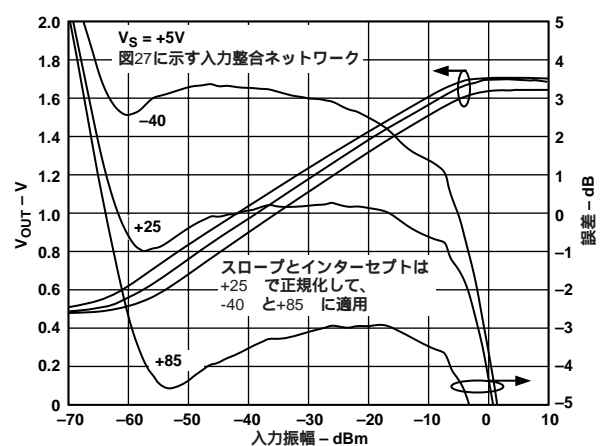


図7 . V_{OUT} および対数適合度と入力振幅の関係
2.5 GHzで、 -40 、 +25 、 +85

AD8313

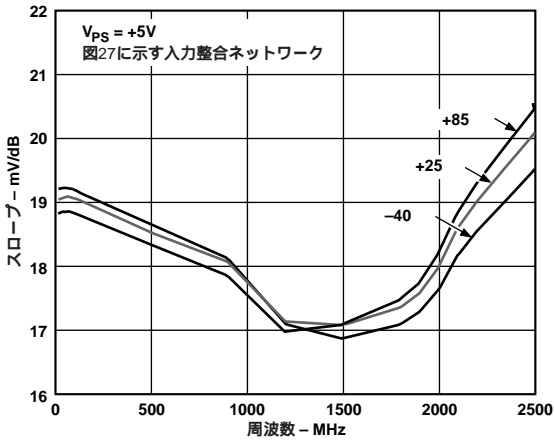


図8 . V_{OUT} スロープと周波数の関係
- 40 、 +25 、 +85

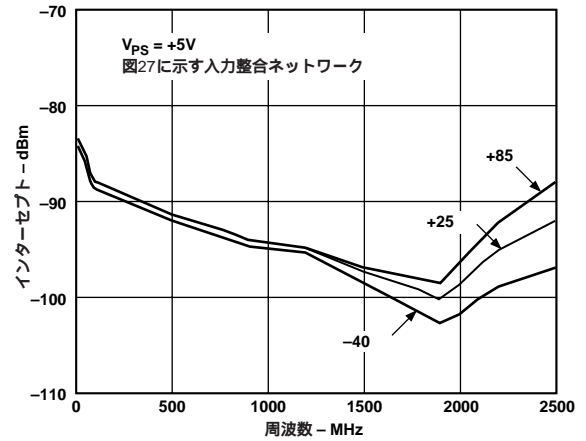


図11 . V_{OUT} インターセプトと周波数の関係
- 40 、 +25 、 +85

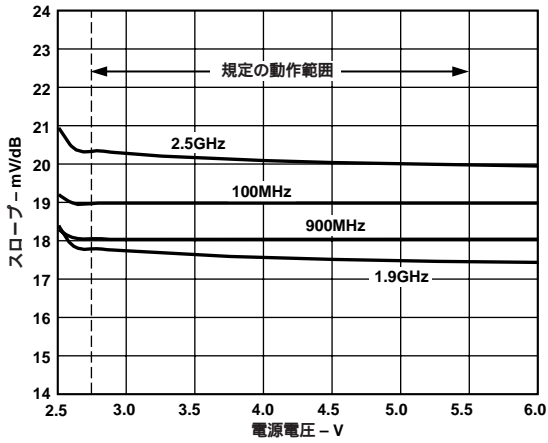


図9 . V_{OUT} スロープと電源電圧の関係

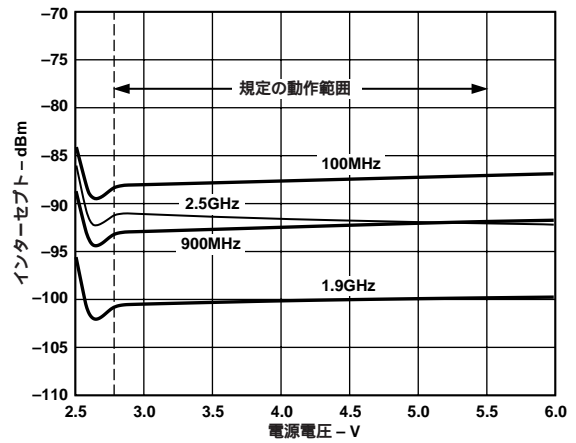


図12 . V_{OUT} インターセプトと電源電圧の関係

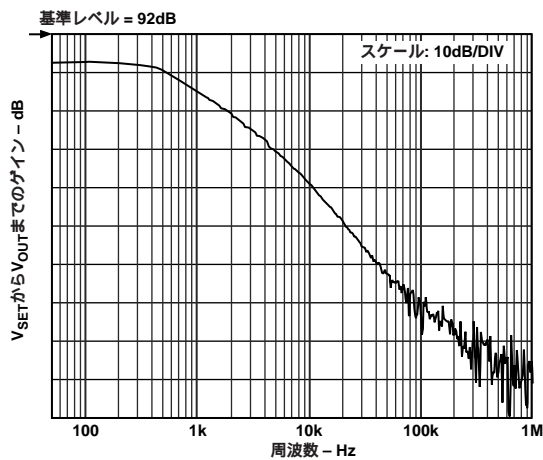


図10 . V_{SET} から V_{OUT} までのAC応答

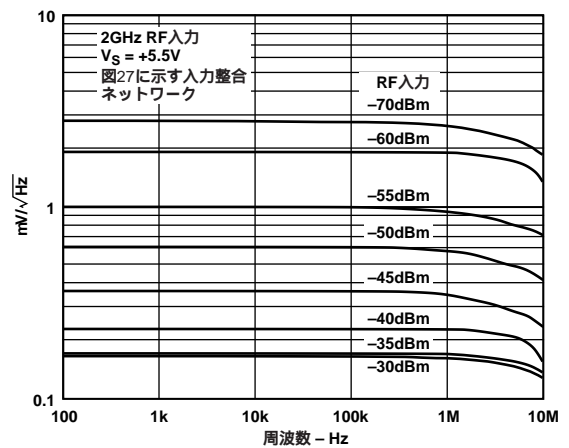


図13 . V_{OUT} ノイズ・スペクトル密度

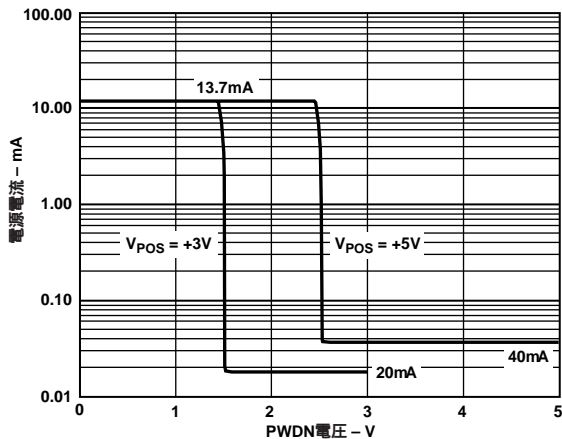


図14．電源電流(Typ)とPWDN電圧の関係

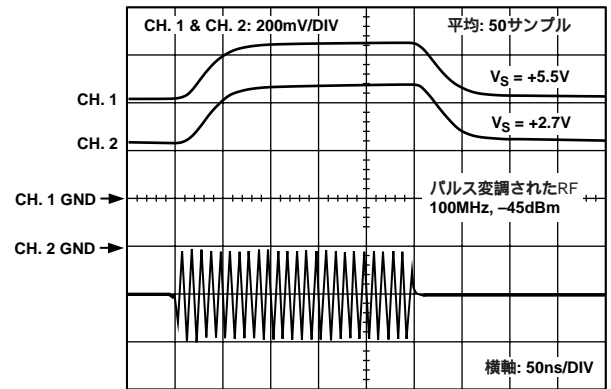


図17．応答時間、無信号から -45 dBm

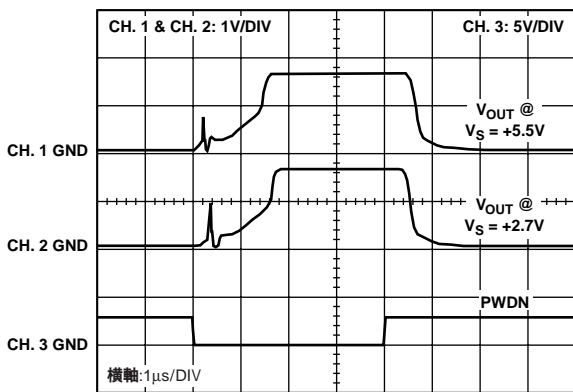


図15．PWDN応答時間

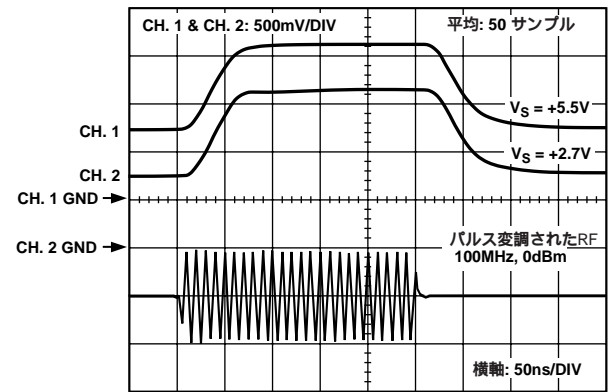


図18．応答時間、無信号から +0 dBm

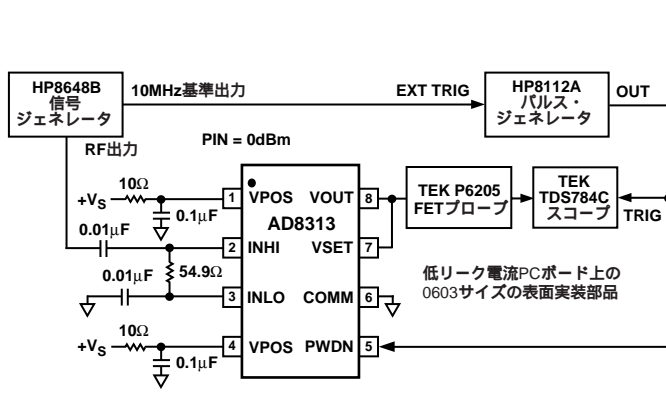


図16．PWDN応答時間のテスト・セットアップ

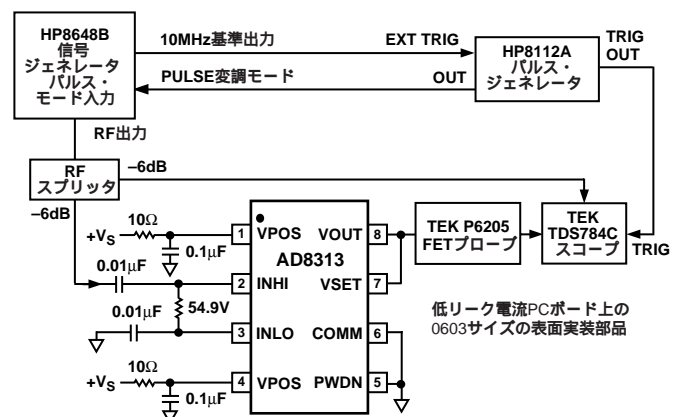


図19．RSSIモード・パルス応答のテスト・セットアップ

AD8313

回路説明

AD8313は、最大周波数2.5 GHzまでのRF計測アプリケーションと電力アンプ制御アプリケーションを対象に特別に設計された8ステージ対数アンプです。図20にブロック図を示します(対数アンプの理論とデザイン原理の詳細については、AD8307のデータシートを参照してください)。

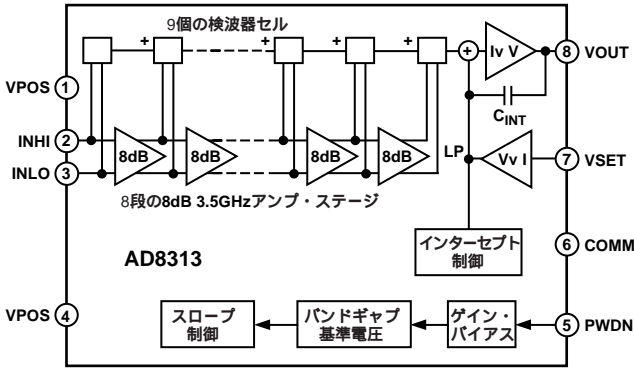


図20. ブロック図

全差動方式設計を使用しており、入力INHIと入力INLO(ピン2とピン3)は内部で電源電圧より約0.75 V低いレベルにバイアスされており、1.1 pFが並列に接続され、公称900 の低いインピーダンスを示します。入力換算のノイズスペクトル密度は $1.5nV/\sqrt{Hz}$ で、3.5 GHz帯域幅で88 μV の電圧に等しく、ノイズ電力 -68dBm(50 基準)に対応します。これがダイナミック・レンジの下限を設定します。アプリケーションの節では、整合ネットワークまたは入力変成器を使用してこの感度を上げる方法を説明します。ただし、復調伝達特性を特別にシェイピングして内部ノイズに起因する誤差を部分的に補償することにより、AD8313の下限の精度を上げることができます。

8段のカスケード接続されたステージの各々は8 dBの公称電圧ゲインと3.5 GHzの帯域幅を持ち、このゲインを決定し電源と温度の変化に対して安定化する精密なバイアス・セルによりサポートされています。これらのステージは直接結合され、DCゲインが高いため、オフセット補償ループが内蔵されています。これらのステージの最初の4段とバイアス・システムはピン4から電源の供給を受け、それより後段のステージと出力インターフェースはピン1から電源の供給を受けています。バイアスは、ロジック・インターフェース PWDN(ピン5)から制御されます。このピンはグランド接続すると通常動作になり、High(V_S)に接続すると、チップがディスエーブルされます。このスレッシュホールドは $V_{POS}/2$ に設定されており、バイアス機能は1.8 μs 以内でインエーブルまたはディスエーブルすることができます。

各アンプ・ステージは、出力に対応した検波器セルを持っています。これらの非線形セルは、これらの処理パスに沿って相互コンダクタンス方式で、差動電圧の絶対値をとる機能(全波整流)を持っています。これらの出力は電流モード形式であるため、加算が容易になっています。9番目の検波器セルはAD8313の入力に接続されています。これら9個の各検波器ステージの範囲中央の応答は8 dBの間隔で並んでいるため、全体のダイナミック・レンジは約72 dB(図21)になります。この範囲の上限は最初の検波器セルの容量により決定され、約0 dBmになります。実用的なダイナミック・レンジは ± 3 dB誤差点で70 dB以上になります。ただし、温度と周波数の上限でこの範囲はある程度減少します。3 GHzを超える実用的な動作

が可能で、小さいリップルを除くフィルタを追加するだけで、AD8313は10 MHzでも使用可能です(代表的な性能特性を参照)。

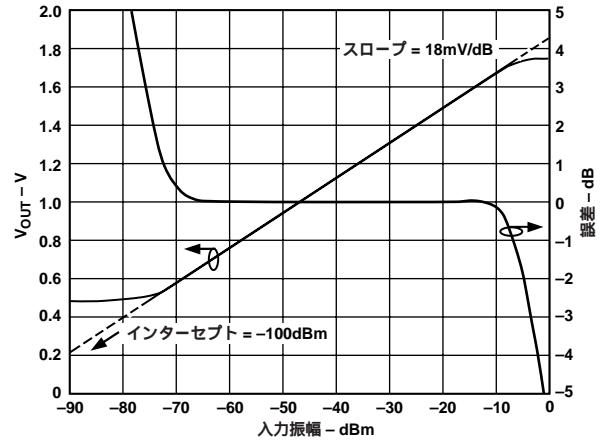


図21. 1.9 GHzにおけるRSSI応答(Typ)および誤差と入力電力の関係

信号周波数の2倍の基本周波数を持つ検波器セルから発生する脈流出力は、各セル内にあるローパス・フィルタを通過して、さらに出力ステージでもローパス・フィルタを通過します。出力ステージでは、これらの電流を電圧 V_{OUT} に変換して、VOUTピン(ピン8)に出力します。この出力は“レールtoレール”の駆動が可能です。このフィルタは約12 MHzのコーナ周波数を持つ2極応答を示し、40 nsのフル・スケール立ち上がり時間(10%から90%)を持っています。入力周波数100 MHzでの残留出力リップルの振幅は、1 mV以下です。出力は小さい抵抗負荷を駆動することができ、最大400 μA のソース電流と最大10 mAのシンク電流が可能です。この出力は、安定時間が損なわれませんが、任意の容量負荷に対しても安定です。低周波数での出力インピーダンスの増加は約0.2 です。

RF電力計測デバイス(すなわち対数アンプとして)の使用の他に、出力スロープ(公称18 mV/dB)を決定している、VOUTからVSET(ピン7)への帰還パスを開いて、AD8313をコントローラ・アプリケーション内で使用することもできます。ピン7は、コントローラ・モードではセットポイント入力になります。このモードでは、 V_{OUT} が V_{POS} に近い電圧まで急に变化したときに、入力が電圧 V_{SET} と等価デシベルになるまで、電圧 V_{OUT} はグランドに近い値(50 mV(Typ)以下)を維持します(コントローラ・モード参照)。対数インターセプトは公称 -100 dBm(50 基準)に設定されており、この値は対数アンプ・モードとコントローラ・モードの両方で有効です。

したがって、ピン7とピン8を接続する(対数アンプ・モード)と

$$V_{OUT} = V_{SLOPE}(P_{IN} + 100 \text{ dBm}) \quad \text{となります。}$$

ここで、 P_{IN} はソースを直接50 で終端したときにdBmで表した入力電力。ただし、AD8313の入力インピーダンスは50 よりかなり大きく、ある種の整合ネットワーク(下記参照)を使うことにより、このデバイスの感度を約12 dB上げることができます。整合ネットワークは電圧ゲインを上げ、同じ量だけインターセプトを下に移動させます。基準インピーダンスの選択に対するこの依存性は次式のように表現することにより無くすることができます。

$$V_{OUT} = 20 \times V_{SLOPE} \times \log(V_{IN}/2.2 \mu V)$$

ここで、 V_{IN} はピン2とピン3の間に現れる正弦波入力 r_{rms} 値。2.2 μV は電圧で表したインターセプトに対応します(対数アンプにおける信号波形の影響とインターセプト設定の詳細については、

AD8307データシートを参照してください。

ピン7とピン8を無接続(コントローラ・モード)にすると、入力を終端インピーダンス50 Ωの両端に現れる正弦波信号の電力で表した場合、出力は次のように表されます。

$$V_{SLOPE}(P_{IN} + 100) > V_{SET} \text{ の場合 } V_{OUT} = V_S$$

$$V_{SLOPE}(P_{IN} + 100) < V_{SET} \text{ の場合 } V_{OUT} = 0$$

出力ステージは高速積分器として動作するため、High状態とLow状態の間の移行領域は非常に狭くなります。上の2式は次のように表現を変えることもできます。

$$V_{SLOPE} \log(V_{IN}/2.2 \mu V) > V_{SET} \text{ の場合 } V_{OUT} = V_S$$

$$V_{SLOPE} \log(V_{IN}/2.2 \mu V) < V_{SET} \text{ の場合 } V_{OUT} = 0$$

VOUTピンとVSETピンのもう1つの利用方法は、外付けのNPNエミッタ・フォロアを接続して負荷駆動電流能力を上げることです。これらのモードの使い方の詳細については、アプリケーションの節を参照してください。

インターフェース

この節では、信号インターフェースとコントロール・インターフェース、およびそれらの動作について説明します。オンチップの抵抗と容量は最大±20%変化します。これらの抵抗は温度に依存し、容量は電圧に依存します。

パワーダウン・インターフェース、PWDN

図22に示すように、パワーダウン・スレッシュホールドは正確に電源電圧の1/2に設定されています。ピン5を開放または電源電圧に接続(これを推奨します)した場合、バイアス・イネーブル電流がシャットオフされ、電源を流れ出る電流は、公称300k Ωチェーンを通過する電流が支配的になります(3 Vで20 μA)。グランドに接続すると、バイアス・システムがターンオンされます。スレッシュホールド・レベルは正確にV_{POS}/2です。PWDNピンの入力バイアス電流は、デバイス“ON”状態で動作している場合、V_{POS} = 3 Vに対して約5 μAです。

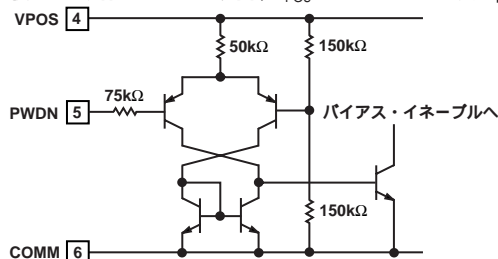


図22 . パワーダウン・スレッシュホールド回路

信号入力 INHIとINLO

このインターフェースの最も簡単な低周波ACモデルは、900 Ωの抵抗R_{IN}と1.1 pFの入力キャパシタC_{IN}の並列接続がINHIとINLOに接続された構成になります。図23に、さらに完全な回路図にするためこれらを分散配置したものを示します。表示した入力バイアス電圧はチップをイネーブルした場合に対するものです。ディスエーブルした場合は、数百ミリV持ち上がります。入力をキャパシタを使って結合すると、この変化により低レベル信号過渡状態が導入され、これらのキャパシタとR_{IN}により時定数が形成されます。このために、大きな値の結合キャパシタは良く整合をとる必要があります。高い周波数で使用される多くのインピーダンス変換ネットワークで見られる小さいキャパシタを使う場合は、この必要はありません。

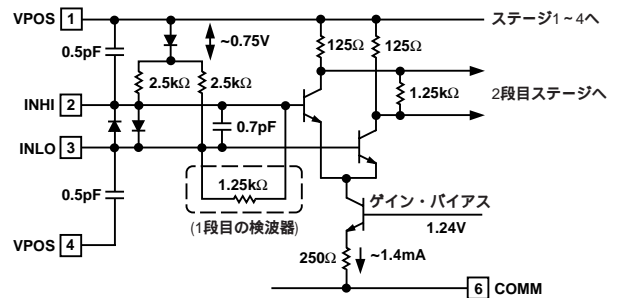


図23 . 入力インターフェースの簡易化された回路図

高周波での使用に対して、図24に、スミス・チャートのプロットで入力インピーダンスを示します。代表的なデバイスについてのこの測定結果には、191ミルの50 パターンとINLOピンからグランドへ接続した680 pFキャパシタが含まれています。

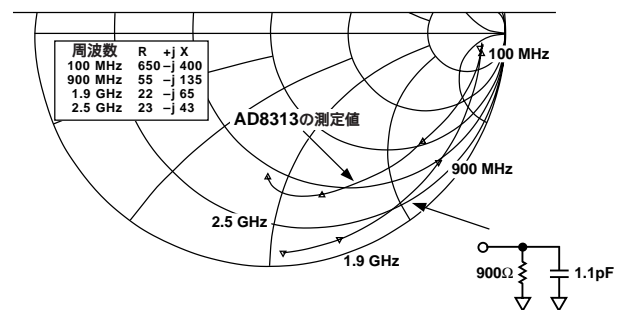


図24 . 代表的な入力インピーダンス

対数/誤差出力、VOUT

図25に、レールtoレール出力インターフェースを示します。V_{OUT}は、グランド内側約50 mVから電源電圧の内側約100 mVまでの範囲を変化することができ、両電源に対する短絡保護がなされています。ただし、負荷電流I_{SOURCE}は、PNPトランジスタのソース電流により400 μA(typ)に制限されます。外付けNPNトランジスタを追加することにより大きな負荷電流を出力することができます(アプリケーションの節参照)。このアンプのDCオープン・ループ・ゲインは高く、9個の検波器ステージの出力を加算して発生される電流モード信号により駆動される、2 pF(C_{INT})の容量を持つ約4.0 μA/dBの積分器と見なすことができます。

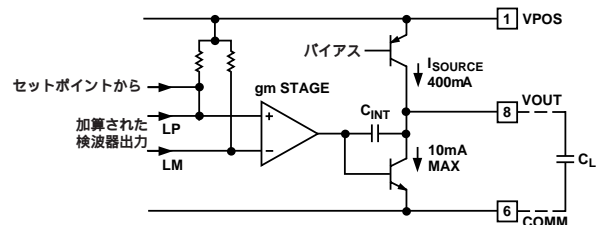


図25 . 出力インターフェースの回路

したがって、最小検波器出力より約40 dB高い約3 mVのスケール中央のRF入力に対しては、この電流は160 μAになり、出力は8 V/μsで変化します。VOUTをVSETに接続すると、立上がり時間と立下がり時間は約40 ns(R_L = 10 k Ωの場合)になります。公称スルー・レートは±2.5 V/μsになります。HF補償技術を使うと、大きな容量負荷C_Lでも安定に動作しますが、立上がりスルー・レートは、I_{SOURCE}/C_LによりC_L = 400 pFに対して1 V/μsに制限されます。

AD8313

セットポイント・インターフェース、VSET

図26に、セットポイント・インターフェースを示します。電圧 V_{SET} は合計抵抗 18 k の抵抗減衰器により分割比3で分割されます。信号はオペアンプと抵抗 R_3 (1.5 k) の動作により電流に変換されます。この動作は、9個の検波器セルの加算された出力により前段のセルに対する入力で発生された電流のバランスを取ります。対数スロープは公称 $3 \times 4.0\text{ }\mu\text{ A/dB} \times 1.5\text{ k}$ 18 mV/dB になります。

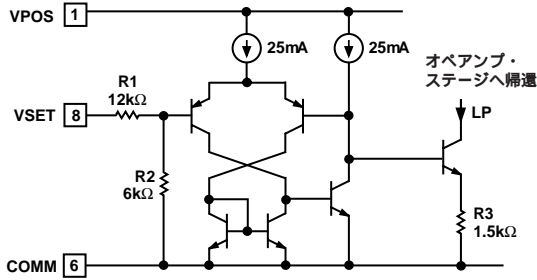


図26．セットポイント・インターフェースの回路

アプリケーション

対数 (RSSI) モードの基本接続

図27に、基本計測モードに接続したAD8313を示します。+2.7V ~ +5.5Vの電源が必要です。各VPOSピンの電源は、 $0.1\text{ }\mu\text{ F}$ 、表面実装のセラミック・キャパシタ、 $10\text{ }\Omega$ の直列抵抗を使ってデカップリングする必要があります。

PWDNピンはグラウンドに接続してあります。AD8313は、このピンにロジック“High”を入力するとディスエーブルすることができます。ディスエーブルされると、チップの電流は通常値 13.7 mA から約 $20\text{ }\mu\text{ A}$ に削減されます。ロジック・スレッシュホールドは $V_{POS}/2$ で、イネーブル機能は約 $1.8\text{ }\mu\text{ s}$ 以内に有効になります。ただし、一般に、低入力レベルでは設定時間が長くなることに注意してください。この場合の入力が、簡単な $50\text{ }\Omega$ 広帯域抵抗整合を使って終端されている場合、入力終端には様々な方法が使用できます。入力の結合の節で説明します。

VSETをVOUTに接続すると、対数アンプの全体のスケールリングを制御する帰還パスが接続されます。 1.75 V のフル・スケール出力を制限された電流値の最大 $400\text{ }\mu\text{ A}$ で発生できるようにするためには、負荷抵抗 R_L は 5 k より小さくすることはできません。

絶対最大定格で定めているように、VOUTピンに外部から大きな電圧 (範囲 $0\text{ V} \sim V_{POS}$ 以外の電圧) 加えると、デバイスに永久的な損傷を与えます。VPOSピンに過電圧が予想される場合は、シリーズ抵抗 (R_{PROT}) を図示のように挿入します。 $\pm 5\text{ V}$ までの過電圧保護に対しては、抵抗 $500\text{ }\Omega$ で十分です。 $\pm 15\text{ V}$ までの過電圧が予想される場合は、 $1000\text{ }\Omega$ の使用が必要です。出力ステージは $400\text{ }\mu\text{ A}$ 以上の負荷の駆動を想定していないため、さらに高インピーダンス駆動アプリケーションに対して、この抵抗がデバイス性能に影響を与えることはありません (高出力電流アプリケーションについては出力電流の増加の節で説明します)。

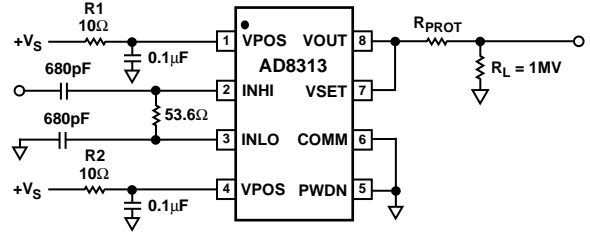


図27．対数 (RSSI) モードの基本接続

コントローラ・モードでの動作

図28に、コントローラ・モードでの動作に対する基本接続を示します。VOUTとVSETとの間の接続を取り外して、VSETに“セットポイント”を入力します。 V_{SET} とAD8313に対する等価入力電力の間に差があると、 V_{OUT} が電源レールまたはグラウンド・レベル近くに駆動されます。 V_{SET} が等価入力電力 V_{OUT} より大きい場合はグラウンドに駆動され、逆の場合は電源レールに駆動されます。

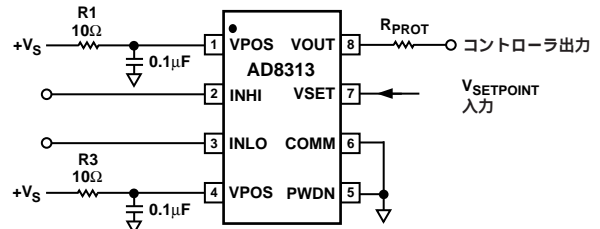


図28．コントローラ・モード動作の基本接続

この動作モードは、RF電力アンプ (PA) の出力電力をアナログ AGCループで制御するアプリケーションで便利です (図29)。このモードでは、出力電力にdB値で比例するセットポイント電圧をVSETピンに入力します。PAの出力電力のサンプルを、方向性結合器またはその他の方法で、AD8313の入力へ入力してやります。

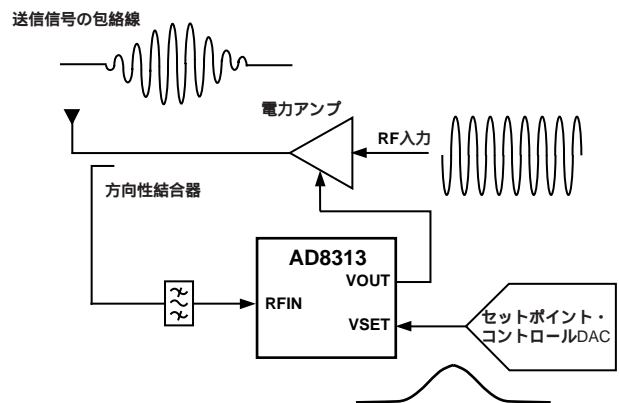


図29．セットポイント・コントローラの動作

V_{OUT} は、電力アンプのゲイン制御端子に入力されます。電力アンプのゲイン制御伝達関数は、電圧が増加するとゲインが減少する逆比例である必要があります。

V_{SET} に正のステップを入力すると(PAの電力出力の増加要求)、 V_{OUT} はグラウンドに駆動されます。これにより、PAのゲインを上げる動作が実行されます。AD8313への入力電力を V_{SET} の等価dB値に設定する電圧に V_{OUT} が整定すると、ループが設定されます。

入力の場合

信号は多様な結合方法でAD8313に入力することができます。どの場合でも、入力ピンからグラウンドへのDCパスが存在しないようにする必要があります。2個の入力結合キャパシタ、磁束結合変成器、プリント板上のバルーン回路、方向性結合器による直接駆動、または狭帯域インピーダンス整合ネットワークなどを使用することができます。

図30に、簡単な広帯域抵抗整合ネットワークを示します。53.6の終端抵抗とAD8313の内部入力インピーダンスの組合せにより、全体の入力インピーダンスは約50Ωになります。終端抵抗は入力ピンINHIとINLOの間に直接接続することが望ましく、ここに接続すると、ダイナミック・レンジの下端でのDCオフセット電圧の悪影響を小さくすることができます。低い周波数では大きい結合キャパシタを使用する必要があるため、好ましい方法ではありません。2個の680 pF入力結合キャパシタは、このネットワークのハイパスのコーナ周波数を9.4 MHzに設定します。

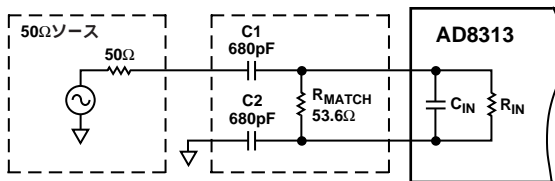


図30 . 単純な広帯域抵抗入力終端

ハイパス・コーナ周波数を次式に従って上げることもできます。

$$f_{3dB} = \frac{1}{2 \times C \times 50}$$

ここで、 $C = \frac{C1 \times C2}{C1 + C2}$

高い周波数のアプリケーションでは、変成器、バルーン回路または整合ネットワークの使用が有利です。これらのネットワークのインピーダンス整合特性により、AD8313の前にデバイスの感度を上げるゲイン・ステージを挿入することになります。このゲイン効果については、次の整合の例で説明します。

図31と図32に、900 MHzと1900 MHzでのこれら3つの入力条件におけるデバイス性能を示します。900 MHzのケースでは、インターセプトを予想通りに設定することにより、入力整合ネットワークの効果が明確に示されていますが、1.9 GHzでは改善が見られません。感度の改善が不要な場合は、単純な50Ω終端が使い易さと部品コストの面から明らかに最善の選択になります。

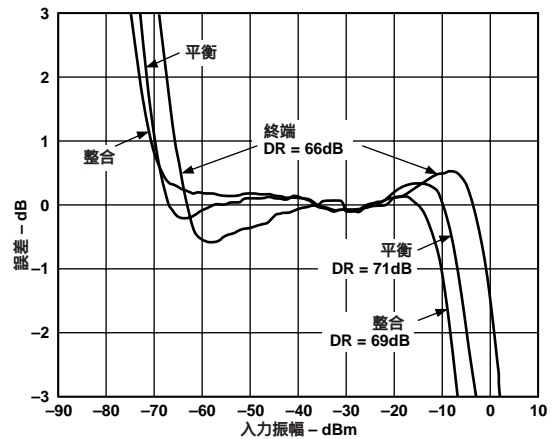


図31 . 900 MHzでの終端、整合、平衡による入力駆動の比較

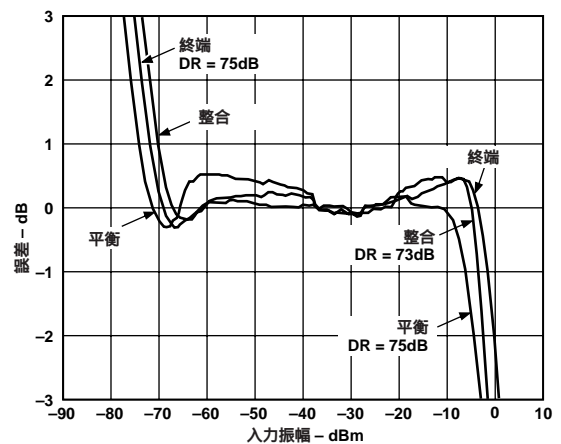


図32 . 1900 MHzでの終端、整合、平衡による入力駆動の比較

100 MHzにおける狭帯域LC整合ネットワークの例

整合部品の値を簡単に計算する多くのソフトウェア・プログラムが入手できますが、そこに使われている計算方法を理解することは有益です。高い周波数ではボードによる悪影響が発生するため、この例では低い周波数(100 MHz)値を選びます。高い周波数でのボード・デザインが必要なときは、RFレイアウト・シミュレーション・ソフトウェアは有効です。

狭帯域LC整合ネットワークは直列インダクタンス/並列容量または直列容量/並列インダクタンスのいずれかで実現することができます。ただし、AD8313入力INHIとINLOをAC結合するという条件も同時に満たす必要があることから、直列容量/並列インダクタンスの整合ネットワークが適しています(図33参照)。

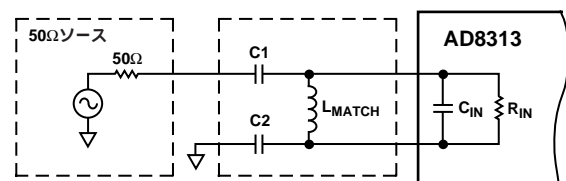


図33 . 狭帯域リアクタンス整合ネットワーク

AD8313

通常、AD8313は50 Ωに整合させる必要があります。100 MHzにおけるAD8313の入力インピーダンスはスミス・チャート(図24)から読み取ることができ、抵抗入力インピーダンス900 Ωと容量1.1 pFの並列接続に対応します。

整合手順を簡単にするため、 C_{IN} (図34)と共振する仮想並列インダクタ L_2 を接続することにより、AD8313の入力容量 C_{IN} を一時的に計算から取り除きます。このインダクタは後で計算に反映させます。これにより、主な計算は単純な抵抗と抵抗(50 Ωと900 Ω)の整合に基づくことができます。

共振周波数は次式で与えられます。

$$\omega = \frac{1}{\sqrt{L_2 C_{IN}}}$$

ここで、 $L_2 = \frac{1}{\omega^2 C_{IN}} = 2.3 \mu H$

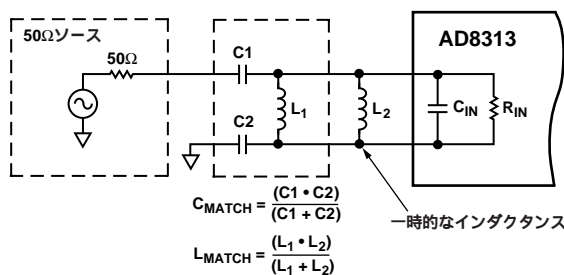


図34 . 入力整合ネットワークの例

C_{IN} と L_2 を一時的にとり除いて、50 Ωソース抵抗と900 Ω負荷(純抵抗)の整合に注目して C_{MATCH} と L_1 の値を計算します。

$$R_S R_{IN} = \frac{L_1}{C_{MATCH}} \text{ のとき、}$$

次式で与えられる周波数では入力は純粋な抵抗に見えます。

$$f_0 = \frac{1}{2 \sqrt{L_1 C_{MATCH}}} = 100 \text{ MHz}$$

この式を C_{MATCH} について解くと次のようになります。

$$C_{MATCH} = \frac{1}{\sqrt{R_S R_{IN}}} \frac{1}{2 f_0} = 7.5 \text{ pF}$$

L_1 について解くと、

$$L_1 = \frac{\sqrt{R_S R_{IN}}}{2 f_0} = 337.6 \text{ nH}$$

L_1 と L_2 は並列であるため、これらを組み合わせて L_{MATCH} の最終値を得ることができます。すなわち、

$$L_{MATCH} = \frac{L_1 L_2}{L_1 + L_2} = 294 \text{ nH}$$

C_1 と C_2 には様々な選択が可能です。まず、RFが短絡したように見えるように、1000 pFのような大きな値を C_2 として選ぶことができます。この場合、 C_1 は C_{MATCH} の計算値に設定されます。別の選択は、 C_1 と C_2 をそれぞれ C_{MATCH} の2倍に選んで、合計の直列容量が C_{MATCH} に等しくなるようにします。直列値を同じ値に維持したまま、 C_1 と C_2 の値を少し違えて(すなわち、 C_1 より C_2 を約10%小さくして) INHIとINLOでの信号振幅を等しくすることにより、平衡度を良くしてAD8313を駆動できるようにします。 C_1 と C_2 の直列値(すなわち、 $C_1 \times C_2 / (C_1 + C_2)$)が C_{MATCH} に等しい限り、上に説明する3つの方法はいずれも使用することができます。

どの方法でも、 C_{MATCH} と L_{MATCH} の値は標準の値から選択する必要があります。この時点で、これらの値をボードに実装して100 MHzでの性能を測定します。ボードとレイアウトでの寄生のため、上の例から得られた部品値を表1に示す $C_{MATCH} = 8.9 \text{ pF}$ と $L_{MATCH} = 270 \text{ nH}$ の最終値になるように調整する必要があります。

損失のない整合ネットワークを仮定して、電力が保存されることに注意すると、 R_S から R_{IN} (50 Ωから900 Ω)のインピーダンス変換は次式により与えられる電圧ゲインに対応します。

$$Gain_{dB} = 20 \times \log \sqrt{\frac{R_{IN}}{R_S}} = 12.6 \text{ dB}$$

AD8313の入力は電力ではなく電圧に反応するため、整合ネットワークの電圧ゲインにより、実効入力下限電力感度はこの値だけ増加します。このため、このケースでは、ダイナミック・レンジが下に移動します。すなわち、12.6 dB電圧ゲインにより、入力範囲0 dBm ~ -65 dBmが-12.6 dBm ~ -77.6 dBmに移動します。ただし、ネットワーク損失のために、実際にはこのゲインをその通りに実現することはできません。実際に得られる電圧ゲインの例については、図31と図32を参照してください。

表1に、図32のインダクタとキャパシタに対する幾つかのRF周波数での推奨値と対応する電圧ゲインの理論値を示します。リアクタンス整合ネットワークに対するこれらの値は、図45に示すボード・レイアウトに対して最適化されています。前述のように、ボード・レイアウトの変更を行うと、予想通りに動作しないネットワークになってしまうことがあります。2.5 GHzでは、並列インダクタだけで十分整合を得ることができます。したがって、RFが短絡したように見えるように、 C_1 と C_2 を十分大きくすることができます。

表 . 図33の C_1 、 C_2 、 L_{MATCH} に対する推奨値

周波数 (MHz)	C_{MATCH} (pF)	C_1 (pF)	C_2 (pF)	L_{MATCH} (nH)	電圧ゲイン (dB)
100	8.9	22	15	270	12.6
900	1.5	9	1000	270	9.0
		1.5	1000	8.2	
1900	1.5	3	3	2.2	6.2
		1.5	1000	2.2	
2500	大	390	390	2.2	3.2

図35に、900 MHz整合ネットワークの電圧応答を示します。ハイパス・ネットワークでは一般に低い周波数で高い減衰になることに注意してください。

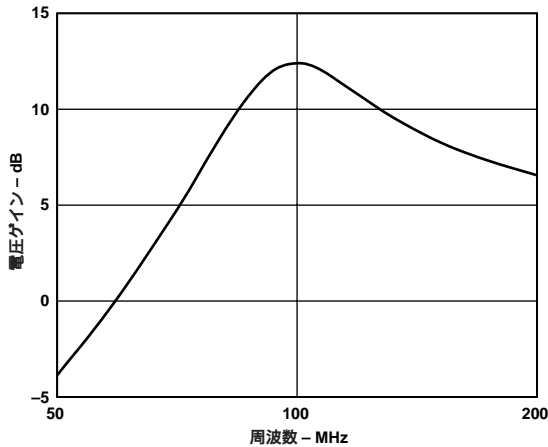


図35 . 900 MHz狭帯域整合ネットワークの電圧応答

対数スロープの調整

図36に、対数スロープを正確な値に調整する方法を示します。考え方は簡単で、可変抵抗R2を使ってVSETピンにある入力抵抗の内部18 kΩを調整してピンVOUTでの出力を減衰させることです。R2がゼロのとき減衰がゼロになり、スロープは基本の18 mV/dBになります(この値は周波数により変化することに注意、図8参照)。R2を最大値10 kΩに設定すると、VOUTからVSETへの減衰は比18/(18+10)になり、スロープは(28/18)×18 mVすなわち28 mV/dBに増加します。ほぼ中央で、公称スケールは23 mV/dBになります。このため、70 dB入力範囲は70×23 mVすなわち1.6 Vだけ出力を変化させます。

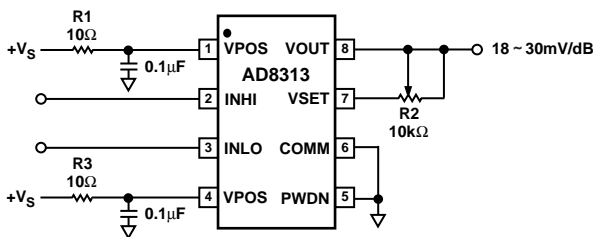


図36 . 対数スロープの調整

既に説明したように、調整された対数スロープは周波数により17 mV/dBから20 mV/dBに変化します(図8参照)。VOUTとVSETの間に抵抗を接続することにより、図37に示すようにスロープは便利な20 mV/dBに調整することができます。表IIに、この抵抗R_{EXT}に対する推奨値を示します。スロープを約50 mV/dBに増加させるR_{EXT}の値も示してあります。表IIに、-65 dBm~0 dBmの入力範囲に対応する電圧振幅も示します。

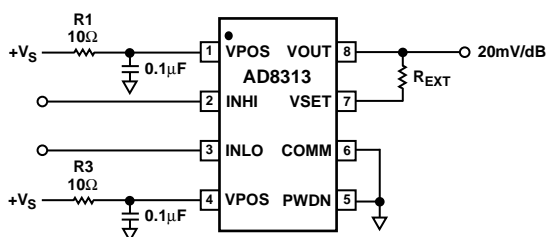


図37 . 対数スロープの固定値への設定

表 . 図37のR_{EXT}の値

周波数 MHz	R _{EXT} k	スロープ mV/dB	ピン - 65dBm ~ 0dBmに 対するV _{OUT} 振幅 V
100	0.953	20	0.44 to 1.74
900	2.00	20	0.58 to 1.88
1900	2.55	20	0.70 to 2.00
2500	0	20	0.54 to 1.84
100	29.4	50	1.10 to 4.35
900	32.4	50.4	1.46 to 4.74
1900	33.2	49.8	1.74 to 4.98
2500	26.7	49.7	1.34 to 4.57

R_{EXT}の値は次式を使って計算します。

$$R_{EXT} = 18 \text{ k} \times \frac{(\text{新しいスロープ} - \text{元のスロープ})}{\text{元のスロープ}}$$

特定周波数での元のスロープの値は図8から読み取ることができます。結果の出力振幅は、新しいスロープ値とその周波数でのインターセプト(図8と図11)をAD8313の出力電圧の一般式に代入することにより次のように計算されます。

$$V_{OUT} = \text{スロープ} \times (P_{IN} - \text{インターセプト})$$

出力電流の増加

大きい負荷を駆動する必要がある場合は、2つの方法を使用することができます。図38では、1 kΩプルアップ抵抗が出力に追加されています。この抵抗は、V_S = 2.7 Vに対して1 kΩ負荷を+1.7 Vに駆動するために必要な負荷電流を供給します。プルアップ抵抗は、インターセプトとスロープを少し小さくします。その結果、AD8313の伝達関数は上に移動します(インターセプトは下に移動します)。

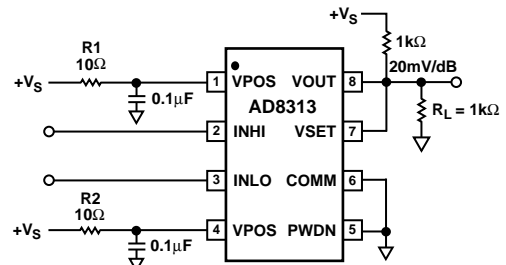


図38 . AD8313出力電流駆動能力の増加

図39では、100 Ω負荷で既にフル・スケール出力を駆動できている場合に、エミッタ・フォロアを使って電流ゲインを与えています。BC848BLT1(最小β = 200)のような高いβのトランジスタの使用をお奨めしますが、VOUTと+V_Sの間に2 kΩのプルアップ抵抗を接続すると、トランジスタのベース電流を増やすことができます。

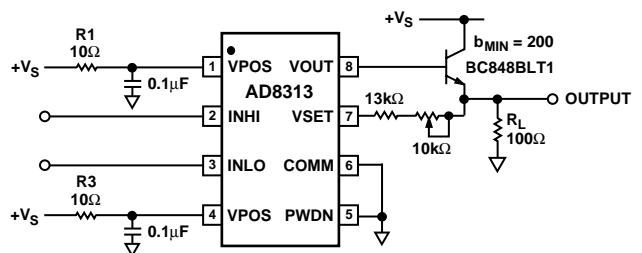


図39 . 出力駆動電流を増やす接続

AD8313

電流ゲインを与える他に、VSETとトランジスタのエミッタの間に抵抗/ポテンショメータの組合せを接続すると、最大抵抗で対数スロープを45 mV/dBも増やすことができます。これにより、0 dBm入力に対して4 Vの出力電圧を得ることができます。対数スロープの増加が不要な場合は、VSETをトランジスタのエミッタに直接接続することができます。

波形のインターセプトに対する影響

入力レベルはdBm(1 mWを基準とするdB値)で規定してありますが、AD8313は本来電力ではなく電圧に対して応答します。この特性から得られる直接の帰結は、等しいrms値電力を持つがクレスト・ファクタが異なる2つの入力信号は、対数アンプでは異なった出力になるということです。

異なる信号波形の効果は、対数アンプのインターセプトの実効値を上下に移動させることとして現れます。図的には、対数アンプの伝達関数が垂直に移動したように見えます。ただし、デバイスの対数スロープは原理的に影響を受けません。例えば、連続正弦波と、それと同じrms電力を持つ1つのCDMAチャンネルが交互に入力されるAD8313のケースを考えてみます。AD8313の出力電圧には、デバイスの全ダイナミック・レンジで3.55 dB(64 mV)に等しい量だけ差が発生します(CDMA入力に対する出力の方が小さくなります)。

表IIIに、種々の信号のrms信号強度の計測に適用される補正係数を示します。連続正弦波入力を基準として使用します。例えば、方形波のrms電力を計測するときは、表に与えられたmVに等価なdB値(18 mV/dB × 3.01 dB)をAD8313の出力電圧から減算します。

表 III. 異なるクレスト・ファクタを持つ信号に対するAD8313出力のシフト

信号タイプ	補正係数 (出力計測値に加算)
CW正弦波	0 dB
方形波またはDC	- 3.01 dB
三角波	+ 0.9 dB
GSMチャンネル(全タイム・スロットOn)	+ 0.55 dB
CDMAチャンネル	+ 3.55 dB
PDCチャンネル(全タイム・スロットOn)	+ 0.58 dB
ガウス・ノイズ	+ 2.51 dB

評価ボード

回路図andレイアウト

図44に、AD8313の特性出しで使用された評価ボードの回路図を示します。未実装部品は点線で示してあります。

これは、デュロイド誘電体(RT5880、h = 5ミル、 $\epsilon_r = 2.2$)を使用する3レイヤー・ボード(信号、グランド、電源)です。FR4も使用できますが、誘電係数とボード厚が異なるため、マイクロストリップの寸法を計算し直す必要があります。信号レイヤーと電源レイヤーのパターン・レイアウトとシルクスクリーンを図40 ~ 図43に示します。 μ SOICパッケージのPCBフットプリントと整合部品のパッドの詳細は、図45に示します。

信号レイヤーと電源レイヤーの空き領域は、一般的なノイズの抑圧のためにグランド・プレーンで埋めます。プレーン間の接続のインピーダンスを小さくするために、複数のスルー・ホール接続をRFグランド・プレーンに対して設けます。電源プレーンと信号プレーン上のグランド・プレーンは汎用グランド・リターンとして使用し、入力整合ネットワークに関係する全てのRFグランド(例えばC2)は直接RF内部グランド・プレーンに戻します。

一般的な動作

ボードには、+2.7 V ~ +5.5 Vの範囲の単電源を接続します。各VPOSピンに対する電源は、10 Ω 抵抗と0.1 μ Fキャパシタによりデカップリングします。2つの信号入力は、680 pF高品質RFキャパシタ(C1、C2)によりAC結合します。差動信号入力(INHI、INLO)に接続した53.6 Ω 抵抗は、内部900 Ω 入力インピーダンスと組み合わせられて、広帯域入力インピーダンス50.6 Ω を構成します。この終端は、53.6 Ω 抵抗のジョンソン・ノイズに起因するノイズの点から最適ではありません。AD8313のリアクタンス入力インピーダンスまたは入力インピーダンスの抵抗成分の周波数に対する減少も考慮されていません。ただし、複数の整合ネットワークのデザインを行わなくとも、この回路は、全周波数範囲でのAD8313の評価を可能にします。

最適性能を得るためには、53.6 Ω (L/Rと表示)をRFインダクタで、680 pFキャパシタを該当する値でそれぞれ置き換えることにより、狭帯域整合ネットワークを構成することができます。入力整合の節には、選択した周波数に対する推奨値と計算方法が示してあります。

スイッチ1は、パワーアップ・モードとパワーダウン・モードの選択に使用します。PWDNピンをグランドに接続すると、AD8313の通常動作がイネーブルされます。反対の位置では、PWDNピンを外部から駆動して(EXTENABLEと表示されたSMAコネクタ)、いずれかのデバイス状態に設定するか、あるいはフローティング状態にしてデバイスをディスエーブルすることができます。

評価ボードは、AD8313がRSSI計測モードで動作するように設定して出荷されます。このモードでは、VOUTと表示されたSMAコネクタに対数出力が出力されます。このモードは、VOUTピンとVSETピンを短絡する0 Ω 抵抗(R11)により設定されています。

対数スロープの変更

VSETとVOUTを短絡している0 Ω の抵抗R11を取り除いて、VSETとVOUTの間を20 k Ω のポテンショメータで接続することにより、AD8313のスロープを公称値18 mV/dBから最大40 mV/dBまで増加させることができます。

コントローラ・モードでの動作

AD8313をコントローラ・モードにするときは、R7とR11を取り除いて、VOUTとVSETの接続を切断します。EXTVSETINADJと表示されたSMAコネクタを使って、外部からVSETピンを駆動することができます。

出力電流の増加

V_{OUT}の出力電流を増やすときは、R3とR11の両抵抗を0 Ω にして、ポテンショメータR4(1 k Ω ~ 5 k Ω)を実装します。

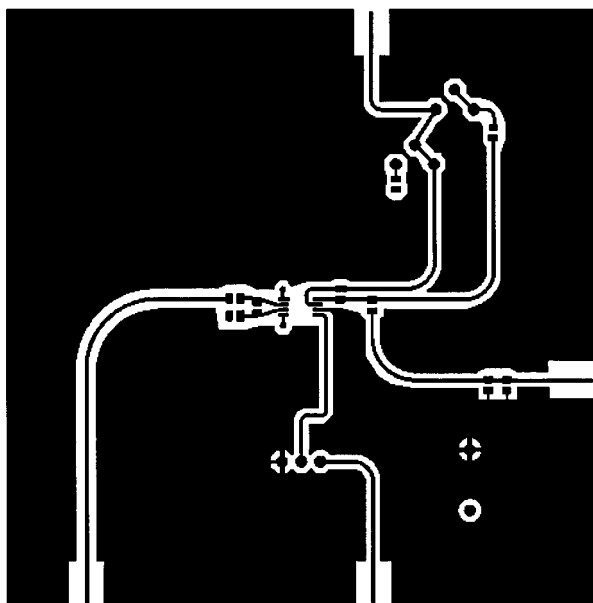


図40．信号層のレイアウト

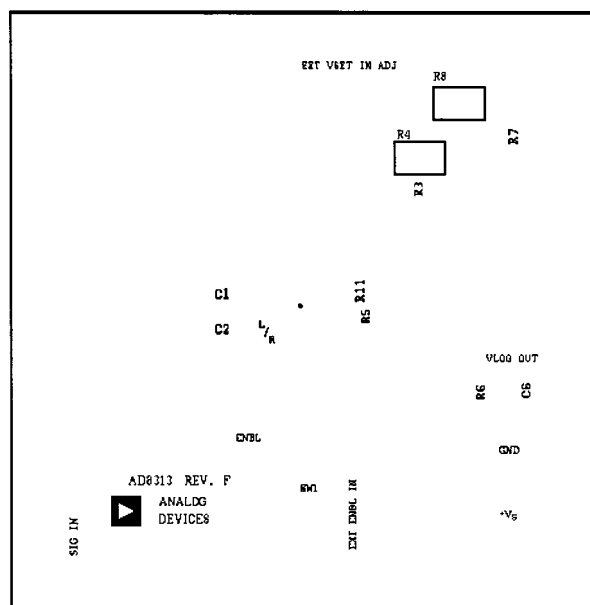


図42．信号層のシルクスクリーン

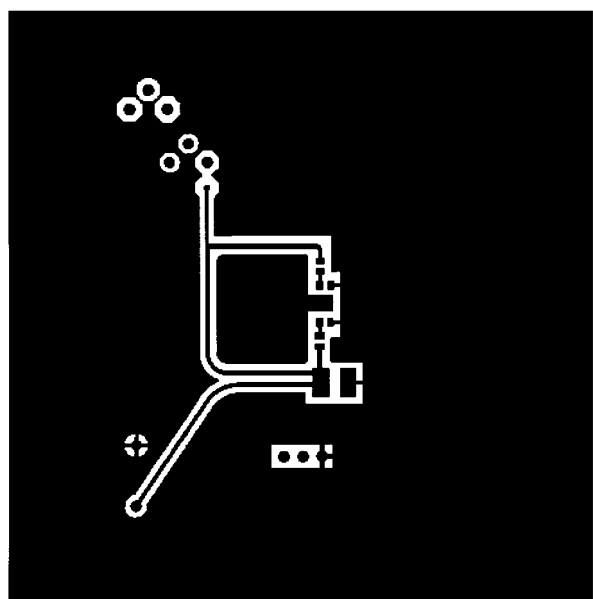


図41．電源層のレイアウト

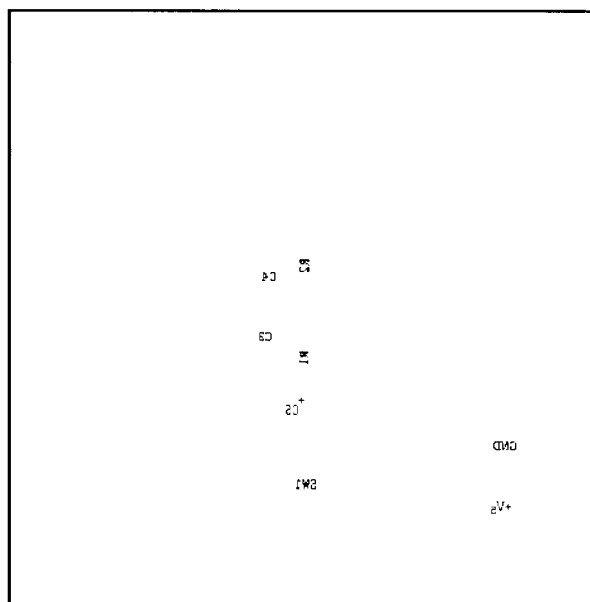


図43．電源層のシルクスクリーン

