初版

PSoC® 4 PSoC 4100PS 数据手册

可编程片上系统 (PSoC®)

概述

赛普拉斯的 PSoC®4 是一款可扩展和可重新配置的平台架构，适用于 Arm®Cortex®-M0 + CPU 的可编程嵌入式系统控制器系列。它将可编程和可重配置的模拟和数字模块与灵活的自动布线相结合。PSoC 4100PS 是 PSoC 4 平台架构的成员。它结合了具有标准通信和时序外设的微控制器，具有业内最佳性能的电容式触摸感应系统 (CapSense)，可编程通用连续时间和开关电容模拟模块以及可编程连接。

特性

可编程模拟模块

- 两个专用的模数转换器 (ADC) 包括一个 12 位 SAR ADC 和一个 10 位单斜 ADC
- 四个运算按放大器、两个低功耗比较器和一个非常灵活的 38 通道模拟复用器，用于创建自定义的模拟前端 (AFE)
- 两个 13 位电压 DAC。
- 两个 7 位电流 DAC (IDAC)，用于任何引脚上的通用或电容式传感应用

CapSense® 电容式感应

- 赛普拉斯的第四代 CapSense Sigma-Delta (CSD) 感应技术提供了一流的信噪比 (SNR) 和防水性能
- 赛普拉斯提供的软件组件使电容式感应设计变为更加简单
- 硬件自动调校 (SmartSense™)

Segment LCD 驱动

- 所有引脚 (Common 或 Segment 引脚) 都支持 LCD 驱动
- 能够在深度睡眠模式下运行，每个引脚拥有 4 位存储器

可编程的数字外设

- 三个独立的串行通信模块 (SCB)，在运行时间可将它配置为 I2C、 SPI 或 UART
- 八个 16 位定时器 / 计数器 / 脉宽调制器 (TCPWM) 模块，支持中心对齐、边沿和伪随机等模式

32 位信号处理引擎

- 高达 48 MHz 的 Arm Cortex-M0+ CPU
- 高达 32 KB 并带有读取加速器的闪存
- 多达 4 KB 的 SRAM 空间
- 基于描述符的 8 通道 DMA 控制器

低功耗操作

- 电压范围 : 1.71 V ~ 5.5 V
- 深度睡眠模式可支持模拟系统正常操作，并为数字系统提供 2.5 µA 的电流
- 时钟晶体振荡器 (WCO)

可编程 GPIO 引脚

- 可将多达 38 个 GPIO 配置为模拟、数字、CapSense 或 LCD 功能，也可以将其配置为可编程驱动模式、驱动强度和斜率等功能
- 8 个智能 I/O，用于在输入和输出信号上实现引脚电平的 Boolean 运算
- 封装类型 : 48 引脚 QFN、48 引脚 TQFP、28 引脚 SSOP 和 45 球 WLCSP

PSoC Creator 设计环境

- 集成设计环境 (IDE) 提供了原理图捕获设计输入和编译 (包括模拟和数字信号的自动路由)，并且通过 Arm-SWD 调试器能够同时开发固件
- 已经对基于 GUI 的可配置 PSoC 组件进行了全面的嵌入式初始化校准和纠正等操作
- 应用编程接口 (API) 可用于所有固定功能和可编程的外设

工业标准工具的兼容性

- 输入原理图后，可以使用基于 Arm 的工业标准开发工具进行开发软件

更多信息

赛普拉斯在www.cypress.com上提供大量数据，帮助为您的设计选择正确的PSoC器件，并帮助您快速有效地将器件集成到您的设计中。要获得全面的资源列表，请参阅知识库文章KBA86521，如何使用PSoC 3, PSoC 4, 和PSoC 5LP进行设计。以下是PSoC 4的简要列表:

- 概述: PSoC Portfolio, PSoC Roadmap
- 产品选择器: PSoC 1, PSoC 3, PSoC 4, PSoC 5LP
  此外， PSoC Creator 包括一个器件选择工具。
- 应用笔记: 赛普拉斯提供大量的PSoC应用笔记，涵盖从基础到高端的大量主题。推荐的PSoC 4 入门应用笔记如下:
  - AN79953: PSoC 4 入门
  - AN88619: PSoC 4 硬件设计要素
  - AN86439: 使用 PSoC 4 GPIO 引脚
  - AN57821: 混合信号电路板布局
  - AN81623: 数字设计最佳实践
  - AN73854: Bootloader 简介
  - AN89610: Arm Cortex 代码优化
  - AN85951: PSoC® 4 和 PSoC 模拟协处理器 CapSense® 设计指南
- 技术参考手册 (TRM) 包括两个文档:
  - Architecture TRM 详细描述了各 PSoC 4 功能模块。
  - Registers TRM 描述 PSoC 4 寄存器。
- 开发套件:
  - CY8CKIT-147 PSoC® 4100PS原型设计套件使您能够以低成本对PSoC 4100PS器件进行评估和开发。

MiniProg3 器件提供了一个用于进行闪存编程和调试的接口。

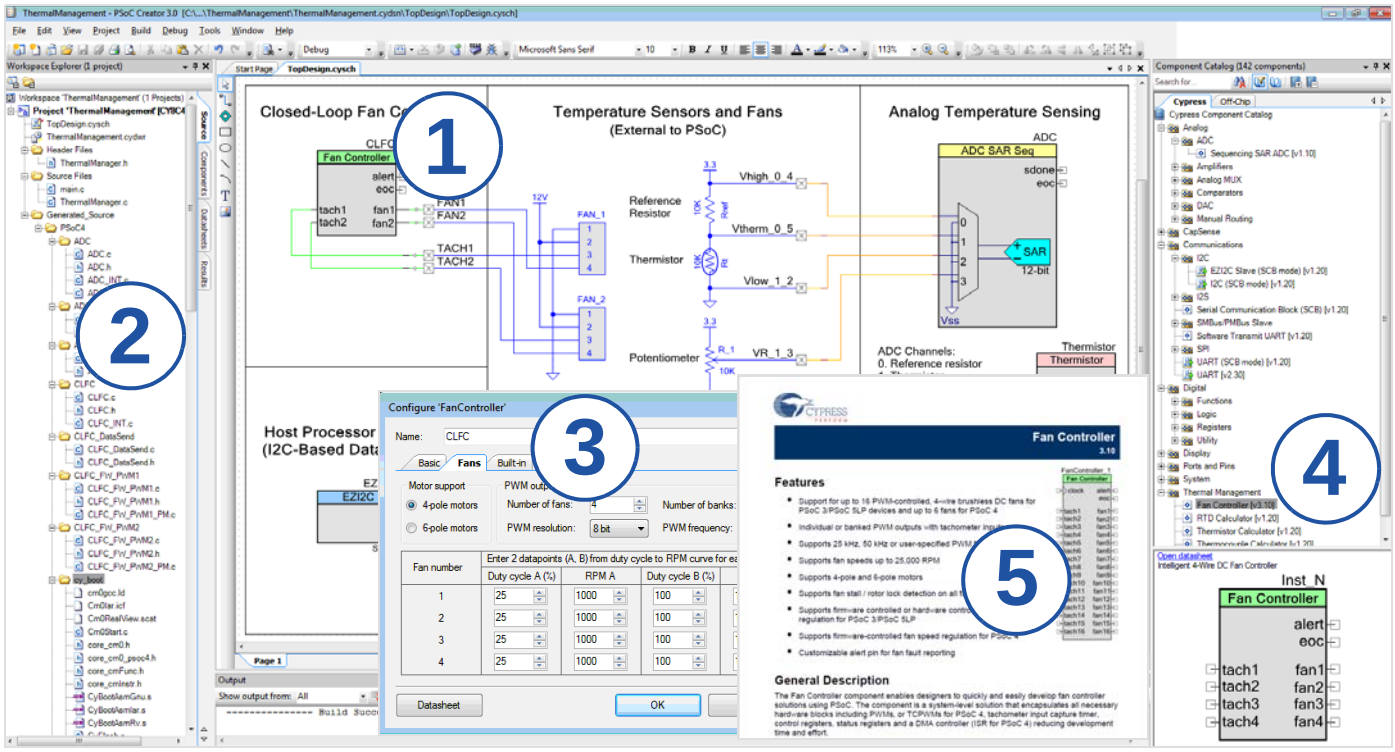
- 软件用户手册:
  - 关于使用PSoC Creator的分步指南。 该软件用户指南向您展示了PSoC Creator编译过程的详细工作过程，如何使用PSoC Creator的源代码控制等等。
- 组件数据表:
  - PSoC的灵活性允许在设备投入生产后很长时间创建新的外设 (组件)。组件数据表提供选择和使用特定组件所需的所有信息，包括功能描述，API文档，示例代码和AC / DC规范。
- 在线资源:
  - 除了打印文档外，通过Cypress PSoC 论坛还可以每周7天，每天24小时与世界各地的PSoC用户和PSoC专家联系。

PSoC Creator

PSoC Creator 是免费的基于 Windows 系统的集成设计平台(IDE)。通过它可以同时在 PSoC 3、PSoC 4 和 PSoC 5LP 的系统中设计硬件和固件。PSoC Creator 通过基于原理图的经典方法设计系统架构，由上百个预验证可用于生产的 PSoC 组件给与支持。更多信息请参考list of component datasheets。使用 PSoC Creator，可以执行以下操作:

1. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计。
2. 使用 PSoC Creator 集成开发环境 C 编译器对您的应用固件和 PSoC 硬件进行协同设计。
3. 使用配置工具配置组件
4. 浏览 100+ 组件的库
5. 查看组件数据手册

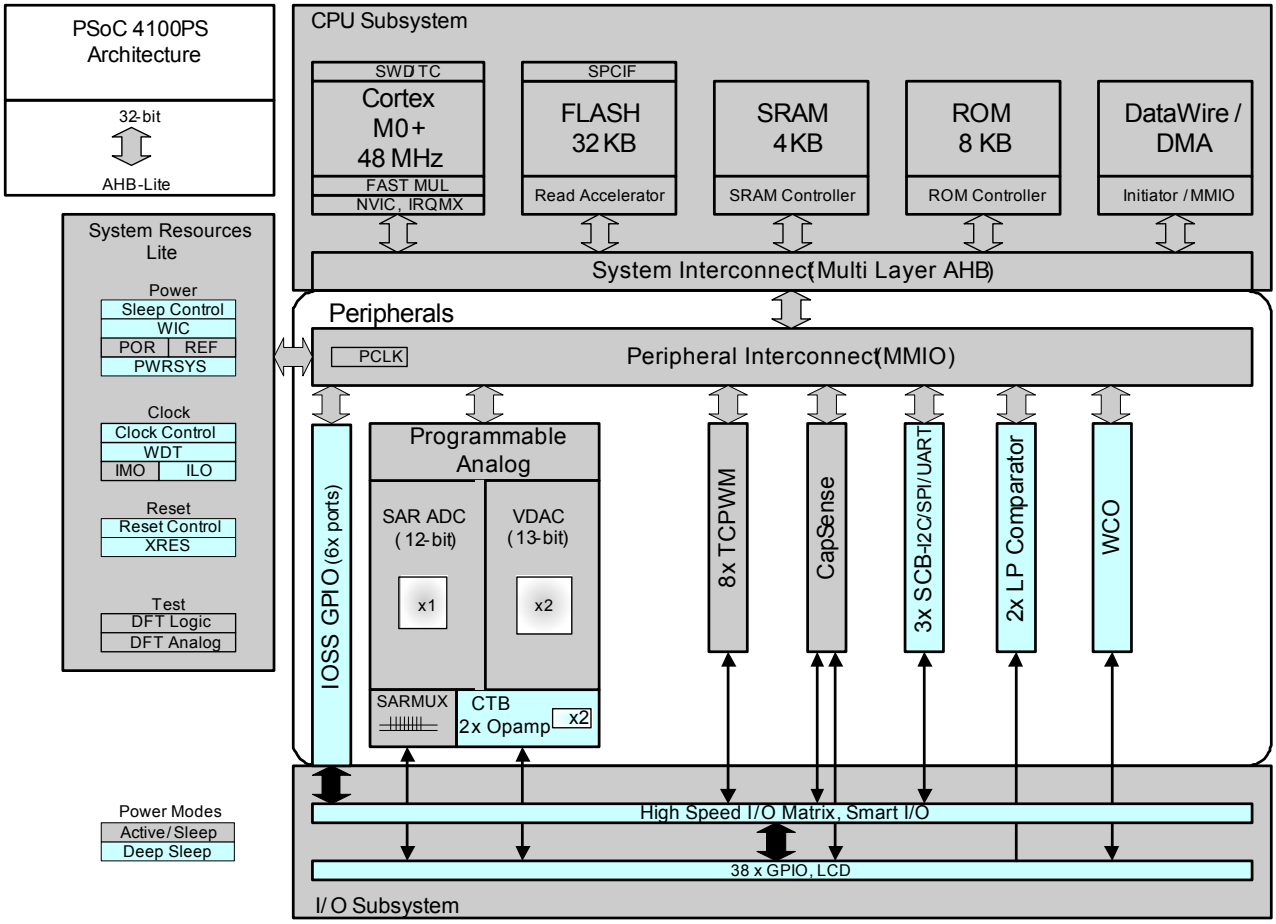
图 1. PSoC Creator 中多传感器的示例项目



目录

功能定义 6
CPU和存储器子系统 6
系统资源 6
模拟模块 7
固定功能数字模块 8
GPIO 8
特殊功能外设 8
WLCSP 封装 Bootloader 8
引脚分布 9
引脚的其他功能 11
电源 13
模式1 : 1.8 V到5.5 V外部电源 13
模式2 : 1.8 V ± 5%外部电源 13
开发支持 14
文档 14
在线支持 14
工具 14
电气规范 15
最大绝对额定值 15
器件级规范 15
模拟外设 19
数字外设 28
存储器 30
系统资源 30
订购信息 33
封装 35
封装图 36
缩略语 38
文档惯例 40
测量单位 40
PSoC 4100PS资格状态 40
修订记录 41
销售、解决方案和法律信息 42
全球销售和设计支持 42
产品 42
PSoC® 解决方案 42
赛普拉斯开发者社区 42
技术支持 42

图 2. 框图



PSoC 4100PS 设备能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm 串行线调试 (SWD) 接口支持器件的所有编程和调试功能。

借助完善的片上调试 (DoC) 功能，可以使用标准的量产器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

PSoC Creator 集成开发环境 (IDE) 软件能够为 PSoC 模拟协处理器设备提供全面集成的编程和调试支持。 SWD 接口与工业标准的第三方工具全面兼容。 PSoC 4100PS 系列提供了一个不适用于多芯片应用解决方案和微控制器的安全级别。它拥有下面优点：

- 允许禁用调试功能
- 稳定的闪存保护功能
- 允许在片上可编程模块上执行客户专用功能

调试电路默认处于使能状态，并且可以通过固件禁用它。如果未使能，唯一的使能方法是擦除整个器件，清除闪存保护，然后用使能调试的新固件对器件进行重新编程。只有在擦除固件后才能改写调试固件的使能，从而提高安全性。

此外，如某些应用担心网络钓鱼会通过对器件恶意重新编程来进行欺诈性攻击或试图启动和中断闪存编程序列来击败安全设定的应用，所有器件接口都可以被永久禁用。当器件的最大安全级别被使能时，将禁用所有编程、调试和测试接口。因此，已使能器件安全性的 PSoC 4100PS 将不能退回进行失效分析。这是 PSoC 4100PS 客户要考虑的地方。

功能定义

CPU 和存储器子系统

CPU

PSoC 4100PS 中的 Cortex-M0 CPU 是 32 位 MCU 子系统的部分，通过扩展的时钟门控来优化该子系统，从而降低功耗。此外，几乎所有指令的长度都为 16 位，并且 CPU 执行 Thumb-2 指令子集。它包括一个带有 8 个中断输入的嵌套向量中断控制器 (NVIC) 模块和一个唤醒中断控制器 (WIC)。通过 WIC 可以将处理器从深度睡眠模式唤醒，这样，允许芯片处于深度睡眠模式时关闭供给主处理器的电源。

CPU 还包含一个串行线调试 (SWD) 接口 — JTAG 的 2 线格式。PSoC 4100PS 的调试配置拥有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

DMA / 数据线

DMA 能够通过用户可编程的描述符链在存储器映射内任意位置上独立执行数据传输。数据线可将单个数据元素从存储器中某个位置发送到另一个位置。共有八个 DMA 通道以及一系列可选的触发源。

闪存

PSoC 4100PS 包含一个闪存模块，该模块的闪存加速器与 CPU 紧密耦合，以缩短闪存模块的平均访问时间。低功耗闪存模块可在工作频率为48 MHz的情况下实现两个等待状态 (WS) 的访问。通过闪存加速器，闪存的单周期访问时间平均为 SRAM 访问时间的 85%。

SRAM

4 KB 的 SRAM 能够在工作频率为 48 MHz 的情况下进行零等待状态的访问。

SROM

提供了包含引导和配置子程序的 8 KB SROM。

系统资源

电源系统

有关电源系统的详细信息，请参考第 13 页上的电源一节。它可确保电压电平满足每个相应模式的要求，为此需要进行以下操作 : 延迟进入模式 (例如，上电复位 (POR)) 直到电压电平满足要求以便能够正常工作，或者生成复位事件 (例如，欠压检测)。PSoC 4100PS 可通过一个外部电源供电，其电压范围为 1.8 V ±5% (外部稳压) 或 1.8 V 至 5.5 V (内部稳压)。它拥有三种不同的电源模式，这些模式间的转换由电源系统管理。 PSoC 4100PS 提供了活动模式以及低功耗的睡眠模式和深度睡眠模式。

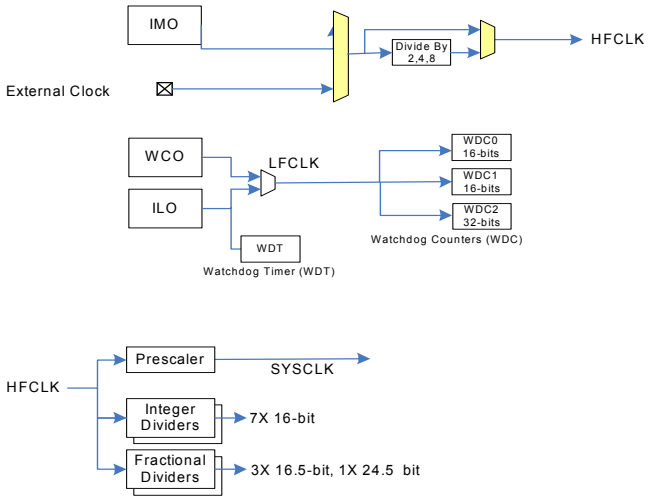
所有子系统在活动模式下都能运行。CPU 子系统 (CPU、闪存和 SRAM) 在睡眠模式下被时钟门控关闭，但所有外设和中断在发生唤醒事件时会立即被激活。在深度睡眠模式下，高速时钟和相关电路都被关闭，从该模式唤醒会需要 35 µs。运算放大器在深度睡眠模式下仍可运行。

时钟系统

PSoC 4100PS 的时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而不会造成短时脉冲。此外，该时钟系统可确保不会出现亚稳态情况。

PSoC 4100PS 的时钟系统包括内部主振荡器 (IMO)、内部低频振荡器 (ILO)、一个 32 kHz 时钟晶体振荡器 (WCO)，并能够接入一个外部时钟。该系统提供了各个时钟分频器，用于为外设灵活生成高精度的时钟。另外，还提供了分数分频器，从而为UART生成更高数据速率的时钟。

图 3. PSoC 4100PSMCU 的时钟架构



通过分频 HFCLK 信号，可以为模拟和数字外设生成同步时钟。PSoC 4100PS 共有 11 个时钟分频器，如上图所示。 16 位的分频器能够灵活生成精细的频率值 (对于较大的分频率，会使用 24 位的分频器)。 PSoC Creator 完全支持该功能。

IMO 时钟源

在 PSoC 4100PS 中，IMO 是主要的内部时钟源。在出厂测试过程中，该时钟源会被校准以达到指定的精度。IMO 的默认频率为 24 MHz，并且能以步径为 4 MHz 从 24 MHz 递增到 48 MHz。IMO 的校准容差为 ±2%。

ILO 时钟源

ILO 是一个极低功耗的 40 kHz 振荡器，主要用于为在深度睡眠模式下工作的看门狗和外设提供时钟。利用 IMO 校准 ILO 驱动计数器可以提高精度。赛普拉斯提供了一个用于校准目的的软件组件。

时钟晶体振荡器 (WCO)

PSoC 4100PS 时钟子系统还能够提供一个用于看门狗时序应用的低频率振荡器 (32 kHz 时钟晶振)。

看门狗定时器

来自 ILO 的时钟模块为看门狗定时器提供时钟；这样允许看门狗在深度睡眠模式下仍能工作。另外，如果超时还未服务该看门狗，则将生成看门狗复位。看门狗复位被记录在固件可读的复位原因寄存器内。

复位

可以通过各种源 (包括软件复位) 复位 PSoC 4100PS。复位事件是异步的，用于确保将器件及时恢复到一个已知的状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。将 XRES 引脚触发为低电平有效，保留该引脚以供外部复位使用。XRES 引脚有一个内部上拉电阻 (永远使能)。

参考电压

PSoC 4100PS 参考系统生成所需要的所有内部参考电压。1.2 V 参考电压被提供给比较器。 IDAC 基于 ±5% 参考电压。

模拟模块

12 位 SAR ADC

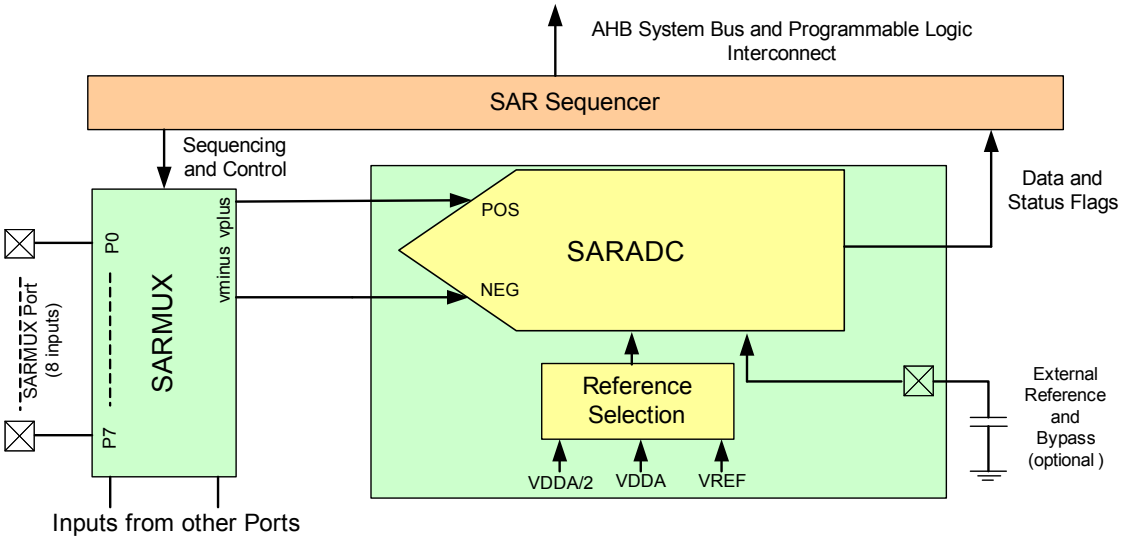
12 位、 1 Msps 的 SAR ADC 可在最大为 18 MHz 的时钟速率下运行，在该频率下进行 12 位数据转换至少需要 18 个时钟周期。

采样和保持 (S/H) 时间是可编程，能够降低对驱动 SAR 输入的放大器 (它决定了 SAR 的建立时间) 的增益带宽的要求。可以通过一个固定的引脚位置为内部参考电压放大器提供一个外部旁路电容。

SAR ADC 通过一个 8 线输入的序列发生器与一些固定引脚相连。序列发生器对选中的通道进行自动扫描 (序列发生器扫描)，而不需要任何软件开销 (即无论是在单通道的还是分布在多通道上，总采样带宽一直等于 1 Msps)。序列发生器的切换通过一个状态机或固件驱动实现。序列发生器可通过缓冲每个通道来减轻 CPU 中断处理的要求。为了适应各种源阻抗和频率的信号，每个通道可以编程不同的采样时间。另外， SAR ADC 支持硬件的转换结果溢出检测机制。转换结果的上下范围可以指定并保存在寄存器里，当 ADC 转换结果上 / 下溢出时，可以触发中断。这样节省了序列发生器扫描操作和CPU软件检测转换结果溢出与否的时间。

因为 SAR 需要使用高速时钟 (高达 18 MHz)，所以不可在深度睡眠模式下运行。 SAR 的工作电压范围为 1.71 V 到 5.5 V。

图 4. SAR ADC



四个运算放大器 (连续时间模块 CTB)

PSoC 4100PS 有四个可配置为比较器的运算放大器，这样能够在片上执行最常见的模拟功能，而无需外部组件； PGA、电压缓冲区、滤波器、互阻放大器和其他功能 (有时候需要使用外部无源器件)，从而节省电源、成本和空间。片上运算放大器有足够的带宽来驱动 ADC 的采样和保持电路，而不必使用外部缓冲。

VDAC (13 位)

PSoC 4100PS 有两个 13 位分辨率的电压 DAC。

低功耗比较器 (LPC)

PSoC 4100PS 有一对能在深度睡眠模式下工作的低功耗比较器。这样，当模拟系统模块被禁用时，仍可以在低功耗模式下监控外部电压电平。比较器输出通常需要进行同步化，以避免亚稳态，除非它在一个异步功耗模式下操作 (在此模式下，比较器电压变动事件可以激活系统唤醒电路)。可将 LPC 输出路由到各个引脚上。

电流 DAC

PSoC 4100PS 拥有两个 IDAC，可以驱动芯片上的任意引脚。可以对这些 IDAC 的电流范围进行编程。

模拟复用总线

PSoC 4100PS具有两个围绕芯片边缘的同心独立总线。它们 (称为AMUX总线) 与固件可编程的模拟开关相连，通过这些开关，

芯片的内部资源 (IDAC、比较器) 可连接至I/O端口上的任意引脚。

温度传感器

片上温度传感器在生产过程中进行了校准，以实现精度偏差±1 % (最大值±5%)。SAR ADC用于测量温度。

固定功能数字模块

定时器 / 计数器 / PWM (TCPWM) 模块

TCPWM 模块包含一个用户可编程周期长度的 16 位计数器。另外，还有一个捕获寄存器，用于记录发生事件 (可能是 I/O 事件) 时的计数值；一个周期寄存器，用于停止或自动重新加载计数器 (如果它的计数值等于周期寄存器的值) 和多个比较寄存器，用于生成可作为 PWM 占空比输出的比较值信号。该模块还提供了正向输出和反向输出间的可编程偏移；这样，这些输出可以作为可编程死区的互补 PWM 输出使用。它还有一个停止 (Kill) 输入，用于强制输出预定的状态；例如，在用于马达驱动系统中，当出现过流状态时，需要立即关闭驱动 FET 的 PWM 而不能等待软件干预。 PSoC 4100PS 中共有八个 TCPWM 模块。

串行通信模块 (SCB)

PSoC 4100PS 有三个串行通信模块，可将其配置为 SPI、I^2C 或 UART 功能。

I^2C 模式: 硬件 I^2C 模块实现了一个完整的多主设备和从设备接口 (它具有多主设备的校准功能)。该模块的工作速率可达 1 Mbps (快速模式 +)，另外它还提供各种灵活的缓冲选项，能够降低 CPU 的中断开销和延迟。该模块还具有一个 EZI2C，通过它可以在 PSoC 4100PS 的存储器中创建缓冲存储器的地址范围，并且对存储器中的阵列进行读写操作时可以大量降低 I^2C 通信。此外，该模块提供一个深度为 8 字节的 FIFO，用于接收和传送数据；通过延长 CPU 读取数据的时间，该特性大量减少了时钟延展的发生 (由于 CPU 没有及时读取数据而导致的现象)。

I^2C 外设与 I^2C 标准模式和快速模式器件相兼容，在 NXP I^2C 总线规范和用户手册 (UM10204) 中定义。在开漏模式下，可以使用 GPIO 实现 I^2C 总线 I/O。

针对下列方面来说， PSoC 4100PS 不完全符合 I^2C 规范 :

- GPIO 单元没有过压容差功能，因此不能热插拔或者由其它的 I^2C 系统单独供电。

UART 模式: 这是一个运行速度高达 1 Mbps 的全功能 UART。它支持汽车单线接口 (LIN) 、红外接口 (IrDA) 和智能卡 (ISO7816) 协议，这些全部都是基本 UART 协议的衍生协议。此外，它还支持 9 位多处理器模式，此模式允许寻址连接到通用 RX 和 TX 线的外设。支持通用 UART 功能，如奇偶校验错误、中断检测以及帧错误。一个 8 字节深度的 FIFO 容许更长的 CPU 服务延迟。

SPI 模式 : SPI 模式完全支持 Motorola SPI、 TI SSP (添加了一个用于同步 SPI 编解码的启动脉冲) 和 National Microwire (SPI 的半双工形式)。该 SPI 模块可以使用 FIFO。

GPIO

PSoC 4100PS 具有多大 38 个 GPIO。GPIO 模块实现下列功能 :

- 八种驱动模式 :
  - 模拟输入模式 (输入和输出缓冲区禁用)
  - 只输入
  - 弱上拉和强下拉
  - 强上拉和弱下拉
  - 开漏和强下拉
  - 开漏和强上拉
  - 强上拉和强下拉
  - 弱上拉和弱下拉
- 输入阈值选择 (CMOS 或 LVTTL)
- 除了强驱动模式外，需要单独控制输入和输出缓冲区的使能/禁用
- 可选的斜率，用于控制 dV/dt 相关噪声，有助于降低 EMI

各个引脚被分为逻辑实体并称为端口，每个端口的宽度为 8 位 (端口 2 和 3 会少一些)。在上电和复位期间，各模块被强制为禁用状态，以防止给任何输入供电和 / 或造成引脚启用时的过电流现象。一个高速 I/O 矩阵的复用网络用于复用连接多个信号至一个 I/O 引脚。

数据输出寄存器和引脚状态寄存器分别用于存储输出到引脚上的数据和引脚状态。

如果 I/O 引脚被使能，它将生成一个中断，并且每个 I/O 端口都有一个中断请求 (IRQ) 和相关的中断服务子程序 (ISR) 向量 (对于 PSoC 4100PS，向量数量为 4)。智能 I/O 模块由各开关和 LUT 构成，该模块允许路由到 GPIO 端口引脚上的信号实现布尔 (Boolean) 功能。智能 I/O 可在连接到芯片的输入引脚上或输出信号上进行逻辑操作。

特殊功能外设

CapSense

PSoC 4100PS 中的 CSD 模块为用户提供 CapSense 功能；一个模拟复用总线通过模拟开关能连接到任何引脚。因此，在软件控制情况下，系统中的任何可用引脚或引脚组都可以提供 CapSense 功能。另外，为了方便用户使用，还为 CapSense 模块提供了 PSoC Creator 组件。

通过将屏蔽电压驱动到另一个模拟总线可以提供防水功能。通过在同相位中驱动屏蔽电极和感应电极，可以提供防水功能，从而可以避免屏蔽电容衰减感应输入。另外可以实现接近感应。

CapSense 模块有两个 IDAC。可以将它作为通用 IDAC，如果不用 CapSense (两个 IDAC 都可用) 或 CapSense 没有防水功能 (一个 IDAC 可用)。 CapSense 模块还提供 10 位斜率 ADC 功能，该功能可与 CapSense 功能配合使用。

CapSense 模块是一个高级、低噪声的可编程模块，它提供了可编程的参考电压和电流源范围，有助于提升系统的灵敏和灵活性。它也可以使用外部参考电压。它支持全波 CSD 模式，交换检测 VDDA 和接地电压，以消除电源相关的噪声。

WLCSP 封装 Bootloader

WLCSP 封装与在闪存内安装的 I^2C Bootloader 一起提供。Bootloader 与 PSoC Creator bootloader 项目文件相兼容。

引脚分布

下表 提供了 PSoC 4100PS 在 48 引脚 QFN、 48 引脚 TQFP 和 32 引脚 CSP 封装中的引脚分布。所有端口引脚都支持 GPIO。

封装							
48-QFN		48-TQFP		28-SSOP		45-CSP	
引脚	名称	引脚	名称	引脚	名称	引脚	名称
28	P0.0	28	P0.0	21	P0.0	D3	P0.0
29	P0.1	29	P0.1	22	P0.1	E2	P0.1
30	P0.2	30	P0.2	23	P0.2	D2	P0.2
31	P0.3	31	P0.3			C3	P0.3
32	P0.4	32	P0.4			D1	P0.4
33	P0.5	33	P0.5			E1	P0.5
34	P0.6	34	P0.6			C2	P0.6
35	P0.7	35	P0.7			B2	P0.7
36	XRES	36	XRES	24	XRES	B3	XRES
37	P4.0	37	P4.0			A1	P4.0
38	P4.1	38	P4.1			B1	P4.1
39	P5.0	39	P5.0	25	P5.0	B4	P5.0
40	P5.1	40	P5.1			C1	P5.1
41	P5.2	41	P5.2	26	P5.2	A2	P5.2
42	P5.3	42	P5.3	27	P5.3	A3	P5.3
43	VDDA	43	VDDA	28	VDDA	J2	VDDA
44	VSSA	44	VSSA			J3	VSSA
45	VCCD	45	VCCD	1	VCCD	A4	VCCD
						B5	VDDD
46	VSSD	46	VSSD	2	VSSD	A5	VSSD
47	VDDD	47	VDDD	3	VDDD		
48	P1.0	48	P1.0	4	P1.0	C5	P1.0
1	P1.1	1	P1.1	5	P1.1	C4	P1.1
2	P1.2	2	P1.2	6	P1.2	D5	P1.2
3	P1.3	3	P1.3	7	P1.3	D4	P1.3
4	P1.4	4	P1.4			E3	P1.4
5	P1.5	5	P1.5			E4	P1.5
6	P1.6	6	P1.6				
7	P1.7	7	P1.7			G3	P1.7
8	VDDA	8	VDDA	8	VDDA	E5	VDDA
9	VSSA	9	VSSA	9	VSSA	F5	VSSA
10	P2.0	10	P2.0	10	P2.0	F4	P2.0
11	P2.1	11	P2.1	11	P2.1	F3	P2.1
12	P2.2	12	P2.2	12	P2.2	G4	P2.2
13	P2.3	13	P2.3	13	P2.3	G5	P2.3
14	P2.4	14	P2.4			H5	P2.4
15	P2.5	15	P2.5			J4	P2.5
16	P2.6	16	P2.6			H4	P2.6

封装							
48-QFN		48-TQFP		28-SSOP		45-CSP	
引脚	名称	引脚	名称	引脚	名称	引脚	名称
17	P2.7/VREF	17	P2.7/VREF	14	P2.7/VREF	J5	P2.7/VREF
18	VSSA	18	VSSA			J3	VSSA
19	VDDA	19	VDDA	15	VDDA	J2	VDDA
20	P3.0	20	P3.0			H2	P3.0
21	P3.1	21	P3.1	16	P3.1	F2	P3.1
22	P3.2	22	P3.2	17	P3.2	J1	P3.2
23	P3.3	23	P3.3	18	P3.3	H3	P3.3
24	P3.4	24	P3.4			F1	P3.4
25	P3.5	25	P3.5			G2	P3.5
26	P3.6	26	P3.6	19	P3.6	G1	P3.6
27	P3.7	27	P3.7	20	P3.7	H1	P3.7

各种电源引脚的功能如下说明：

VDDD : 数字部分的电源。

VDDA : 模拟部分的电源。

VSS : 接地引脚。

VCCD : 稳压数字电源 (1.8 V ± 5%)。

48 引脚的封装类型都有 38 个 I/O 引脚 45-CSP 和 28-SSOP 封装则分别有 37 和 20 个 I/O 引脚。

引脚的其他功能

每个端口引脚均可用于实现某个功能，例如：作为模拟 I/O、数字外设功能、 CapSense 引脚或 LCD 引脚。引脚分配如下表所示。

端口/引脚	模拟	SmartIO	活动				深度睡眠	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1
P0.0		SmartIO[0].io[0]	tcpwm.line[4]:1			tcpwm.tr_in[0]	cpuss.swd_data:0	scb[0].spi_select1:0
P0.1		SmartIO[0].io[1]	tcpwm.line_compl[4]:1			tcpwm.tr_in[1]	cpuss.swd_clk:0	scb[0].spi_select2:0
P0.2		SmartIO[0].io[2]	tcpwm.line[5]:1		srss.ext_clk			scb[0].spi_select3:0
P0.3		SmartIO[0].io[3]	tcpwm.line_compl[5]:1					
P0.4		SmartIO[0].io[4]	tcpwm.line[6]:1	scb[1].uart_rx:0			scb[1].i2c_scl:0	scb[1].spi_mosi:0
P0.5		SmartIO[0].io[5]	tcpwm.line_compl[6]:1	scb[1].uart_tx:0			scb[1].i2c_sda:0	scb[1].spi_miso:0
P0.6		SmartIO[0].io[6]		scb[1].uart_cts:0			lpcomp.comp[0]:0	scb[1].spi_clk:0
P0.7		SmartIO[0].io[7]		scb[1].uart_rts:0			lpcomp.comp[1]:0	scb[1].spi_select0:0
P4.0	wco_in		tcpwm.line[0]:2	scb[2].uart_rx:1		tcpwm.tr_in[5]	scb[2].i2c_scl:1	scb[2].spi_mosi:1
P4.1	wco_out		tcpwm.line_compl[0]:2	scb[2].uart_tx:1		tcpwm.tr_in[6]	scb[2].i2c_sda:1	scb[2].spi_miso:1
P5.0	csd.cshieldpads		tcpwm.line[7]:1	scb[0].uart_rx:1			scb[0].i2c_scl:1	scb[0].spi_mosi:1
P5.1	csd.vref_ext		tcpwm.line_compl[7]:1	scb[0].uart_tx:1			scb[0].i2c_sda:1	scb[0].spi_miso:1
P5.2	csd.dsi_cmod		tcpwm.line[6]:2	scb[0].uart_cts:1	tr_sar_out			scb[0].spi_clk:1
P5.3	csd.dsi_csh_tank		tcpwm.line_compl[6]:2	scb[0].uart_rts:1				scb[0].spi_select0:1
P1.0	ctb_pads[8] lpcomp.in_p[1]		tcpwm.line[0]:1	scb[1].uart_rx:1			scb[1].i2c_scl:1	scb[1].spi_mosi:1
P1.1	ctb_pads[9] lpcomp.in_n[1]		tcpwm.line_compl[0]:1	scb[1].uart_tx:1			scb[1].i2c_sda:1	scb[1].spi_miso:1
P1.2	ctb_pads[10] ctb_oa0_out_10x[1]		tcpwm.line[1]:1	scb[1].uart_cts:1				scb[1].spi_clk:1
P1.3	ctb_pads[11] ctb_oa1_out_10x[1]		tcpwm.line_compl[1]:1	scb[1].uart_rts:1				scb[1].spi_select0:1
P1.4	ctb_pads[12]		tcpwm.line[2]:1					scb[1].spi_select1:0
P1.5	ctb_pads[13]		tcpwm.line_compl[2]:1					scb[1].spi_select2:0
P1.6	ctb_pads[14]		tcpwm.line[3]:1					scb[1].spi_select3:0
P1.7	ctb_pads[15]		tcpwm.line_compl[3]:1					
P2.0	ctb_pads[0]		tcpwm.line[4]:0	scb[2].uart_rx:0			scb[2].i2c_scl:0	scb[2].spi_mosi:0

端口/引脚	模拟	SmartIO	活动				深度睡眠	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1
P2.1	ctb_pads[1]		tcpwm.line_compl[4]:0	scb[2].uart_tx:0			scb[2].i2c_sda:0	scb[2].spi_miso:0
P2.2	ctb_pads[2] ctb_oa0_out_10x[0]		tcpwm.line[5]:0	scb[2].uart_cts:0				scb[2].spi_clk:0
P2.3	ctb_pads[3] ctb_oa1_out_10x[0]		tcpwm.line_compl[5]:0	scb[2].uart_rts:0				scb[2].spi_select0:0
P2.4	ctb_pads[4]		tcpwm.line[0]:0					scb[2].spi_select1:0
P2.5	ctb_pads[5]		tcpwm.line_compl[0]:0					scb[2].spi_select2:0
P2.6	ctb_pads[6]		tcpwm.line[1]:0					scb[2].spi_select3:0
P2.7	ctb_pads[7]		tcpwm.line_compl[1]:0					
	sar_ext_vref0 sar_ext_vref1							
P3.0	sarmux[0]		tcpwm.line[2]:0	scb[0].uart_rx:0			scb[0].i2c_scl:0	scb[0].spi_mosi:0
P3.1	sarmux[1]		tcpwm.line_compl[2]:0	scb[0].uart_tx:0			scb[0].i2c_sda:0	scb[0].spi_miso:0
P3.2	sarmux[2] lpcomp.in_p[0]		tcpwm.line[3]:0	scb[0].uart_cts:0				scb[0].spi_clk:0
P3.3	sarmux[3] lpcomp.in_n[0]		tcpwm.line_compl[3]:0	scb[0].uart_rts:0				scb[0].spi_select0:0
P3.4	sarmux[4]		tcpwm.line[6]:0			tcpwm.tr_in[2]		scb[0].spi_select1:1
P3.5	sarmux[5]		tcpwm.line_compl[6]:0			tcpwm.tr_in[3]	csd.comp	scb[0].spi_select2:1
P3.6	sarmux[6]		tcpwm.line[7]:0	scb[2].uart_rx:2		tcpwm.tr_in[4]	scb[2].i2c_scl:2	scb[2].spi_mosi:2
P3.7	sarmux[7]		tcpwm.line_compl[7]:0	scb[2].uart_tx:2			scb[2].i2c_sda:2	scb[2].spi_miso:2

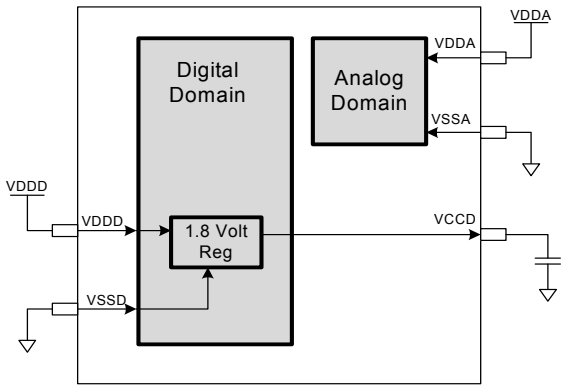
有关CTB连接的详细信息，请参阅技术参考手册 (TRM)。 VDAC输出通过CTB输出进行缓冲； 任何VDAC输出都可以路由到任何CTB输出。

电源

下面的电源系统框图显示了 PSoC 4100PS 中电源引脚的设置情况。该系统具有一个处于活动模式的电压调节器，供给数字电路使用。由于没有模拟电压调节器，因此模拟电路直接使用 V_{DDA} 输入来运行。

注意 VDDD 和 VDDA 必须在PCB上短接。

图 5. 电源连接



共有两种操作模式。在模式 1 中，电压范围从 1.8 V 到 5.5 V (未经外部稳压；使用内部电压调节器)。在模式 2 中，电压范围为 1.8 V ±5% (使用外部稳压；电压范围为 1.71 到 1.89 V，不使用内部电压调节器)。

模式 1 : 1.8 V 到 5.5 V 外部电源

在该模式下，PSoC 4100PS 由外部电源供电，它的范围为 1.8 到 5.5 V。该范围也适用于电池供电的操作。例如，芯片可由一个开始为 3.5 V，然后下降到 1.8 V 的电池系统供电。在此模式下，PSoC 4100PS 的内部电压调节器为内部逻辑供电，并且它的输出与 V_{CCD} 引脚连接。 V_{CCD} 引脚输出必须通过外部电容 (0.1 µF； X5R 陶瓷或性能更好的电容) 旁路接地，并且不可连接到其它部分。

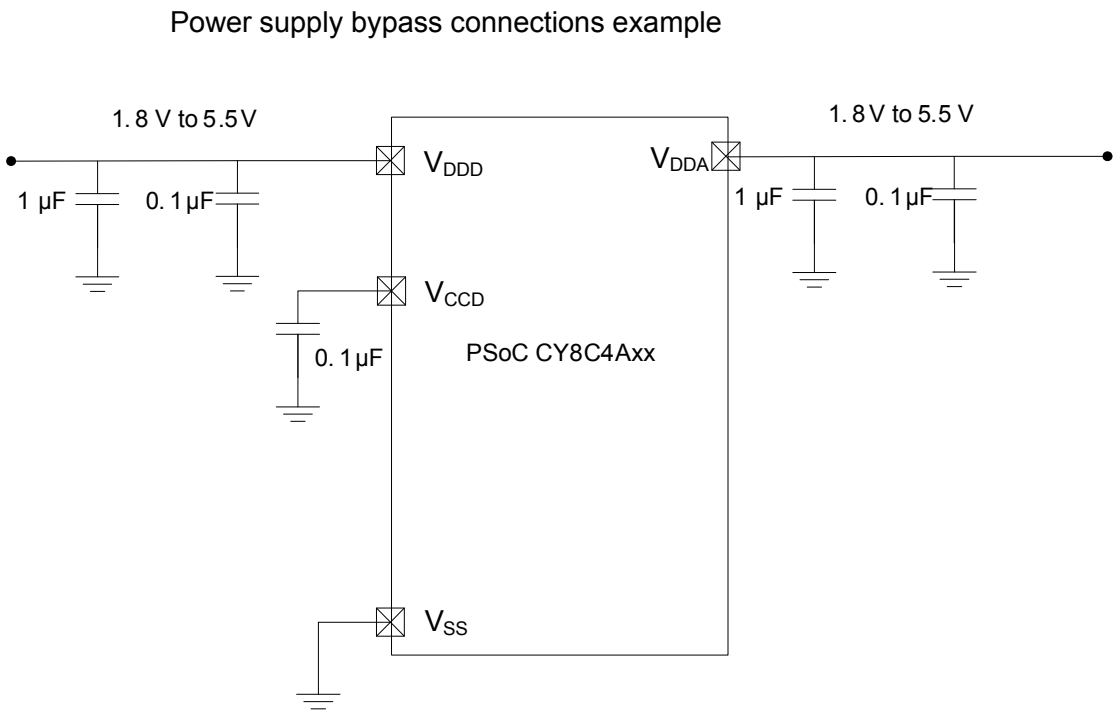
模式 2 : 1.8 V ± 5% 外部电源

在该模式下， PSoC 4100PS 由一个外部电源供电，它的电压范围为 1.71 V 至 1.89 V ；请注意，此范围必须包括了纹波。在该模式下， V_{DDD} 和 V_{CCD} 引脚短接相连并被旁路。内部电压调节器可通过固件被禁用。

V_{DDD}、V_{DDA} 和地之间必须有旁路电容对于在该频率范围内工作的系统，通常选用一个 1 µF 的电容，与一个较小的电容 (如 0.1 µF) 并行放置。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路寄生电容需要通过仿真设计以获得最佳的旁路。

旁路方案示例如下图所示。

图 6. 外部电源 (电压范围从 1.8 V 到 5.5 V，使能内部电压调节器)



开发支持

PSoC 4100PS 系列具有一系列丰富的文档、开发工具和在线资源，能够在开发过程中为您提供帮助。更多有关信息，请访问 www.cypress.com/go/psoc4 网站。

文档

通过 PSoC 4100PS 系列的一系列文档，您可以快速找到问题的答案。本节列出了一些关键文档。

软件用户指南：介绍了有关使用 PSoC Creator 的流程。该指南详细介绍了 PSoC Creator 的构建流程、如何使用 PSoC Creator 的资源控件等信息。

组件数据手册：PSoC 非常灵活，IC 在投入生产很长时间后依然可以创建新的外设 (组件)。组件数据手册提供了选择和使用特定组件所需的全部信息，其中包括功能说明、 API 文档、示例代码以及交流 / 直流规范。

应用笔记：PSoC 应用笔记深入讨论了 PSoC 的特定应用，例如直流无刷电机控制和片上滤波。除了应用笔记文档之外，应用笔记通常还包括示例项目。

技术参考手册：技术参考手册 (TRM) 包含使用 PSoC 器件所需的全部技术细节，其中包括有关所有 PSoC 寄存器的完整说明。技术参考手册 (TRM) 在 www.cypress.com/psoc4 网站上的文档部分提供。

在线支持

除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛，与世界各地的 PSoC 用户和专家互相联系。

工具

具备工业标准的内核、编程和调试接口， PSoC 4100PS 系列是开发工具体系的一个组成部分。有关易于使用的创新型 PSoC Creator IDE、所支持的第三方编译器、编程器、调试器和开发套件的最新信息，请访问我们的网站 : www.cypress.com/go/psoccreator。

电气规范

最大绝对额定值

表 1. 最大绝对额定值 [1]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID1	V_{DD_ABS}	相对于 V_{SS} 的数字或模拟供电电压	–0.5	–	6	V	V_{DDD}, V_{DDA}, 绝对最大值
SID2	V_{CCD_ABS}	相对于 V_{SS} 的直接数字内核输入电压	–0.5	–	1.95		–
SID3	V_{GPIO_ABS}	GPIO 电压	–0.5	–	V_{DD}+0.5		–
SID4	I_{GPIO_ABS}	每个 GPIO 上的最大电流	–25	–	25	mA	–
SID5	$I_{GPIO_injection}$	GPIO 注入电流，$V_{IH} > V_{DDD}$ 时，该值最大； $V_{IL} < V_{SS}$ 时，该值最小	–0.5	–	0.5		每个引脚的注入电流
BID44	ESD_HBM	人体静电放电模型	2200	–	–	V	–
BID45	ESD_CDM	静电放电的带电器件模型	500	–	–		–
BID46	LU	栓锁的引脚电流	–140	–	140	mA	–

器件级规范

除非另有说明，否则规范的适用条件是 –40 °C ≤ T_A ≤ 105 °C 和 T_J ≤ 125 °C，除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。

表 2. 直流规范

典型值的测量条件为 : V_{DD} = 3.3 V，温度 = 25 °C。

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID53	V_{DD}	电源输入电压	1.8	–	5.5	V	使能了电压调节器
SID255	V_{DD}	电源输入电压 ($V_{CCD} = V_{DD}$)	1.71	–	1.89		内部未稳压电源
SID54	V_{DDIO}	V_{DDIO} 供电范围	1.71	–	V_{DD}		–
SID55	C_{EFC}	外部电压调节器电压旁路	–	0.1	–	µF	绝缘介质为 X5R 的陶瓷或性能更好的电容
SID56	C_{EXC}	内部电压旁路电容	–	1	–		绝缘介质为 X5R 的陶瓷或性能更好的电容
在活动模式下， V_{DD} = 1.8 V ~ 5.5 V。典型值是在 25 °C 和 VDD = 3.3 V 的条件下测量得到。							
SID9	I_{DD5}	从闪存内执行； CPU 的运行速率为 6 MHz	–	2	–	mA	–
SID12	I_{DD8}	从闪存执行； CPU 的运行速度为 24 MHz	–	5.6	–		–
SID16	I_{DD11}	从闪存内执行； CPU 的运行速度为 48 MHz	–	10.4	–		–
在睡眠模式下， VDDD = 1.8 V ~ 5.5 V (使能电压调节器)							
SID22	I_{DD17}	I^2C 唤醒、 WDT 和比较器都被启用	–	1.1	–	mA	6 MHz
SID25	I_{DD20}	I^2C 唤醒、 WDT 和比较器都被启用	–	3.1	–		12 MHz

注释：

1. 器件在高于表 1 中所列出的最大绝对值条件下工作可能会造成永久性损害。长期在最大绝对值的条件下使用可能会影响器件的可靠性。最大存放温度是 150°C，符合 JEDEC JESD22-A103 — 高温度存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值，则器件可能不正常工作。

表 2. 直流规范 （续）

典型值的测量条件为 : V_{DD} = 3.3 V，温度 = 25 °C。

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
在睡眠模式下， V_{DDD} = 1.71 V ~ 1.89 V (旁路电压调节器)							
SID28	IDD23	I^2C 唤醒、 WDT 和比较器都被启用	–	1.1	–	mA	6 MHz
SID28A	IDD23A	I^2C 唤醒、 WDT 和比较器都被启用	–	3.1	–	mA	12 MHz
在深度睡眠模式下， V_{DD} = 1.8 V ~ 3.6 V (使能电压调节器)							
SID31	I_{DD26}	I^2C 唤醒和 WDT 被启用	–	2.5	–	µA	–
在深度睡眠模式下， V_{DD} = 3.6 V ~ 5.5 V (使能电压调节器)							
SID34	I_{DD29}	I^2C 唤醒和 WDT 被启用	–	2.5	–	µA	–
在深度睡眠模式下， V_{DD} = V_{CCD} = 1.71 V ~ 1.89 V (旁路电压调节器)							
SID37	I_{DD32}	I^2C 唤醒和 WDT 被启用	–	2.5	–	µA	–
XRES 电流							
SID307	I_{DD_XR}	触发 XRES 时的供电电流	–	115	300	µA	–

表 3. 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID48	F_{CPU}	CPU 频率	DC	–	48	MHz	$1.71 \le V_{DD} \le 5.5$
SID49[2]	T_{SLEEP}	从睡眠模式唤醒的时间	–	0	–	µs	
SID50[2]	$T_{DEEPSLEEP}$	从深度睡眠模式唤醒的时间	–	35	–		

注释：
2. 由出厂标准保证。

GPIO

表 4. GPIO 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID57	V_{IH}[3]	输入高电平阈值	0.7 × V_{DDD}	–	–	V	CMOS 输入
SID58	V_{IL}	输入低电平阈值	–	–	0.3 × V_{DDD}		CMOS 输入
SID241	V_{IH}[3]	LVTTL 输入， V_{DDD} < 2.7 V	0.7 × V_{DDD}	–	–		–
SID242	V_{IL}	LVTTL 输入， V_{DDD} < 2.7 V	–	–	0.3 × V_{DDD}		–
SID243	V_{IH}[3]	LVTTL 输入， V_{DDD} ≥ 2.7 V	2.0	–	–		–
SID244	V_{IL}	LVTTL 输入， V_{DDD} ≥ 2.7 V	–	–	0.8		–
SID59	V_{OH}	输出高电平电压	V_{DDD} – 0.6	–	–		V_{DDD} = 3 V 时， I_{OH} = 4 mA
SID60	V_{OH}	输出高电平电压	V_{DDD} – 0.5	–	–		V_{DDD} = 1.8 V 时， I_{OH} = 1 mA
SID61	V_{OL}	输出低电平电压	–	–	0.6		V_{DDD} = 1.8 V 时， I_{OL} = 4 mA
SID62	V_{OL}	输出低电平电压	–	–	0.6		V_{DDD} = 3 V 时， I_{OL} = 10 mA
SID62A	V_{OL}	输出低电平电压	–	–	0.4		V_{DDD} = 3 V 时， I_{OL} = 3 mA
SID63	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	kΩ	–
SID64	$R_{PULLDOWN}$	下拉电阻	3.5	5.6	8.5		–
SID65	I_{IL}	输入漏电流 (绝对值)	–	–	2	nA	
SID66	C_{IN}	输入电容	–	3	7	pF	–
SID67[4]	V_{HYSTTL}	输入迟滞 LVTTL	15	40	–	mV	V_{DDD} ≥ 2.7 V
SID68[4]	$V_{HYSCMOS}$	输入迟滞 CMOS	0.05 × V_{DDD}	–	–		V_{DD} < 4.5 V
SID68A[4]	$V_{HYSCMOS5V5}$	输入迟滞 CMOS 电平	200	–	–		V_{DD} < 4.5 V
SID69[4]	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的导通电流	–	–	100	μA	–
SID69A[4]	I_{TOT_GPIO}	芯片的最大总拉电流或灌电流	–	–	85	mA	–

表 5. GPIO 交流规范

(由出厂校准保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID70	T_{RISEF}	快速强驱动模式下的上升时间	2	–	12	ns	V_{DDD} = 3.3 V， Cload = 25 pF
SID71	T_{FALLF}	快速强驱动模式下的下降时间	2	–	12		V_{DDD} = 3.3 V， Cload = 25 pF
SID72	T_{RISES}	慢速强驱动模式下的上升时间	10	–	60	ns	V_{DDD} = 3.3 V， Cload = 25 pF

注释：
3. V_{IH} 不能超过 V_{DDD} + 0.2 V。
4. 由出厂标准保证。

表 5. GPIO 交流规范

(由出厂校准保证) （续）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID73	T_{FALLS}	慢速强驱动模式下的下降时间	10	–	60	ns	V_{DDD} = 3.3 V，Cload = 25 pF
SID74	$F_{GPIOUT1}$	GPIO 的输出频率 (F_{OUT})； 3.3 V ≤ V_{DDD} ≤ 5.5 V 快速强驱动模式	–	–	16	MHz	90/10%，Cload = 25 pF，60/40 占空比
SID75	$F_{GPIOUT2}$	GPIO F_{OUT}；1.71 V ≤ V_{DDD} ≤ 3.3 V 快速强驱动模式	–	–	16		90/10%，Cload = 25 pF，60/40 占空比
SID76	$F_{GPIOUT3}$	GPIO F_{OUT}；3.3 V ≤ V_{DDD} ≤ 5.5 V 慢速强驱动模式	–	–	7		90/10%，Cload = 25 pF，60/40 占空比
SID245	$F_{GPIOUT4}$	GPIO F_{OUT}；1.71 V ≤ V_{DDD} ≤ 3.3 V 慢速强驱动模式	–	–	3.5		90/10%，Cload = 25 pF，60/40 占空比
SID246	F_{GPIOIN}	GPIO 输入工作频率；1.71 V ≤ V_{DDD} ≤ 5.5 V	–	–	16		90/10% V_{IO}

XRES

表 6. XRES 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID77	V_{IH}	输入高电平阈值	0.7 × V_{DDD}	–	–	V	CMOS 输入
SID78	V_{IL}	输入低电平阈值	–	–	0.3 × V_{DDD}		
SID79	R_{PULLUP}	上拉电阻	–	60	–	kΩ	–
SID80	C_{IN}	输入电容	–	3	7	pF	–
SID81[5]	$V_{HYSXRES}$	输入电压迟滞	–	05 * V_{DD}	–	mV	V_{DD} > 4.5 V 时，典型迟滞为 200 mV

表 7. XRES 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID83[5]	$T_{RESETWIDTH}$	复位脉冲宽度	1	–	–	µs	–
BID194[5]	$T_{RESETWAKE}$	从复位释放到唤醒的时间	–	–	2.5	ms	–

注释：

5. 由出厂校准保证。

模拟外设

表 8. CTB 运算放大器规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
–	I_{DD}	运算放大器模块的电流，无负载	–	–	–	–	–
SID269	I_{DD_HI}	功耗 = 高	–	1100	1850	μA	–
SID270	I_{DD_MED}	功耗 = 中	–	550	950		–
SID271	I_{DD_LOW}	功耗 = 低	–	150	350		–
–	G_{BW}	负载 = 20 pF，电流 = 0.1 mA V_{DDA} = 2.7 V					
SID272	G_{BW_HI}	功耗 = 高	6	–	–	MHz	输入和输出电压范围为 0.2 V ~ V_{DDA} - 0.2 V
SID273	G_{BW_MED}	功耗 = 中	3	–	–		输入和输出电压范围为 0.2 V ~ V_{DDA} - 0.2 V
SID274	G_{BW_LO}	功耗 = 低	–	1	–		输入和输出电压范围为 0.2 V ~ V_{DDA} - 0.2 V
–	I_{OUT_MAX}	V_{DDA} = 2.7 V， 距电源轨 = 500 mV					
SID275	$I_{OUT_MAX_HI}$	功耗 = 高	10	–	–	mA	输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID276	$I_{OUT_MAX_MID}$	功耗 = 中	10	–	–		输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID277	$I_{OUT_MAX_LO}$	功耗 = 低	–	5	–		输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
–	I_{OUT}	V_{DDA} = 1.71 V， 电源电压 = 500 mV					
SID278	$I_{OUT_MAX_HI}$	功耗 = 高	4	–	–	mA	输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID279	$I_{OUT_MAX_MID}$	功耗 = 中	4	–	–		输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID280	$I_{OUT_MAX_LO}$	功耗 = 低	–	2	–		输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
–	I_{DD_Int}	运算放大器模块的电流， 内部负载					
SID269_I	$I_{DD_HI_Int}$	功耗 = 高	–	1500	1700	μA	–
SID270_I	$I_{DD_MED_Int}$	功耗 = 中	–	700	900		–
	G_{BW}	V_{DDA} = 2.7 V					
SID272_I	$G_{BW_HI_Int}$	功耗 = 高	8	–	–	MHz	输出电压范围为 0.25 V ~ V_{DDA}-0.25 V
–	–	适用于内部和外部负载模式的通用运算放大器规范					
SID281	V_{IN}	电荷泵被启用， V_{DDA} = 2.7 V	-0.05	–	V_{DDA}-0.2	V	–
SID282	V_{CM}	电荷泵被启用， V_{DDA} = 2.7 V	-0.05	–	V_{DDA}-0.2		–

表 8. CTB 运算放大器规范 （续）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID283	V_{OUT_1}	功耗 = 高， Iload = 10 mA	0.5	–	V_{DDA}-0.5	V	V_{DD} = 2.7 V
SID284	V_{OUT_2}	功耗 = 高， Iload = 1 mA	0.2	–	V_{DDA}-0.2		V_{DD} = 2.7 V
SID285	V_{OUT_3}	功耗 = 中， Iload = 1 mA	0.2	–	V_{DDA}-0.2		V_{DD} = 2.7 V
SID286	V_{OUT_4}	功耗 = 低， Iload = 0.1 mA	0.2	–	V_{DDA}-0.2		V_{DD} = 2.7 V
SID288	V_{OS_TR}	校准后的偏移电压	–1.0	±0.5	1.0	mV	高功耗模式，输入电压范围为 0 V ~ V_{DDA}-0.2 V
SID288A	V_{OS_TR}	校准后的偏移电压	–	±1	–		中等功耗模式，输入电压范围为 0 V ~ V_{DDA}-0.2 V
SID288B	V_{OS_TR}	校准后的偏移电压	–	±2	–		低功耗模式，输入电压范围为 0 V ~ V_{DDA}-0.2 V
SID290	$V_{OS_DR_TR}$	校准后的偏移电压漂移	-10	±3	10	µV/C	高功耗模式
SID290A	$V_{OS_DR_TR}$	校准后的偏移电压漂移	–	±10	–	µV/C	中等功耗模式
SID290B	$V_{OS_DR_TR}$	校准后的偏移电压漂移	–	±10	–		低功耗模式
SID291	CMRR	直流电流	70	80	–	dB	输入电压范围为 0 V ~ V_{DDA}-0.2 V，输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID292	PSRR	工作频率为 1 kHz，纹波电压为 10 mV	70	85	–		V_{DDD} = 3.6 V，高功耗模式，输入电压范围为 0.2 V ~ V_{DDA}-0.2 V
–	噪声						
SID294	VN2	输入端推算，频率 = 1 kHz，功耗 = 高	–	72	–	nV/rtHz	输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID295	VN3	输入端推算，频率 = 10 kHz，功耗 = 高	–	28	–		输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID296	VN4	输入端推算，频率 = 100 kHz，功耗 = 高	–	15	–		输入和输出电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID297	C_{LOAD}	稳定状态下的最大负载。但性能指标在 50 pF 时定义。	–	–	125	pF	–
SID298	Slew_rate	Cload = 50 pF，功耗 = 高，V_{DDA} = 2.7 V	6	–	–	V/µs	–
SID299	T_OP_WAKE	运算放大器从禁用到使能的时间，无外部 RC 电路支配	–	–	25	µs	–
SID299A	OL_GAIN	开环增益	–	90	–	dB	
–	COMP_MODE	比较器模式； 50 mV 驱动， T_{rise} = T_{fall} (近似值)					
SID300	TPD1	响应时间；功耗 = 高	–	150	175	ns	输入电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID301	TPD2	响应时间；功耗 = 中	–	500	–		输入电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID302	TPD3	响应时间；功耗 = 低	–	2500	–		输入电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID303	VHYST_OP	迟滞	–	10	–	mV	–
SID304	WUP_CTB	CTB 从使能到可用的唤醒时间	–	–	25	µs	–

表 8. CTB 运算放大器规范 （续）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
–	深度睡眠模式	模式 2 具有最低电流范围。模式 1 具有更高的增益带宽 (GBW)。					
SID_DS_1	$I_{DD_HI_M1}$	模式 1，高电流	–	1400	–	μA	
SID_DS_2	$I_{DD_MED_M1}$	模式 1，中等电流	–	700	–		
SID_DS_3	$I_{DD_LOW_M1}$	模式 1，低电流	–	200	–		
SID_DS_4	$I_{DD_HI_M2}$	模式 2，高电流	–	120	–	μA	
SID_DS_5	$I_{DD_MED_M2}$	模式 2，中等电流	–	60	–		
SID_DS_6	$I_{DD_LOW_M2}$	模式 2，低电流	–	15	–		
SID_DS_7	$G_{BW_HI_M1}$	模式 1，高电流	–	4	–	MHz	20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_8	$G_{BW_MED_M1}$	模式 1，中等电流	–	2	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_9	$G_{BW_LOW_M!}$	模式 1，低电流	–	0.5	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_10	$G_{BW_HI_M2}$	模式 2，高电流	–	0.5	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_11	$G_{BW_MED_M2}$	模式 2，中等电流	–	0.2	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_12	$G_{BW_Low_M2}$	模式 2，低电流	–	0.1	–		20 pF 负载，无直流负载，电压范围为 0.2 V ~ V_{DDA}-0.2 V
SID_DS_13	$V_{OS_HI_M1}$	模式 1，高电流	–	5	–	mV	在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-1.5 V
SID_DS_14	$V_{OS_MED_M1}$	模式 1，中等电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-1.5 V
SID_DS_15	$V_{OS_LOW_M2}$	模式 1，低电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-1.5 V
SID_DS_16	$V_{OS_HI_M2}$	模式 2，高电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-1.5 V
SID_DS_17	$V_{OS_MED_M2}$	模式 2，中等电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-1.5 V
SID_DS_18	$V_{OS_LOW_M2}$	模式 2，低电流	–	5	–		在 25°C 下校准，电压范围为 0.2 V ~ V_{DDA}-1.5 V

表 8. CTB 运算放大器规范 （续）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID_DS_19	$I_{OUT_HI_M!}$	模式 1，高电流	–	10	–	mA	输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID_DS_20	$I_{OUT_MED_M1}$	模式 1，中等电流	–	10	–		输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID_DS_21	$I_{OUT_LOW_M1}$	模式 1，低电流	–	4	–		输出电压范围为 0.5 V ~ V_{DDA}-0.5 V
SID_DS_22	$I_{OUT_HI_M2}$	模式 2，高电流	–	1	–		–
SID_DS_23	$I_{OU_MED_M2}$	模式 2，中等电流	–	1	–		–
SID_DS_24	$I_{OU_LOW_M2}$	模式 2，低电流	–	0.5	–		–

表 9. PGA 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
PGA 增益值	–	增益值可能为 2、 4、 16 或 32	2	–	32	–	
SID_PGA_1	PGA_ERR_1	低范围的增益误差；增益 = 2	–	1	–	%	
		中等范围的增益误差；增益 = 2	–	–	1.5	%	
		高范围的增益误差；增益 = 2	–	–	1.5	%	
SID_PGA_2	PGA_ERR_2	低范围的增益误差；增益 = 4	–	1	–	%	
		中等范围的增益误差；增益 = 4	–	–	1.5	%	
		高范围的增益误差；增益 = 4	–	–	1.5	%	
SID_PGA_3	PGA_ERR_3	低范围的增益误差；增益 = 16	–	3	–	%	
		中等范围的增益误差；增益 = 16	–	3	–	%	
		高范围的增益误差；增益 = 16	–	3	–	%	
SID_PGA_4	PGA_ERR_4	低范围的增益误差；增益 = 32	–	5	–	%	
		中等范围的增益误差；增益 = 32	–	5	–	%	
		高范围的增益误差；增益 = 32	–	5	–	%	

注释：
6. 由出厂标准保证。

Table 10. 电压 DAC 规范

Spec ID#	参数	说明	最小值	典型值	最大值	单位	详情/条件
13-bit DAC		差分输出					
SID_DAC_1	INL_MDAC1	积分非线性(INL)	–	+5,–6	–	LSB	
SID_DAC_2	DNL_MDAC1	微分非线性 (DNL)	–	+3.5, –0.75	–		
SID_DAC_3	VOUT_MDAC1	输出电压范围	0.01	–	V_{DDA}-0.01	V	有效输出范围为电源电压到 100 LSB 从 100 mV 到电源电压的全稳定带宽
SID_DAC_4	VOS_MDAC1	零刻度误差 (输出全零输入)	–	5	–	mV	零量程是对于模拟接地得到的
SID_DAC_5	GE_MDAC1	满量程误差减去偏移	–	–	0.4	%	–
SID_DAC_6	IDD_MMDAC1	模块电流	–	2.5	–	mA	–
SID_DAC_7	PSRR_MDAC1	电源抑制比	–	60	–	dB	–
SID_DAC_8	WUP_MDAC1	从使能到可用的唤醒时间	–	25	–	µs	工作于 500 ksps
SID_DAC_9	TS_MDAC1	DAC 的建立时间	–	–	2	µs	–

表 11. 比较器直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID84	$V_{OFFSET1}$	输入偏移电压，出厂校准值	–	–	±10	mV	–
SID85	$V_{OFFSET2}$	输入偏移电压，自定义校准	–	–	±4		–
SID86	V_{HYST}	迟滞 (当使能时)	–	10	35		–
SID87	V_{ICM1}	正常运行模式下的共模输入电压	0	–	V_{DDD} –0.1	V	模式 1 和 2
SID247	V_{ICM2}	低功耗模式下的共模输入电压	0	–	V_{DDD}		–
SID247A	V_{ICM3}	超低功耗模式下的共模输入电压	0	–	V_{DDD} – 1.15		温度 < 0 °C 时，V_{DDD} ≥ 2.2 V；温度 > 0 °C 时， V_{DDD} ≥ 1.8 V
SID88	C_{MRR}	共模抑制比	50	–	–	dB	V_{DDD} ≥ 2.7 V
SID88A	C_{MRR}	共模抑制比	42	–	–		V_{DDD} ≤ 2.7 V
SID89	I_{CMP1}	正常运行模式下的模块电流	–	–	400	µA	–
SID248	I_{CMP2}	低功耗模式下的模块电流	–	–	100		–
SID259	I_{CMP3}	超低功耗模式下的模块电流	–	–	28		温度 < 0 °C 时，V_{DDD} ≥ 2.2 V；温度 > 0 °C 时， V_{DDD} ≥ 1.8 V
SID90	Z_{CMP}	比较器的直流输入阻抗	35	–	–	MΩ	–

表 12. 比较器交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID91	TRESP1	响应时间，正常运行模式， 50 mV 超压	–	38	110	ns	所有 V_{DD}
SID258	TRESP2	响应时间，低功耗模式， 50 mV 超压	–	70	200		–
SID92	TRESP3	响应时间，超低功耗模式， 200 mV 超压	–	2.3	15	µs	温度 < 0 °C 时，V_{DDD} ≥ 2.2 V；温度 > 0 °C 时， V_{DDD} ≥ 1.8 V

表 13. 温度传感器规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID93	TSENSACC	温度传感器准确度	–5	±1	5	°C	–40 ~ +85 °C

表 14. SAR ADC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SAR ADC 直流规范							
SID94	A_RES	分辨率	–	–	12	位	
SID95	A_CHNLS_S	单端通道数量	–	–	8		8 个全速通道
SID96	A-CHNKS_D	差分通道数量	–	–	4		
SID97	A-MONO	单调性	–	–	–		有
SID98	A_GAINERR	增益误差	–	–	±0.1	%	使用外部参考电压
SID99	A_OFFSET	输入偏移电压	–	–	2	mV	在 1 V 的参考电压测量得到
SID100	A_ISAR	电流消耗	–	–	1	mA	
SID101	A_VINS	单端输入电压范围	V_{SS}	–	V_{DDA}	V	
SID102	A_VIND	差分输入电压范围	V_{SS}	–	V_{DDA}	V	
SID103	A_INRES	输入电阻	–	–	2.2	KΩ	
SID104	A_INCAP	输入电容	–	–	10	pF	
SID260	VREFSAR	校准后的 SAR 内部参考值偏差	–	–	TBD	V	
SAR ADC 交流规范							
SID106	A_PSRR	电源抑制比	70	–	–	dB	
SID107	A_CMRR	共模抑制比	66	–	–	dB	在电压为 1 V 时测量得到
SID108	A_SAMP	采样率	–	–	1	Msps	
SID109	A_SNR	信噪比和失真比 (SINAD)	65	–	–	dB	F_{IN} = 10 kHz
SID110	A_BW	无混叠输入带宽	–	–	A_samp/2	kHz	
SID111	A_INL	积分非线性。 V_{DD} = 1.71~ 5.5 V，比特率为 1 Msps	–1.7	–	2	LSB	V_{REF} = 1 V~ V_{DD}
SID111A	A_INL	积分非线性。V_{DDD} = 1.71 V ~ 3.6 V，比特率为 1 Msps	–1.5	–	1.7	LSB	V_{REF} = 1.71 V ~ V_{DD}
SID111B	A_INL	积分非线性。V_{DD} = 1.71 V ~ 5.5 V，比特率为 500 Ksps	–1.5	–	1.7	LSB	V_{REF} = 1 V~ V_{DD}
SID112	A_DNL	微分非线性。V_{DD} = 1.71 V ~ 5.5 V，比特率为 1 Msps	–1	–	2.2	LSB	V_{REF} = 1 V ~ V_{DD}
SID112A	A_DNL	微分非线性。V_{DD} = 1.71 V ~ 3.6 V，比特率为 1 Msps	–1	–	2	LSB	V_{REF} = 1.71 V ~ V_{DD}

表 14. SAR ADC 规范 （续）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID112B	A_DNL	微分非线性。V_{DD} = 1.71 V ~ 5.5 V，比特率为 500 Ksps	–1	–	2.2	LSB	V_{REF} = 1 V ~ V_{DD}
SID113	A_THD	总谐波失真	–	–	–65	dB	F_{IN} = 10 kHz
SID261	Fsarintref	没有外部参考旁路的 SAR 工作速度	–	–	100	ksps	12 位分辨率

表 15. CapSense 和 IDAC 的规范 [7]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SYS.PER#3	VDD_RIPPLE	电源的最大允许纹波，直流至 10 MHz	–	–	±50	mV	V_{DD} > 2 V (包括纹波)，T_A = 25 °C，灵敏度 = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	电源的最大允许纹波，直流至 10MHz	–	–	±25	mV	V_{DD} > 1.75 V (包括纹波)，T_A = 25 °C，寄生电容 (CP) < 20 pF，灵敏度 ≥ 0.4 pF
SID.CSD.BLK	ICSD	最大模块电流			4000	µA	
SID.CSD#15	VREF	CSD 和比较器的参考电源	0.6	1.2	V_{DDA} - 0.6	V	V_{DDA} - 0.6 或 4.4 (选择较低的值)
SID.CSD#15A	VREF_EXT	CSD 和比较器的外部参考电源	0.6		V_{DDA} - 0.6	V	V_{DDA} - 0.6 或 4.4 (选择较低的值)
SID.CSD#16	IDAC1IDD	IDAC1 (7 位) 模块电流	–	–	1750	µA	
SID.CSD#17	IDAC2IDD	IDAC2 (7 位) 模块电流	–	–	1750	µA	
SID308	VCSD	工作电压范围	1.71	–	5.5	V	1.8 V ±5% 或 1.8 V 到 5.5 V
SID308A	VCOMPIDAC	IDAC 的合规电压范围	0.6	–	V_{DDA} - 0.6	V	V_{DDA} - 0.6 或 4.4 (选择较低的值)
SID309	IDAC1DNL	DNL	–1	–	1	LSB	
SID310	IDAC1INL	INL	–3	–	3	LSB	
SID311	IDAC2DNL	DNL	–1	–	1.0	LSB	
SID312	IDAC2INL	INL	–3	–	3	LSB	
SID313	SNR	手指信号与噪声的比率。通过出厂校准保证	5.0	–	–	比率	电容值范围 = 5 ~ 200 pF，灵敏度 = 0.1 pF。所有使用场合。 V_{DDA} > 2 V。
SID314	IDAC7_SRC1	在低范围时7位IDAC的最大源电流	4.2		5.4	µA	LSB = 37.5 nA (典型值)
SID314A	IDAC7_SRC2	在中等范围时 7 位 IDAC 的最大源电流	34		41	µA	LSB = 300 nA (典型值)
SID314B	IDAC7_SRC3	在高范围时7位IDAC的最大源电流	275		330	µA	LSB = 2.4 µA (典型值)
SID314C	IDAC7_SRC4	在低范围时7位IDAC的最大源电流， 2X 模式	8		10.5	µA	LSB = 37.5 nA (典型值)，2X 输出阶段
SID314D	IDAC7_SRC5	在中等范围时 7 位 IDAC 的最大源电流， 2X 模式	69		82	µA	LSB = 300 nA (典型值)，2X 输出阶段
SID314E	IDAC7_SRC6	在高范围时7位IDAC的最大源电流， 2X 模式	540		660	µA	LSB = 2.4 µA (典型值)，2X 输出阶段
SID315	IDAC7_SINK_1	在低范围时7位IDAC的最大灌电流	4.2		5.7	µA	LSB = 37.5 nA (典型值)

注释：
7. 为了获得最佳 CapSense 性能，端口 0, 4 和 5 必须用于大直流负载。

表 15. CapSense 和 IDAC 的规范 [7] （续）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID315A	IDAC7_SINK_2	在中等范围时 7 位 IDAC 的最大灌电流	34		44	µA	LSB = 300 nA (典型值)
SID315B	IDAC7_SINK_3	在高范围时7位IDAC的最大灌电流	260		340	µA	LSB = 2.4 µA (典型值)
SID315C	IDAC7_SINK_4	在低范围时7位IDAC的最大灌电流， 2X 模式	8		11.5	µA	LSB = 37.5 nA (典型值)，2X 输出阶段
SID315D	IDAC7_SINK_5	在中等范围时 7 位 IDAC 的最大灌电流， 2X 模式	68		86	µA	LSB = 300 nA (典型值)，2X 输出阶段
SID315E	IDAC7_SINK_6	在高范围时7位IDAC的最大灌电流， 2X 模式	540		700	µA	LSB = 2.4 µA (典型值)，2X 输出阶段
SID315F	IDAC8_SRC_1	在低范围时8位IDAC的最大源电流	8.4		10.8	µA	LSB = 37.5 nA (典型值)
SID315G	IDAC8_SRC_2	在中等范围时 8 位 IDAC 的最大源电流	68		82	µA	LSB = 300 nA (典型值)
SID315H	IDAC8_SRC_3	在高范围时8位IDAC的最大源电流	550		680	µA	LSB = 2.4 µA (典型值)
SID315J	IDAC8_SINK_1	在低范围时8位IDAC的最大灌电流	8.4		11.4	µA	LSB = 37.5 nA (典型值)
SID315K	IDAC8_SINK_2	在中等范围时 8 位 IDAC 的最大灌电流	68		88	µA	LSB = 300 nA (典型值)
SID315L	IDAC8_SINK_3	在高范围时8位IDAC的最大灌电流	540		670	µA	LSB = 2.4 µA (典型值)
SID320	IDACOFFSET1	全零的输入；中等和高范围	–	–	1	LSB	由源电流或灌电流设置的极性
SID320A	IDACOFFSET2	全零的输入；低范围	–	–	2	LSB	由源电流或灌电流设置的极性
SID321	IDACGAIN	满量程错误减去偏移	–	–	±20	%	
SID322	IDACMISMATCH1	IDAC1 和 IDAC2 在低功耗模式下的差异	–	–	9.2	LSB	LSB = 37.5 nA (典型值)
SID322A	IDACMISMATCH2	IDAC1 和 IDAC2 在中等功耗模式下的差异	–	–	6	LSB	LSB = 300 nA (典型值)
SID322B	IDACMISMATCH3	IDAC1 和 IDAC2 在高功耗模式下的差异	–	–	6.8	LSB	LSB = 2.4 µA (典型值)
SID323	IDACSET8	8 位 IDAC 达到 0.5 LSB 所需的建立时间	–	–	10	µs	满量程跃变。无外部负载。
SID324	IDACSET7	7 位 IDAC 达到 0.5 LSB 所需的建立时间	–	–	10	µs	满量程跃变。无外部负载。
SID325	CMOD	外部调制器电容	–	2.2	–	nF	5 V 的额定电压，X7R 或 NP0 电容。

表 16. 10 位 CapSense ADC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SIDA94	A_RES	分辨率	–	–	10	位	8 个全速通道。
SID95	A_CHNLS_S	单端通道数量	–	–	16		差分输入使用相邻 I/O
SIDA97	A-MONO	单调性	–	–	–	有	有
SIDA98	A_GAINERR	增益误差	–	–	待定	%	使用外部参考电压。
SIDA99	A_OFFSET	输入偏移电压	–	–	待定	mV	用 1 V 的参考电压测量得到。
SIDA100	A_ISAR	电流消耗	–	–	待定	mA	
SIDA101	A_VINS	单端输入电压范围	V_{SSA}	–	V_{DDA}	V	
SIDA103	A_INRES	输入电阻	–	2.2	–	KΩ	
SIDA104	A_INCAP	输入电容	–	20	–	pF	
SIDA106	A_PSRR	电源抑制比	待定	–	–	dB	
SIDA107	A_TACQ	样本采集时间	–	1	–	µs	
SIDA108	A_CONV8	转换速率为 Fhclk/(2^(N+2)) 时 8 位分辨率的转换时间时钟频率为 48 MHz。	–	–	21.3	µs	不包括采集时间。等于 44.8 ksps (包括采集时间)。
SIDA108A	A_CONV10	转换速率为 Fhclk/(2^(N+2)) 时 10 位分辨率的转换时间时钟频率为 48 MHz。	–	–	85.3	µs	不包括采集时间。等于 11.6 ksps (包括采集时间)。
SIDA109	A_SND	信噪比和失真比 (SINAD)	待定	–	–	dB	
SIDA110	A_BW	无混叠输入带宽	–	–	22.4	kHz	8 位分辨率
SIDA111	A_INL	积分非线性。 V_{DD} = 1.71 ~ 5.5 V，比特率为 1 ksps	–	–	2	LSB	V_{REF} = 2.4 V 或更高的值
SIDA112	A_DNL	微分非线性。 V_{DD} = 1.71 ~ 5.5 V，比特率为 1 ksps	–	–	1	LSB	

数字外设

定时器 / 计数器 / 脉宽调制器 (TCPWM)

表 17. TCPWM 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.TCPWM.1	ITCPWM1	频率为 3 MHz 时的模块电流消耗	–	–	45	μA	所有模式 (TCPWM)
SID.TCPWM.2	ITCPWM2	频率为 12 MHz 时的模块电流消耗	–	–	155		所有模式 (TCPWM)
SID.TCPWM.2A	ITCPWM3	频率为 48 MHz 时的模块电流消耗	–	–	650		所有模式 (TCPWM)
SID.TCPWM.3	$TCPWM_{FREQ}$	工作频率	–	–	Fc	MHz	Fc max = CLK_SYS 最大值 = 48 MHz
SID.TCPWM.4	$TPWM_{ENEXT}$	输入触发脉冲宽度	2/Fc	–	–	ns	针对所有触发事件 [8]
SID.TCPWM.5	$TPWM_{EXT}$	输出触发脉冲宽度	2/Fc	–	–		上溢、下溢和 CC（计数值等于比较值）输出的最小宽度
SID.TCPWM.5A	TC_{RES}	计数器的分辨率	1/Fc	–	–		连续计数间的最短时间
SID.TCPWM.5B	PWM_{RES}	PWM 分辨率	1/Fc	–	–		PWM 输出的最小脉宽
SID.TCPWM.5C	Q_{RES}	正交输入分辨率	1/Fc	–	–		正交相位输入间的最小脉冲宽度

I^2C

表 18. 固定 I^2C 直流规范 [9]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID149	I_{I2C1}	频率为 100 KHz 时的模块电流消耗	–	–	50	μA	–
SID150	I_{I2C2}	频率为 400 KHz 时的模块电流消耗	–	–	135		–
SID151	I_{I2C3}	在 1 Mbps 时的模块电流消耗	–	–	310		–
SID152	I_{I2C4}	I^2C 在深度睡眠模式下被使能	–	–	1.4		

表 19. 固定的 I^2C 交流规范 [9]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID153	F_{I2C1}	比特率	–	–	1	Msps	–

表 20. SPI 直流规范 [10]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID163	ISPI1	在 1 Mbps 时的模块电流消耗	–	–	360	μA	–
SID164	ISPI2	在 4 Mbps 时的模块电流消耗	–	–	560		–
SID165	ISPI3	在 8 Mbps 时的模块电流消耗	–	–	600		–

注释：
8. 根据所选的工作模式，触发事件可以为 : Stop、 Start、 Reload、 Count、 Capture 或 Kill。
9. 由出厂标准保证。

表 21. SPI 交流规范 [10]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID166	FSPI	SPI 工作频率 (主设备； 6X 过采样)	–	–	8	MHz	SID166
固定 SPI 主设备模式的交流规范							
SID167	TDMO	SClock 驱动沿后 MOSI 有效的时间	–	–	15	ns	–
SID168	TDSI	SClock 捕获沿前的 MISO 有效时间	20	–	–		全时钟、 MISO 推迟采样
SID169	THMO	先前的 MOSI 数据保持时间	0	–	–		表示从设备捕获边沿
固定 SPI 从设备模式的交流规范							
SID170	TDMI	SClock 捕获沿前的 MOSI 有效时间	40	–	–	ns	–
SID171	TDSO	SClock 驱动沿后 MISO 有效的时间	–	–	42 + 3*Tscb		Tscb = SCB Clock
SID171A	TDSO_EXT	Sclock 驱动沿到 MISO 有效的时间 (在外部时钟模式下)	–	–	48		–
SID172	THSO	先前的 MISO 数据保持时间	0	–	–		–

表 22. UART 直流规范 [10]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID160	I_{UART1}	在 100 Kbps 时的模块电流消耗	–	–	55	µA	–
SID161	I_{UART2}	在 1000 Kbps 时的模块电流消耗	–	–	312	µA	–

表 23. UART 交流规范 [10]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID162	F_{UART}	比特率	–	–	1	Mbps	–

表 24. LCD 直接驱动直流规范 [10]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID154	I_{LCDLOW}	低功耗模式下的工作电流	–	5	–	µA	尺寸为 6 x 4 段式 (segment) 显示屏；频率为 50 Hz
SID155	C_{LCDCAP}	LCD各个Segment/Common的电容	–	500	5000	pF	–
SID156	LCD_{OFFSET}	长期段偏移	–	20	–	mV	–
SID157	I_{LCDOP1}	LCD 系统工作电流， Vbias = 5 V	–	2	–	mA	尺寸为 32 x 4 段式显示屏，频率为 50 Hz，温度为 25 °C
SID158	I_{LCDOP2}	LCD 系统工作电流， Vbias = 3.3 V	–	2	–		32 x 4 段式显示屏，频率为 50 Hz，温度为 25 °C

表 25. LCD 直接驱动器交流规范 [10]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID159	F_{LCD}	LCD 帧率	10	50	150	Hz	–

注释：
10. 由出厂校准保证。

存储器

表 26. 闪存直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID173	V_{PE}	擦除和编程电压	1.71	–	5.5	V	–

表 27. 闪存交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID174	$T_{ROWWRITE}$[11]	行 (块) 编写时间 (擦除和编程)	–	–	20	ms	行 (块) = 64 字节
SID175	$T_{ROWERASE}$[11]	行擦除时间	–	–	13		–
SID176	$T_{ROWPROGRAM}$[11]	擦除后的行编程时间	–	–	7		–
SID178	$T_{BULKERASE}$[11]	批量擦除时间 (16 KB)	–	–	15		–
SID180[12]	$T_{DEVPROG}$[11]	器件总编程时间	–	–	7.5	s	–
SID181[12]	F_{END}	闪存耐久性	100 K	–	–	周期	–
SID182[12]	F_{RET}	闪存数据保留时间。 $T_A \le 55$ °C，10 万次编程 / 擦除周期	20	–	–	年	–
SID182A[12]	–	闪存数据保留时间。 $T_A \le 85$ °C，一万个编程 / 擦除周期	10	–	–		–
SID182B	F_{RETQ}	闪存数据保留时间. $T_A \le 105$ °C, 一万个编程/擦除周期, $T_A \ge 85$ °C时，≤ 3年	10	–	20	年	出厂校准保证
SID256	TWS48	频率为 48 MHz 时的等待状态数	2	–	–		CPU 从闪存内执行
SID257	TWS24	频率为 24 MHz 时的等待状态数	1	–	–		CPU 从闪存内执行

系统资源

上电复位 (POR)

表 28. 上电复位 (PRES)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.CLK#6	SR_POWER_UP	电源转换速率	1	–	67	V/ms	上电时
SID185[12]	$V_{RISEIPOR}$	上升触发电压	0.80	–	1.5	V	–
SID186[12]	$V_{FALLIPOR}$	下降触发电压	0.70	–	1.4		–

表 29. V_{CCD} 的掉电检测 (BOD)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID190[12]	$V_{FALLPPOR}$	活动模式和睡眠模式下的 BOD 触发电压	1.48	–	1.62	V	–
SID192[12]	$V_{FALLDPSLP}$	深度睡眠模式下的 BOD 触发电压	1.1	–	1.5		–

注释：

11. 可能需要 20 毫秒来写入闪存。在这段时间内请勿复位器件，否则会中止闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、 CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。
12. 由出厂校准保证。

SWD 接口

表 30. SWD 接口规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID213	F_SWDCLK1	3.3 V ≤ V_{DD} ≤ 5.5 V	–	–	14	MHz	SWDCLK ≤ CPU 时钟频率的 1/3
SID214	F_SWDCLK2	1.71 V ≤ V_{DD} ≤ 3.3 V	–	–	7		SWDCLK ≤ CPU 时钟频率的 1/3
SID215[13]	T_SWDI_SETUP	T = 1/f SWDCLK	0.25*T	–	–	ns	–
SID216[13]	T_SWDI_HOLD	T = 1/f SWDCLK	0.25*T	–	–		–
SID217[13]	T_SWDO_VALID	T = 1/f SWDCLK	–	–	0.5*T		–
SID217A[13]	T_SWDO_HOLD	T = 1/f SWDCLK	1	–	–		–

内部主振荡器

表 31. IMO 直流规范

(由设计保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID218	I_{IMO1}	频率为 48 MHz 时 IMO 的工作电流	–	–	250	µA	–
SID219	I_{IMO2}	频率为 24 MHz 时 IMO 的工作电流	–	–	180	µA	–

表 32. IMO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID223	$F_{IMOTOL1}$	频率范围为 24 ~ 48 MHz (递增步长为 4 MHz)	–2	–	+2	%	2 V ≤ V_{DD} ≤ 5.5 和 –25 °C ≤ T_A ≤ 85 °C
SID226	$T_{STARTIMO}$	IMO 启动时间	–	–	7	µs	–
SID228	$T_{JITRMSIMO2}$	在 24 MHz 时的均方根抖动时间	–	145	–	ps	–

内部低速振荡器

表 33. ILO 直流规范

(由设计保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID231[13]	I_{ILO1}	ILO 工作电流	–	0.3	1.05	µA	–

表 34. ILO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID234[13]	$T_{STARTILO1}$	ILO 启动时间	–	–	2	ms	–
SID236[13]	$T_{ILODUTY}$	ILO 占空比	40	50	60	%	–
SID237	$F_{ILOTRIM1}$	ILO 频率范围	20	40	80	kHz	–

注释：

13. 由出厂标准保证。

表 35. 时钟晶体振荡器 (WCO) 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID398	FWCO	晶振频率	–	32.768	–	kHz	
SID399	FTOL	频率容限	–	50	250	ppm	晶振的精度为 20 ppm
SID400	ESR	等效串联电阻	–	50	–	kΩ	
SID401	PD	驱动电平	–	–	1	μW	
SID402	TSTART	启动时间	–	–	500	ms	
SID403	CL	晶振负载电容	6	–	12.5	pF	
SID404	C0	晶振寄生电容	–	1.35	–	pF	
SID405	IWCO1	工作电流 (高功耗模式下)	–	–	8	uA	

表 36. 外部时钟规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID305[14]	ExtClkFreq	外部时钟输入频率	0	–	16	MHz	–
SID306[14]	ExtClkDuty	占空比；在 $V_{DD/2}$ 电压下测量得到的	45	–	55	%	–

表 37. 模块规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID262[14]	$T_{CLKSWITCH}$	系统时钟源的切换时间	3	–	4	周期	–

表 38. PRGIO 接通时间 (旁路模式下会有延迟)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID252	PRG_BYPASS	旁路模式下由 PRGIO 导致的最长延迟时间	–	–	1.6	ns	

注释：
14. 由出厂标准保证。

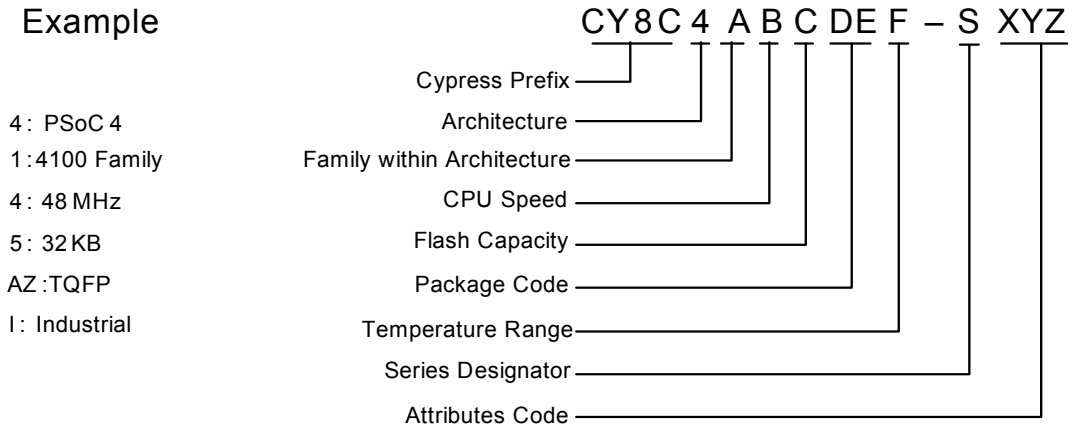
订购信息

类别	MPN	特性																封装			
		Max CPU Speed (MHz)	DMA	Flash (KB)	SRAM (KB)	13-bit VDAC	Opamp (CTB)	CapSense	10-bit CSD ADC	Direct LCD Drive	RTC	12-bit SAR ADC	LP Comparators	TCPWM Blocks	SCB Blocks	Smart IOs	GPIO	28-SSOP	45-WLCSP	48-TQFP	48-QFN
4125	CY8C4125PVI-PS421	24	✔	32	4	2	4	–	✔	✔	✔	806 ksps	2	8	2	8	20	✔	–	–	–
	CY8C4125FNI-PS423	24	✔	32	4	2	4	–	✔	✔	✔	806 ksps	2	8	2	8	37	–	✔	–	–
	CY8C4125AZI-PS423	24	✔	32	4	2	4	–	✔	✔	✔	806 ksps	2	8	2	8	38	–	–	✔	–
	CY8C4125LQI-PS423	24	✔	32	4	2	4	–	✔	✔	✔	806 ksps	2	8	2	8	38	–	–	–	✔
4145	CY8C4145PVI-PS421	48	✔	32	4	2	4	–	✔	✔	✔	1000 ksps	2	8	2	8	20	✔	–	–	–
	CY8C4145FNI-PS423	48	✔	32	4	2	4	–	✔	✔	✔	1000 ksps	2	8	2	8	37	–	✔	–	–
	CY8C4145AZI-PS423	48	✔	32	4	2	4	–	✔	✔	✔	1000 ksps	2	8	2	8	38	–	–	✔	–
	CY8C4145LQI-PS423	48	✔	32	4	2	4	–	✔	✔	✔	1000 ksps	2	8	2	8	38	–	–	–	✔
	CY8C4145PVI-PS431	48	✔	32	4	2	4	✔	✔	✔	✔	1000 ksps	2	8	3	8	20	✔	–	–	–
	CY8C4145FNI-PS433	48	✔	32	4	2	4	✔	✔	✔	✔	1000 ksps	2	8	3	8	37	–	✔	–	–
	CY8C4145AZI-PS433	48	✔	32	4	2	4	✔	✔	✔	✔	1000 ksps	2	8	3	8	38	–	–	✔	–
	CY8C4145LQI-PS433	48	✔	32	4	2	4	✔	✔	✔	✔	1000 ksps	2	8	3	8	38	–	–	–	✔

上表中所用的名称是基于以下的器件编号常规：

字段	说明	值	含义
CY8C	赛普拉斯前缀		
4	架构	4	Arm Cortex-M0+ CPU
A	产品系列	1	4100PS 系列
B	最大频率	2	24 MHz
		4	48 MHz
C	闪存存储器容量	5	32 KB
DE	封装代码	AZ	TQFP (0.5mm 间距)
		LQ	QFN
		PV	SSOP
		FN	CSP
S	芯片系列代号	PS	S-系列
F	温度范围	I	工业级
XYZ	属性代码	000-999	在个别系列中的功能集代码

下面是一个器件型号示例：



封装

规范 ID	封装	说明	封装 DWG 编号
BID20	48 引脚 TQFP	7 × 7 × 1.4 mm 高度 (引脚间距为 0.5 mm)	51-85135
BID27	48 引脚 QFN	6 × 6 × 0.6 mm 高度 (引脚间距为 0.4 mm)	001-57280
BID34	45 球 WLCSP	3.7 × 2 × 0.5 mm 高度 (引脚间距为 0.38 mm)	002-10531
BID34A	28 引脚 SSOP	5.3 × 10.2 × 0.65 mm 高度	51-85079

表 39. 封装的热特性

参数	描述	封装	最小值	典型值	最大值	单位
T_A	工作环境温度		–40	25	105	°C
T_J	工作结温		–40	–	125	°C
T_{JA}	封装 θ_{JA}	48 引脚 TQFP	–	71	–	°C/Watt
T_{JC}	封装 θ_{JC}	48 引脚 TQFP	–	34.3	–	°C/Watt
T_{JA}	封装 θ_{JA}	48 引脚 QFN	–	18	–	°C/Watt
T_{JC}	封装 θ_{JC}	48 引脚 QFN	–	4.5	–	°C/Watt
T_{JA}	封装 θ_{JA}	45 球 WLCSP	–	37.2	–	°C/Watt
T_{JC}	封装 θ_{JC}	45 球 WLCSP	–	0.31	–	°C/Watt
T_{JA}	封装 θ_{JA}	28 引脚 SSOP	–	60	–	°C/Watt
T_{JC}	封装 θ_{JC}	28 引脚 SSOP	–	25	–	°C/Watt

表 40. 回流焊峰值温度

封装	最高峰值温度	峰值温度下的最长时间
所有封装类型	260 °C	30 秒

表 41. 封装潮敏等级 (MSL) (根据 IPC/JEDEC J-STD-020 标准)

封装	MSL
所有封装类型	MSL 3

封装图

图 7. 48 引脚 TQFP 封装外形

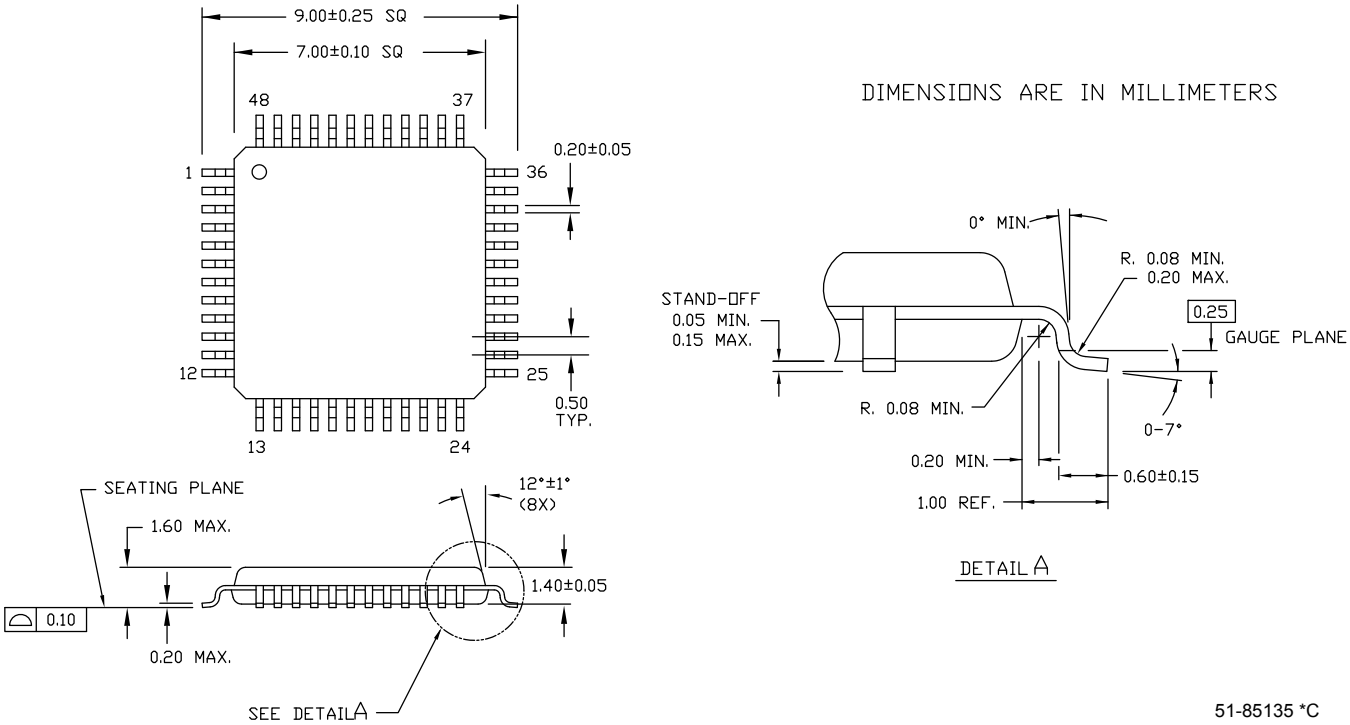


图 8. 48 引脚 QFN 封装外形

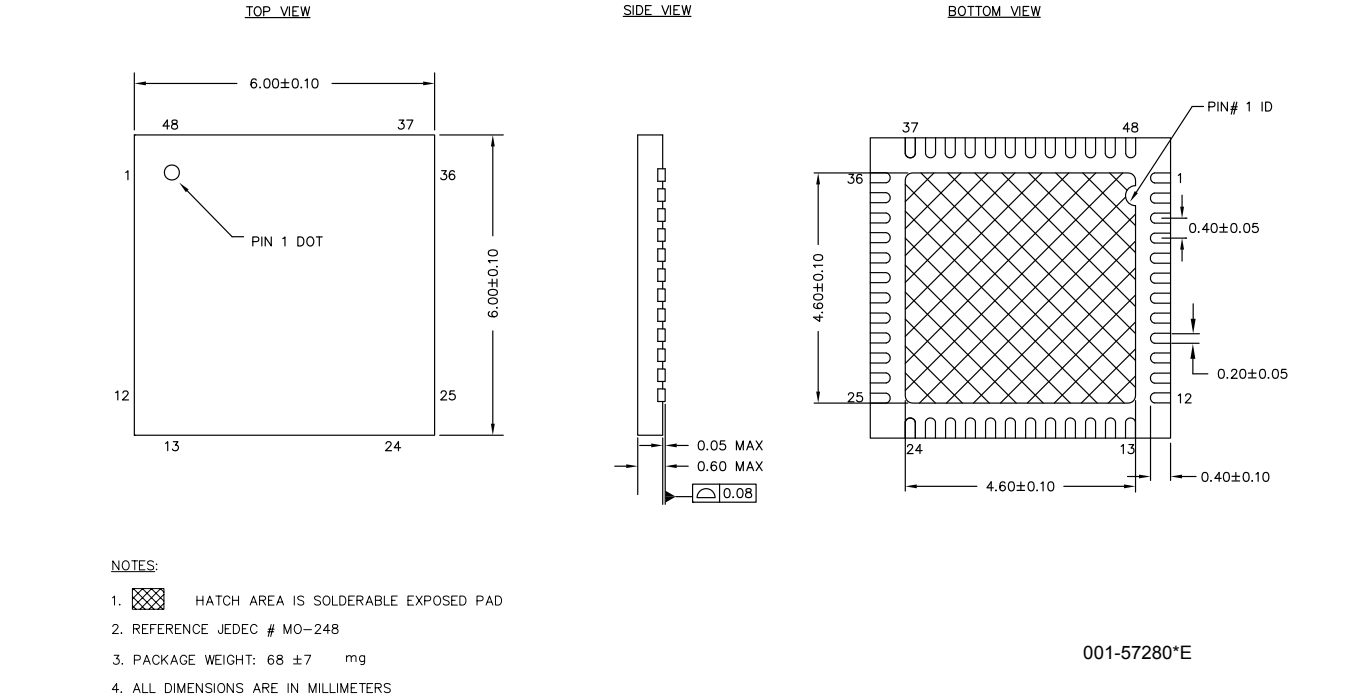


图 9. 45 球 WLCSP 尺寸

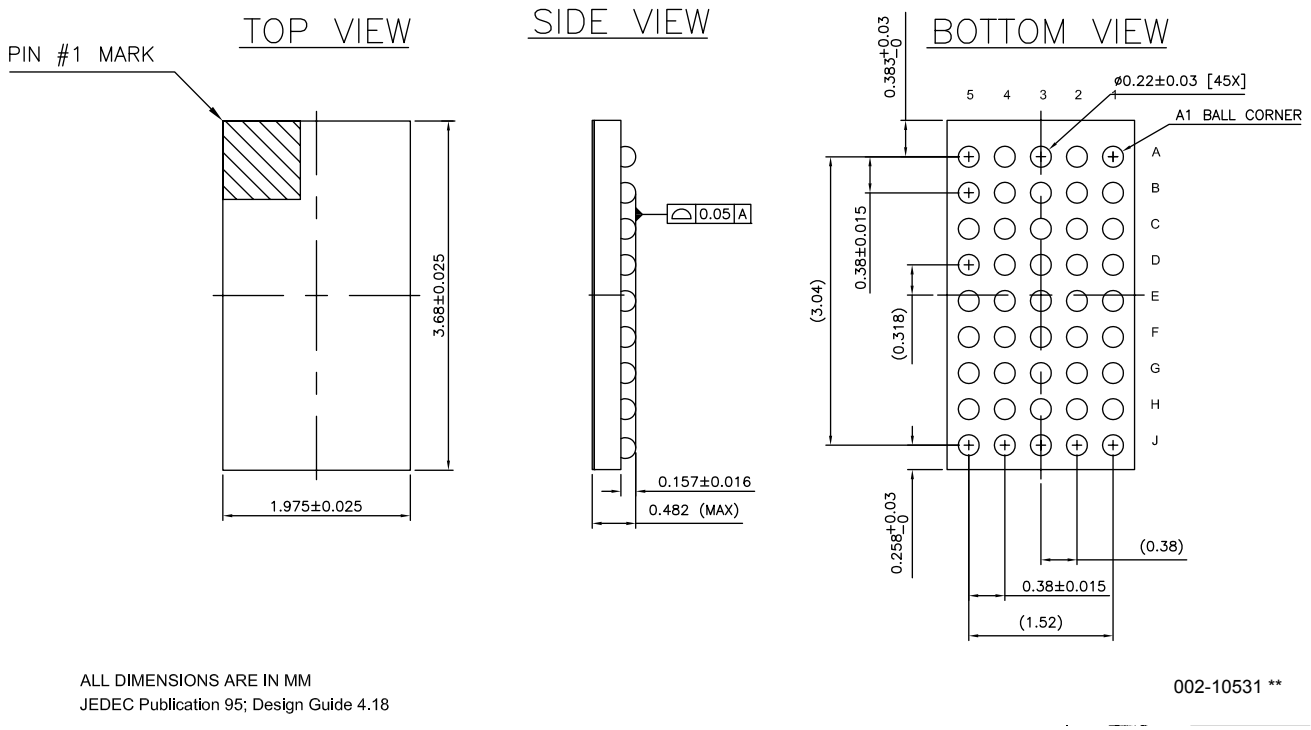
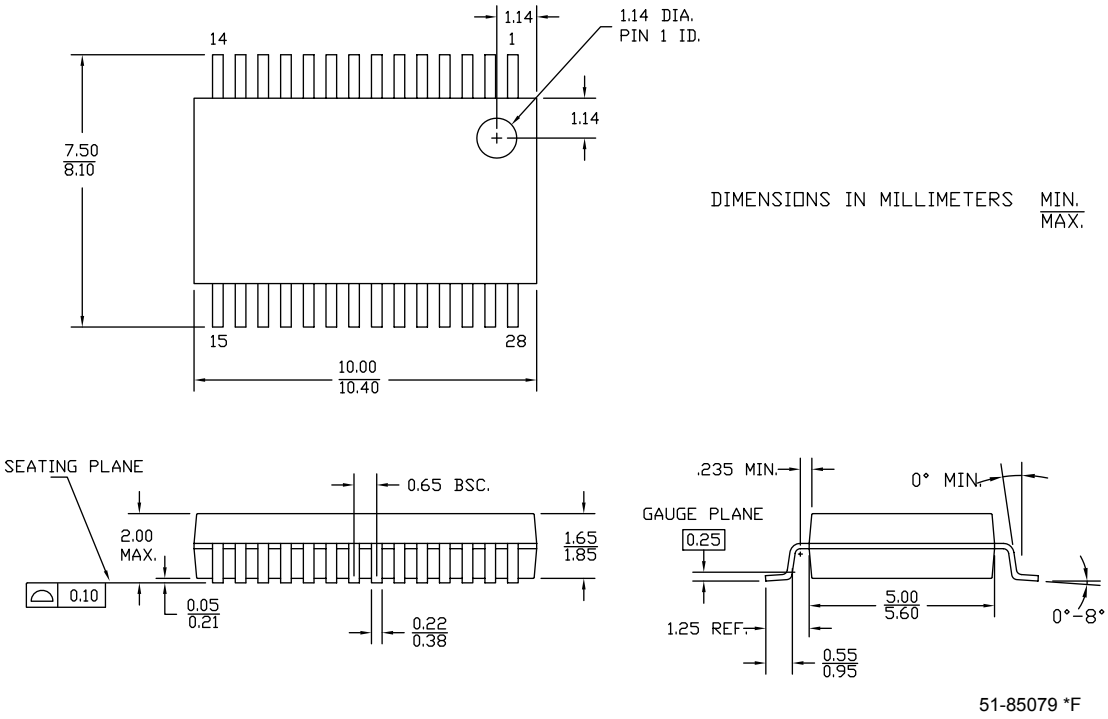


图 10. 28 引脚 SSOP 封装外形



缩略语

表 42. 本文档中使用的缩略语

缩略语	描述
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局总线
AHB	AMBA (先进的微控制器总线结构) 高性能总线，它是一种 Arm 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用程序状态寄存器
Arm®	高级 RISC 机器，它是一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CAN	控制器区域网络，它是一种通信协议
CMRR	共模抑制比
CPU	中央处理单元
CRC	循环冗余校验，它是一种校验错误的协议
DAC	数模转换器，另请参见 IDAC、 VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出， GPIO 只有数字功能，无模拟功能。请参见 GPIO。
DMIPS	Dhrystone 每秒百万条指令
DMA	直接存储器访问，另请参见 TD
DNL	微分非线性，另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电放电
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应，另请参见 IIR

表 42. 本文档中使用的缩略语 （续）

缩略语	描述
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出，适用于 PSoC 引脚
HVI	高电压中断，另请参见 LVI、 LVD
IC	集成电路
IDAC	电流 DAC，另请参见 DAC、 VDAC
IDE	集成开发环境
I^2C 或 IIC	互联集成电路，它是一种通信协议
IIR	无限脉冲响应，另请参见 FIR
ILO	内部低速振荡器，另请参见 IMO
IMO	内部主振荡器，另请参见 ILO
INL	积分非线性，另请参见 DNL
I/O	输入 / 输出，另请参见 GPIO、 DIO、 SIO、 USBIO
IPOR	初次上电复位
IPSR	中断程序状态寄存器
IRQ	中断请求
ITM	仪表跟踪宏单元
LCD	液晶显示器
LIN	本地互联网络，它是一种通信协议。
LR	链接寄存器
LUT	查找表
LVD	低压检测，另请参见 LVI
LVI	低压中断，另请参见 HVI
LVTTL	低压晶体管 - 晶体管逻辑
MAC	乘法累加器
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器，另请参见 WOL
opamp	运算放大器
PAL	可编程阵列逻辑，另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器

表 42. 本文档中使用的缩略语 （续）

缩略语	描述
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件，另请参见 PAL
PLL	锁相环
PMDD	封装材料声明数据手册
POR	上电复位
PRES	精密上电复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统
PSRR	电源抑制比
PWM	脉宽调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器传输语言
RTR	远程发送请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I^2C 串行时钟
SDA	I^2C 串行数据
S/H	采样和保持
SINAD	信噪和失真比
SIO	特殊输入 / 输出，带高级功能的 GPIO。请参见 GPIO。
SOC	开始转换
SOF	帧的起始
SPI	串行外设接口，它是一种通信协议
SR	斜率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试，它是一种测试协议
SWV	单线浏览器
TD	传输描述符，另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册

表 42. 本文档中使用的缩略语 （续）

缩略语	描述
TTL	晶体管 - 晶体管逻辑
TX	发送
UART	通用异步发送器接收器，它是一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出，用于连接至 USB 端口的 PSoC 引脚
VDAC	电压数模转换器，另请参见 DAC、 IDAC
WDT	看门狗定时器
WOL	一次性写锁存器，另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位 I/O 引脚
XTAL	晶体

文档惯例

测量单位

表 43. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 字节
kbps	千比特每秒
Khr	千小时
kHz	千赫兹
kΩ	千欧姆
ksps	千次采样每秒
LSB	最低有效位
Mbps	每秒兆比特
MHz	兆赫兹
MΩ	兆欧
Msps	每秒兆次采样
µA	微安
µF	微法
µH	微亨
µs	微秒
µV	微伏
µW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	每秒采样数
sqrtHz	赫兹平方根
V	伏特

修订记录

说明标题 : PSoC® 4 PSoC 4100PS 数据手册　可编程片上系统 (PSoC®) 文档编号 : 002-23774				
版本	ECN	变更者	提交日期	变更说明
**	6295218	XITO	08/30/2018	本文档版本号为 Rev. **，译自英文版 002-22097 Rev*B。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问赛普拉斯所在地。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理ICs	cypress.com/pmic
触摸感应	cypress.com/touch
USB控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

赛普拉斯开发者社区

社区 | 项目 | 视频 | 博客 | 培训 | 组件

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2018 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规 格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。