

4M ビット (512K×8) シリアル (SPI) F-RAM

特長

- 512K×8 構成の 4M ビット強誘電体ランダム アクセス メモリ (F-RAM)
 - 高いアクセス可能回数: 100 兆 (10^{14}) 回の読み出し/書き込み
 - 151年のデータ保持 (データ保持期間およびアクセス可能回数表をご参照)
 - NoDelay™ 書き込み
 - 信頼性の高い強誘電体プロセスを使用
- 高速のシリアル パリフェラル インターフェース (SPI)
 - 最大周波数 40MHz
 - シリアル フラッシュおよび EEPROM からの置き換え
 - SPI モード 0 (0, 0) およびモード 3 (1, 1) に対応
- 洗練された書き込み保護スキーム
 - 書き込み保護 (WP) ピンを使用したハードウェアによる保護
 - 書き込みディスエーブル命令を使用したソフトウェアによる保護
 - アレイの 1/4、1/2、または全体を対象としたソフトウェア ブロック保護
- デバイス ID
 - メーカー ID および製品 ID
- 低消費電力
 - 1MHz でのアクティブ電流 300 μ A
 - スタンバイ電流 100 μ A (typ)
 - スリープ モード電流 3 μ A (typ)
- 低動作電圧: $V_{DD}=2.0V \sim 3.6V$
- 産業機器用途向け温度範囲: $-40^{\circ}C \sim +85^{\circ}C$
- パッケージ
 - 8 ピン小型集積回路 (SOIC) パッケージ
 - 8 ピンの薄型デュアル フラット ノーリード (TDFN) パッケージ
- RoHS 準拠

機能の説明

CY15B104Q は高度な強誘電体プロセスを適用した 4M ビットの非揮発性メモリです。強誘電体ランダム アクセス メモリ (F-RAM) は非揮発性であり、RAM 同様に読み書きを実行します。またシリアル フラッシュや EEPROM、その他の非揮発性メモリによる複雑さ、オーバーヘッド、システムレベルの信頼性関連問題を回避し、151 年間にわたって信頼できるデータ保持ができます。

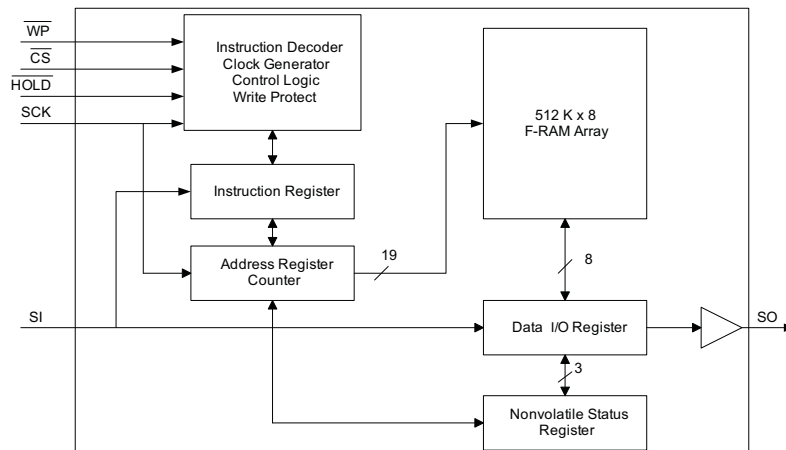
シリアル フラッシュや EEPROM と違って、CY15B104Q はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは、各バイトがデバイスに正常に転送された直後にメモリ アレイに書き込まれます。次のバス サイクルはデータ ポーリングを必要とせず開始できます。また本製品は他の非揮発性メモリと比較して多くの書き込み可能回数を提供しています。CY15B104Q は 10^{14} 回の読み出し/書き込みサイクル、即ち EEPROM に比べ 1 億倍の書き込みサイクルに対応できます。

これらの能力により、CY15B104Q は頻繁で高速書き込みを必要とする非揮発性メモリの用途に理想的なものになります。これらの用途例は、書き込み回数を重視するデータ収集から、シリアルフラッシュや EEPROM を使った長い書き込みデータ保持期間に起因してデータを損失する可能性がある厳しい工業用制御まで及びます。

CY15B104Q はハードウェア置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザーに大幅な利点を提供します。CY15B104Q は F-RAM 技術の高速な書き込み性能を生かすため高速の SPI バスを使用します。デバイスは読み出し専用デバイス ID を内蔵しています。これにより、ホストはメーカー、製品の容量、製品のレビジョンを判断できます。デバイス仕様は、 $-40^{\circ}C \sim +85^{\circ}C$ の産業機器用温度範囲において保証されます。

すべての関連資料の一覧を表示するには、ここをクリックしてください。

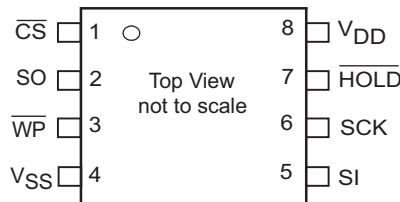
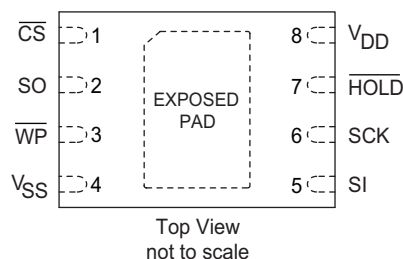
論理ブロック図



目次

ピン配置	3	最大定格	12
ピンの機能	3	動作範囲	12
概要	4	DC 電気的特性	12
メモリ アーキテクチャ	4	データ保持期間およびアクセス可能回数	13
シリアル ペリフェラル インターフェース (SPI) バス	4	静電容量	13
SPI 概要	4	熱抵抗	13
SPI モード	5	AC テスト条件	13
電源投入時から最初のアクセスまで	6	AC スwitching特性	14
コマンドの構成	6	パワー サイクル タイミング	16
WREN - 書き込みイネーブル ラッチのセット	6	注文情報	17
WRDI - 書き込みイネーブル ラッチのリセット	6	注文コードの定義	17
ステータス レジスタおよび書き込み保護	7	パッケージ図	18
ステータス レジスタ読み出し (RDSR)	7	略語	20
ステータス レジスタ書き込み (WRSR)	7	本書の表記法	20
メモリの動作	8	測定単位	20
書き込み動作	8	改訂履歴	21
読み出し動作	8	セールス、ソリューションおよび法律情報	22
高速読み出し動作	8	ワールドワイド販売と設計サポート	22
HOLD ピンの動作	10	製品	22
スリープ モード	10	PSoC® ソリューション	22
デバイス ID	11	サイプレス開発者コミュニティ	22
アクセス可能回数	11	テクニカル サポート	22

ピン配置

図 1. 8 ピン SOIC ピン配置

図 2. 8 ピン TDFN ピン配置


ピンの機能

ピン名	I/O タイプ	説明
\overline{CS}	入力	チップ セレクト : このアクティブ LOW 入力でデバイスを起動させる。HIGH になった場合、デバイスは低消費電力スタンバイ モードに移行し、他の入力を無視し、出力がトライステートにされる。LOW になった場合、デバイスは SCK 信号を内部でアクティブにする。 \overline{CS} の立ち下がりエッジは、すべてのオペコードの発行前に発生しなければならない
SCK	入力	シリアル クロック : 入出力はシリアル クロックに同期される。入力は立ち上がりエッジでラッチされ、出力は立ち下がりエッジで発生。同期デバイスであるため、クロック周波数は 0 ~ 40MHz 範囲内であり、いつでも割り込まれる可能性がある
SI ^[1]	入力	シリアル 入力 : このピンからデバイスにデータを入力。入力は SCK の立ち上がりエッジでサンプリングされ、その時以外では無効。IDD 仕様を満たすため、入力を有効な論理レベルに駆動することが必要
SO ^[1]	出力	シリアル出力 : これはデータ出力ピン。このピンは読み出し中に駆動。その時以外では \overline{HOLD} が LOW になる時も含めトライステートのままになる。データ遷移はシリアル クロックの立ち下がりエッジで実現
\overline{WP}	入力	書き込み保護 : このアクティブ LOW ピンは、WPEN が「1」にセットされた時にステータス レジスタへの書き込み動作を無効にする。その他の書き込み保護機能はステータス レジスタによって制御されるため、このことは重要。書き込み保護の詳細については、7 ページのステータス レジスタおよび書き込み保護をご参照。このピンを使用しない場合、 V_{DD} に接続しなければならない
\overline{HOLD}	入力	HOLD ピン : ホスト CPU が他のタスクのためメモリ動作に割り込む必要がある場合、 \overline{HOLD} ピンを使用。 \overline{HOLD} が LOW になると、現時点の動作が一時停止。デバイスは SCK もしくは \overline{CS} の遷移を無視。 \overline{HOLD} の遷移は SCK が LOW の間に発生する必要がある。このピンを使用しない場合、 V_{DD} に接続すること
V_{SS}	電源	デバイス グランド。システム グランドに接続すること
V_{DD}	電源	デバイスへの電源入力
EXPOSED PAD (エクスポーズド パッド)	未接続	8 ピン TDFN パッケージの EXPOSED PAD はダイに接続されない。EXPOSED PAD は開放にする

注:

1. SI を SO と接続し 1 本のデータ インターフェースとして利用されることがあります。

概要

CY15B104Q はシリアル F-RAM メモリです。メモリ アレイは 524,288 × 8 ビットに論理構成され、業界標準のシリアル ペリフェラル インターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能はシリアル フラッシュ、シリアル EEPROM と類似しています。同じピン配置の CY15B104Q とシリアル フラッシュや EEPROM の大きな違いは、F-RAM の優れた書き込み性能、高いアクセス可能回数、低消費電力です。

メモリ アーキテクチャ

CY15B104Q のアクセスには、512K 番地 までの (それぞれが 8 データ ビット) アドレス指定します。これらの 8 データ ビットは順次シフトイン/シフトアウトされます。アドレスは、チップ セレクト (バス上で複数デバイスを可能にする用)、オペコードと 3 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 5 ビットは「ドント ケア」値です。19 ビットのアドレスで、一意に各バイト アドレスを指定します。

CY15B104Q の殆どの機能は、SPI インターフェースにより制御されるか、または基板搭載の回路によって処理されます。メモリ動作に対応したアクセス時間は基本的にシリアル プロトコルに必要な時間以外は 0 です。すなわち、メモリは SPI バスの速度で読み書きされます。シリアル フラッシュや EEPROM と異なり、書き込み処理がバス速度で行われるため、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバス トランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの項で詳しく説明されています。

シリアル ペリフェラル インターフェース (SPI) バス

CY15B104Q は SPI スレーブ デバイスであり、最速 40MHz で動作します。この高速シリアル バスにより、SPI マスターとの間で高性能のシリアル通信が可能です。多くの一般的なマイクロコントローラーは、ハードウェア SPI ポートを持っているため、直接インターフェースを可能にします。SPI ポートを持たないマイクロコントローラーで、通常のポートを使用して SPI ポートをエミュレートするのは簡単です。CY15B104Q は、SPI モード 0 および 3 で動作します。

SPI 概要

SPI は、チップ セレクト (\overline{CS})、シリアル入力 (SI)、シリアル出力 (SO)、シリアルクロック (SCK) ピンの 4 ピン インターフェースです。

SPI は、メモリ アクセスにクロックとデータ ピンを使用し、データバス上の複数デバイスをサポートする同期シリアル インターフェースです。SPI バス上のデバイスは、CS ピンを使用してアクティブにされます。

チップ セレクト、クロック、データの相互関係は SPI モードによります。このデバイスは、SPI モード 0 および 3 をサポートします。これらの両モードで、 \overline{CS} がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで、データが F-RAM にクロック入力されます。

SPI プロトコルはオペコードによって制御されます。これらのオペコードは、バス マスターからスレーブ デバイスへのコマンドを指定します。 \overline{CS} がアクティブにされた後、バス マスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。処理が完了した後、

新しいオペコードが発行される前に、 \overline{CS} を非アクティブにする必要があります。SPI プロトコルで一般的に使用される用語は以下の通りです。

SPI マスター

SPI マスター デバイスは SPI バス上で制御します。SPI バスは、1 つまたは複数のスレーブ デバイスを制御するマスターを 1 つだけ持つことがあります。すべてのスレーブ が同じ SPI バスラインを共有し、マスターは CS ピンを使用してスレーブ デバイスのいずれかを選択できます。すべての処理は、マスターがスレーブ の CS ピンを LOW にプルダウンすることによってスレーブ デバイスをアクティブにして開始する必要があります。マスターは SCK も生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

SPI スレーブ

SPI スレーブ デバイスは、チップ セレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは、SPI マスターからの入力として SCK を取得し、すべての通信はこのクロックに同期されます。SPI スレーブ が SPI バス上で通信を開始することはなく、単にマスターからの命令に従い実行します。

CY15B104Q は SPI スレーブ として動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

チップ セレクト (\overline{CS})

あらゆるスレーブ デバイスを選択するためには、マスターは対応する CS ピンをプルダウンする必要があります。CS ピンが LOW の時のみ、命令をスレーブ デバイスに発行できます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態のままとなります。

注: 新しい命令は \overline{CS} の立ち下がりがエッジで開始する必要があります。したがって、アクティブなチップ セレクト サイクル毎に 1 つのオペコードのみが発行できます。

シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、 \overline{CS} が LOW になった後、通信がこのクロックと同期されます。

CY15B104Q はデータ通信のために SPI モード 0 と 3 を有効にします。これらの両モードにおいて、入力は SCK の立ち上がりエッジでスレーブ デバイスによってラッチされ、出力は立ち上がりエッジで発行されます。そのため、SCK の最初の立ち上がりエッジは、SI ピンに SPI 命令の最初の最上位ビット (MSB) が到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

データ転送 (SI / SO)

SPI データ バスは、シリアル データ通信用に SI と SO の 2 ラインで構成されます。SI はマスター アウト スレーブ イン (MOSI)、SO はマスター イン スレーブ アウト (MISO) と呼ばれています。マスターは SI ピンを介してスレーブ に命令を発行し、スレーブ は SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

図 3 に示すように、CY15B104Q にはマスターと接続することができる SI と SO 用の 2 本の独立したピンがあります。

専用 SPI バスを持たないマイクロコントローラーでは、汎用ポートが使用されることもあります。マイコンのハードウェアリソースを減らすために、2つのデータピン (SI, SO) を1つにまとめて接続し、HOLDピンとWPピンをHIGHに固定接続できます。図4に、マイコンのピンを3本のみ使用しているこのコンフィギュレーションを示します。

最上位ビット (MSB)

SPI プロトコルでは、最初に送信されるビットが最上位ビット (MSB) でなければなりません。この方式はアドレスとデータ転送の両方に適用できます。

4M ビット シリアル F-RAM は、あらゆる読み出しまたは書き込み動作に3バイトのアドレスを必要とします。アドレスは19ビットであるため、入力された最初の5ビットはデバイスによって無視されます。これらの5ビットは「ドント ケア」ですが、より高容量メモリへの円滑な移行のために、これらを0にセットすることをサイプレスはお勧めします。

シリアル オペコード

CSがLOWになる状態でスレーブデバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペコードとして扱われます。CY15B104Q はメモリ アクセスに標準オペコードを使用します。

無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスはSIピン上にある追加のシリアル データをCSの次の立ち下がりがエッジまで無視し、SOピンはトライステートのままとなります。

ステータス レジスタ

CY15B104Qには、8ビットのステータスレジスタが1個あります。ステータスレジスタ内のビットはデバイスをコンフィギュレーションするために使用されます。これらのビットは7ページの表3で説明されています。

図3. SPIポートを使用したシステムコンフィギュレーション

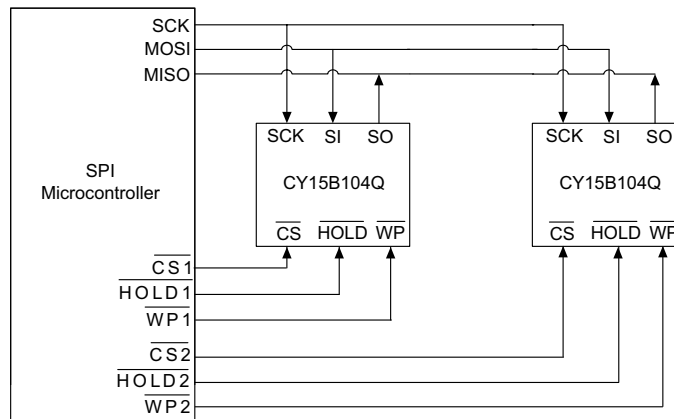
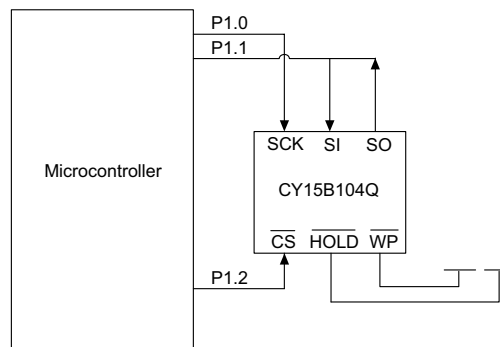


図4. SPIポートを使用しないシステムコンフィギュレーション



SPI モード

CY15B104Q は、SPI ペリフェラルが次の2つのモードのいずれかで動作しているマイクロコントローラーによって駆動できます。

- SPI モード 0 (CPOL = 0, CPHA = 0)
- SPI モード 3 (CPOL = 1, CPHA = 1)

この両モードでは、入力データはCSがアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジでラッチされます。クロックがHIGH状態から起動される場合 (モード3) では、クロックトグル後の最初の立ち上がりエ

ッジになります。出力データは SCK の立ち下がりがエッジで利用可能となります。

2つのSPIモードは図5と6ページの図6に示されています。バス マスターがデータを転送していない時のクロックの状態は以下の通りです。

- モード0では、SCKが0のままです。
- モード3では、SCKが1のままです。

CSピンをLOWにすることによりデバイスが選択された時、デバイスはSCKピンの状態からSPIモードを検出します。デバイスが選択された時に、SCKピンがLOWの場合、デバイスは

SPI モード 0 で動作し、SCK ピンが HIGH の場合、SPI モード 3 で動作します。

図 5. SPI モード 0

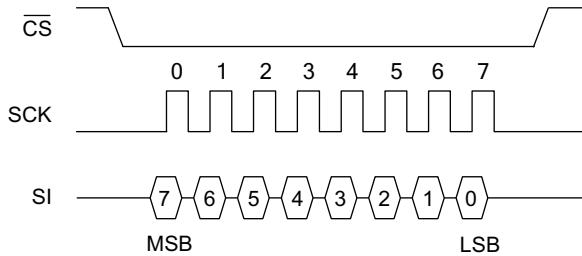
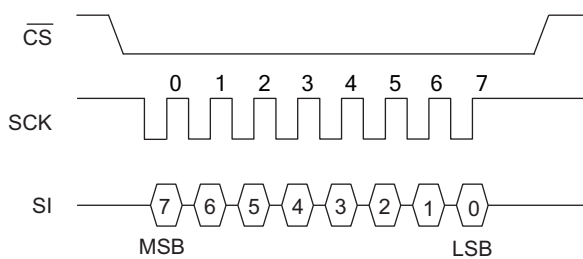


図 6. SPI モード 3



電源投入時から最初のアクセスまで

電源投入後の t_{PU} の間、CY15B104Q へはアクセスできません。ユーザーはタイミングパラメータ t_{PU} (V_{DD} (min) から \overline{CS} が初めて LOW になる時までの最短期間) に従わねばなりません。

コマンドの構成

バス マスターが CY15B104Q に発行するコマンド (オペコードと呼ばれる) は 9 個あります (表 1 をご参照ください)。これらのオペコードはメモリが実行する機能を制御します。

表 1. オペコード コマンド

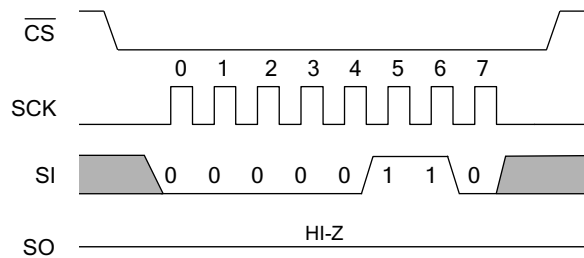
名称	説明	オペコード
WREN	書き込みイネーブル ラッチのセット	0000 0110b
WRDI	書き込みイネーブル ラッチのリセット	0000 0100b
RDSR	ステータスレジスタの読み出し	0000 0101b
WRSR	ステータスレジスタの書き込み	0000 0001b
READ	メモリデータの読み出し	0000 0011b
FSTRD	メモリデータの高速読み出し	0000 1011b
WRITE	メモリデータ書き込み	0000 0010b
SLEEP	スリープモードへの移行	1011 1001b
RDID	デバイス ID の読み出し	1001 1111b
予約済み	予約済み	1100 0011b
		1100 0010b
		0101 1010b
		0101 1011b

WREN - 書き込みイネーブル ラッチのセット

CY15B104Q は、書き込みが無効の状態です。WREN コマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、ユーザーは書き込み動作に次のオペコードを発行できます。これらはステータスレジスタへの書き込み (WRSR) とメモリへの書き込み (WRITE) を含みます。

WREN オペコードを発行すると、内部書き込みイネーブルラッチはセットされます。WEL と呼ばれるステータスレジスタ内のフラグビットはラッチの状態を示します。WEL = 「1」は、書き込みが許可されることを示します。ステータスレジスタの WEL ビットに書き込んでもこのビットの状態に影響を与えません。WREN オペコードのみがこのビットをセットできます。WEL ビットは、WRDI や WRSR、WRITE 動作に続く \overline{CS} の立ち上がりエッジで自動的にクリアされます。これにより、別の WREN コマンドを発行せず、ステータスレジスタまたは F-RAM アレイへの二重の書き込みを回避できます。図 7 は、WREN コマンドのバスコンフィギュレーションを示します。

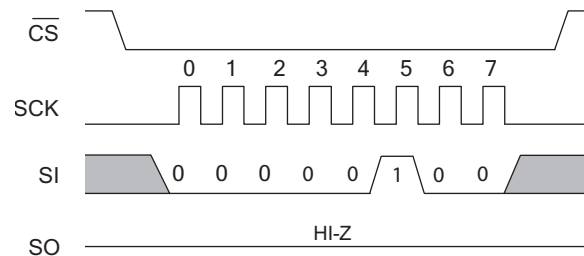
図 7. WREN バスコンフィギュレーション



WRDI - 書き込みイネーブル ラッチのリセット

WRDI コマンドは、書き込みイネーブルラッチをクリアすることによりすべての書き込み動作を無効にします。ステータスレジスタ内の WEL ビットを読み出し、WEL ビットが「0」であることを確認することにより、ユーザーは書き込みが無効であることを確認できます。図 8 は、WRDI コマンドのバスコンフィギュレーションを示します。

図 8. WRDI バスコンフィギュレーション



ステータス レジスタおよび書き込み保護

CY15B104Q の書き込み保護機能は多層的であり、ステータス レジスタを介して有効にされます。ステータス レジスタは以下のように構成されています。(WEL、BP0、BP1、ビット 4～5、WPEN の工場出荷時の初期値は「0」であり、ビット 6 は「1」です)。

表 2. ステータス レジスタ

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 3. ステータス レジスタのビット定義

ビット	定義	説明
ビット 0	ドント ケア	このビットは書き込み不可であり、読み出す時に常に「0」を返す
ビット 1 (WEL)	書き込みイネーブル	WEL はデバイスの書き込みが有効かどうかを示す。電源投入時、このビットの初期値は「0」(無効) WEL = 「1」--> 書き込みが有効 WEL = 「0」--> 書き込みが無効
ビット 2 (BP0)	ブロック保護ビット「0」	ブロック保護に使用。詳細は、7 ページの表 4 をご参照
ビット 3 (BP1)	ブロック保護ビット「1」	ブロック保護に使用。詳細は、7 ページの表 4 をご参照
ビット 4～5	ドント ケア	これらのビットは書き込み不可であり、読み出し時に常に「0」を返す
ビット 6	ドント ケア	このビットは書き込み不可であり、読み出し時に常に「1」を返す
ビット 7 (WPEN)	書き込み保護イネーブル ビット	書き込み保護ピン (\overline{WP}) の機能を有効にするために使用。詳細は、7 ページの表 5 をご参照

ビット 0 と 4～5 は「0」に、ビット 6 は「1」に固定され、これらのビットは修正できません。F-RAM はリアルタイムで書き込まれビジーの時間がいないため、ビット 0 (シリアル フラッシュや EEPROM での「Ready or Write in progress (待機または書き込み中)」の状態を示すビット) は不要であり、「0」として読み出されます。しかしデバイスがスリープモードから復帰する時は例外です。10 ページのスリープモードをご参照ください。BP1 および BP0 はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブルラッチの状態を示します。ステータス レジスタの WEL ビットに直接書き込んでも状態は変わりません。このビットは内部で WREN、WRDI コマンドを介してそれぞれセットおよびクリアされます。

BP1 と BP0 は、メモリ ブロックの書き込み保護ビットです。それらは表 4 に示すように書き込み保護されるメモリ領域を指定します。

表 4. ブロックメモリへの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	なし
0	1	60000h ~ 7FFFFh (アレイの最上部 1/4)
1	0	40000h ~ 7FFFFh (アレイの最上部 1/2)
1	1	00000h ~ 7FFFFh (アレイ全体)

BP1 と BP0 ビットと書き込みイネーブルラッチは、メモリを書き込みから保護する唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータス レジスタの書き込み保護イネーブル ビット (WPEN) は、ハードウェア書き込み保護 (\overline{WP}) ピンの効果を制

御します。WPEN ビットが「0」にクリアされると、 \overline{WP} ピンの状態は無視されます。WPEN ビットが「1」にセットされた時、 \overline{WP} ピンが LOW になるとステータス レジスタへの書き込みが禁止されます。そのためステータス レジスタは、WPEN = 「1」かつ \overline{WP} = 「0」の場合のみ書き込み保護されます。表 5 に書き込み保護条件をまとめます。

表 5. 書き込み保護

WEL	WPEN	\overline{WP}	保護ブロック	非保護ブロック	ステータスレジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

ステータス レジスタ読み出し (RDSR)

RDSR コマンドでは、バス マスターがステータス レジスタの内容を検証できます。ステータス レジスタを読み出すことで、書き込み保護機能の現時点の状態に関する情報を得ます。RDSR オペコードに続いて、CY15B104Q はステータス レジスタの内容を持つ 1 バイトを返します。

ステータス レジスタ書き込み (WRSR)

WRSR コマンドでは、SPI バス マスターがステータス レジスタへ書き込み、WPEN、BP0、BP1 ビットを必要に応じて設定することで書き込み保護のコンフィギュレーションを変更できます。WRSR コマンドを発行する前には、 \overline{WP} ピンが HIGH または非アクティブである必要があります。CY15B104Q では、 \overline{WP} がメモリ アレイではなくステータス レジスタのみへの書き込みのみを防止することに注意してください。WRSR コマンド

を送信する前に、書き込みを有効にするため WREN コマンドを送信する必要があります。WRSR コマンドの実行は書き込み

動作に相当するため、書き込みイネーブル ラッチがクリアされます。

図 9. RDSR バス コンフィギュレーション

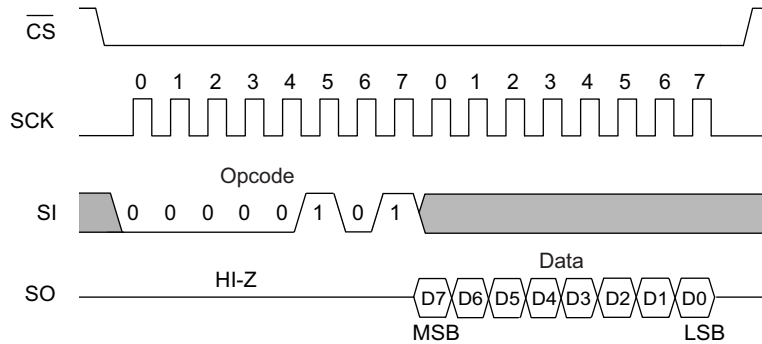
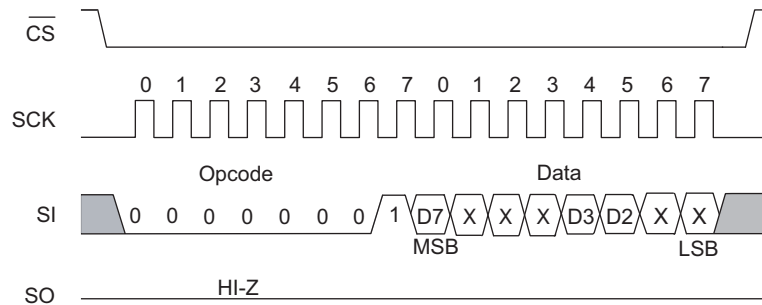


図 10. WRSR バス コンフィギュレーション (WREN が非表示)



メモリの動作

高いクロック周波数での動作が可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアルフラッシュや EEPROM と違って、CY15B104Q はバス速度でシーケンシャルに書き込みを実行できます。ページレジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

書き込み動作

メモリへのすべての書き込みは、アサートおよびデアサートされる CS を伴う WREN オペコードで始まります。次のオペコードは WRITE です。WRITE オペコードの後には、メモリへ書き込む最初のデータバイトを示す 19 ビット アドレス (A18 ~ A0) の 3 バイト アドレスが続きます。3 バイト アドレスの上位 5 ビットは無視されます。後続のバイトはシーケンシャルに書き込まれるデータバイトです。バス マスターがクロックを送り、CS を LOW に維持している限り、アドレスは内部でインクリメントされます。7FFFFh の最終アドレスに達すると、カウン트는 00000h に戻ります。データは MSB から書き込みます。CS の立ち上がりエッジで書き込み動作を終了します。書き込み動作を 図 11 に示します。

注：バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータバイトのすべてがデバイスに無視されます。EEPROM はページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAM メモリは、各データバイトが (8 番目のクロックの後) クロック入力された直後に F-RAM アレイに書き込まれるため、ページバッファを持って

いません。そのため、ページバッファの遅延なしに何バイトでも書き込みます。

注：書き込み中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

読み出し動作

CS の立ち上がりエッジの後に、バス マスターは READ オペコードを発行できます。READ コマンドの後に、読み出し動作の最初のバイトを指定する 19 ビット アドレス (A18 ~ A0) の 3 バイト アドレスが続きます。アドレスの上位 5 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロック サイクルで読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中には無視されます。後続のバイトは順次に読み出されるデータバイトです。バス マスターがクロックを送り、かつ CS が LOW である限り、アドレスは内部でインクリメントされます。7FFFFh の最終アドレスに達すると、カウン트는 00000h に戻ります。データは MSB から読み出します。CS の立ち上がりエッジで読み出し動作を停止し、SO ピンをトライステートにします。読み出し動作を 図 12 に示します。

高速読み出し動作

CY15B104Q は、シリアルフラッシュデバイスとのコード互換性のために提供される FAST READ オペコード (0Bh) をサポートします。FAST READ オペコードの後には、読み出し動作の最初のバイトを指定する 19 ビット アドレス (A18 ~ A0) の 3 バイト アドレスが続き、次はダミーバイトとなります。ダミーバイトは 8 クロック サイクルの読み出し遅延を入れます。ダミーバイトを追加することを除き、高速読み出し動作は通常の

読み出し動作と同じです。オペコード、アドレス、ダミーバイトを受信した後、CY15B104QはSOライン上でMSBファースト方式でデータバイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレスカウンタは自動的にインクリメント

され、最終アドレス 7FFFFh に達するとカウンタは 00000h に戻ります。デバイスが SO ライン上でデータを出力している時、SI ライン上の遷移は無視されます。CS の立ち上がりエッジで高速読み出し動作を停止し、SO ピンをトライステートにします。高速読み出し動作を図 13 に示します。

図 11. メモリ書き込み (WREN が非表示) 動作

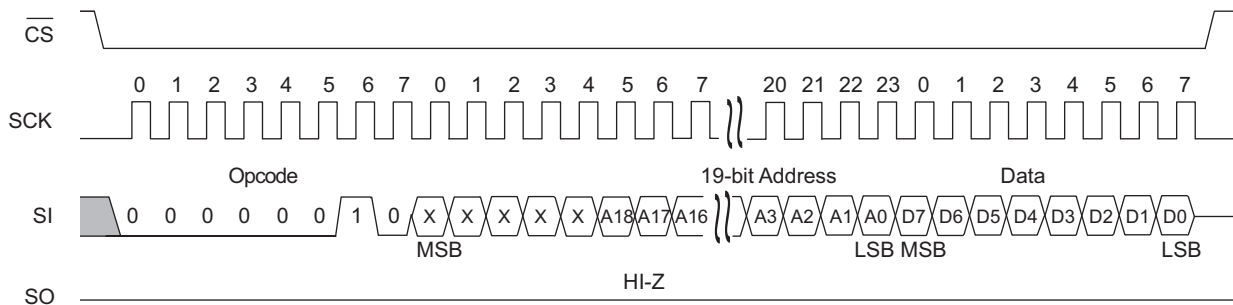


図 12. メモリ読み出し動作

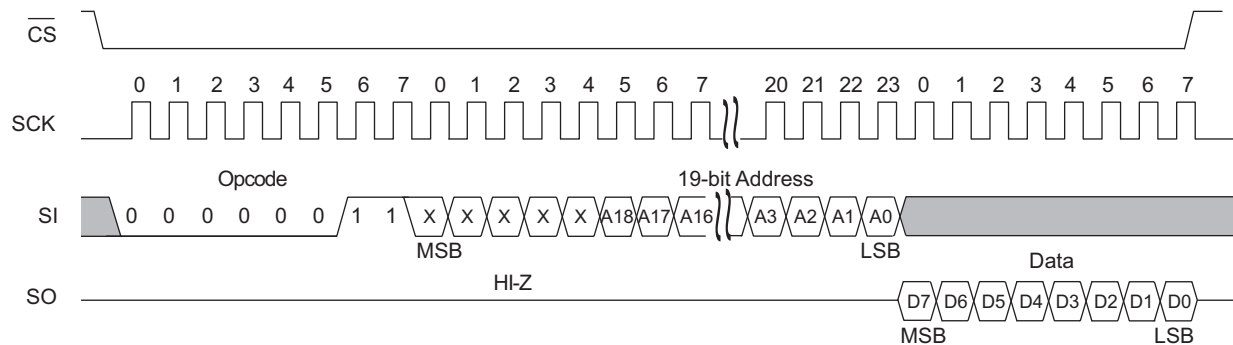
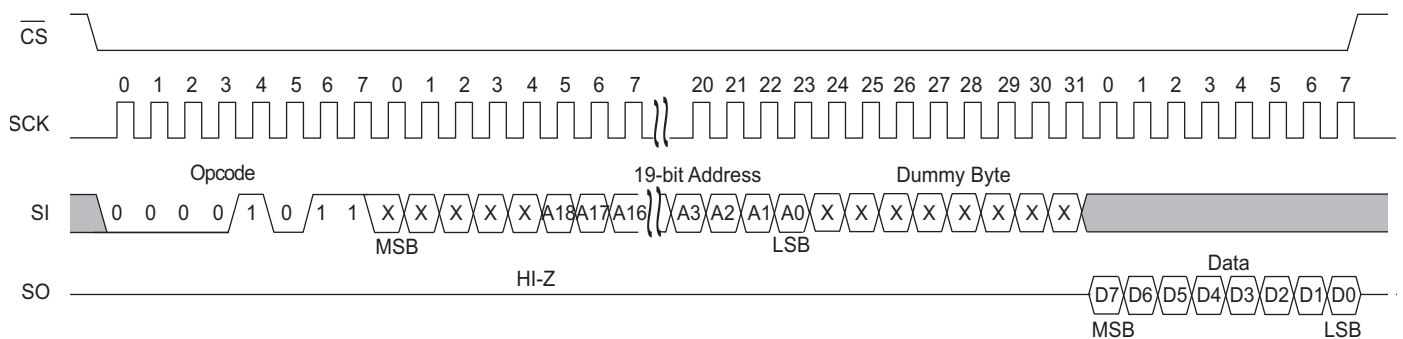


図 13. 高速読み出し動作

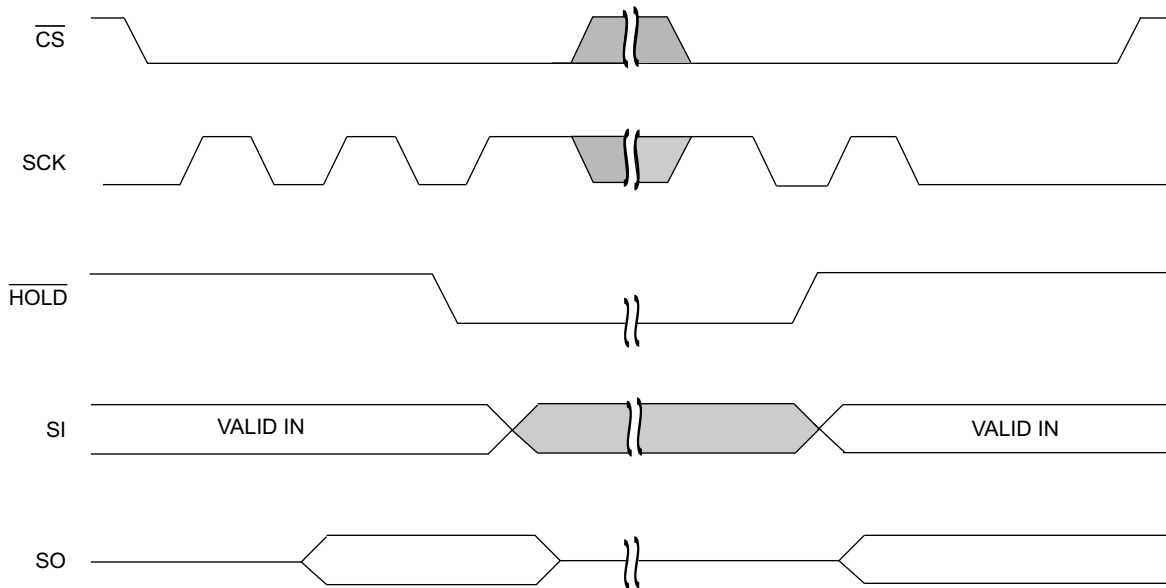


HOLD ピンの動作

HOLD ピンを使って、連続動作を中断せずそれに割り込めます。SCK が LOW の間に、バス マスターが HOLD ピンを LOW にすると、その時点の動作は一時停止します。SCK が LOW の間に

HOLD ピンを HIGH にすると、動作を再開します。SCK が LOW の間に HOLD の遷移を行う必要がありますが、SCK と CS ピンはホールド状態中に切り替えられます。

図 14. HOLD 動作 [2]

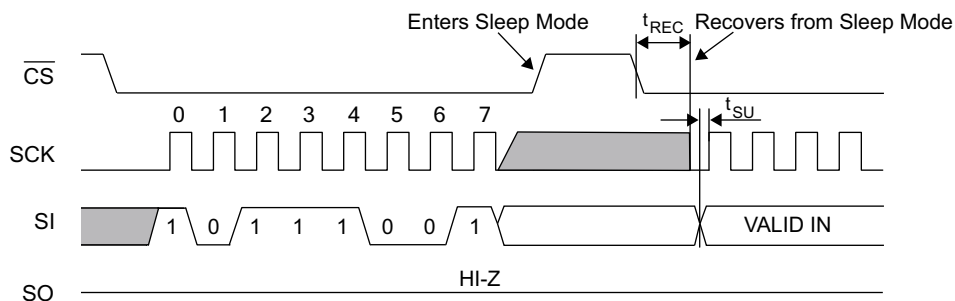


スリープモード

低消費電力スリープモードがCY15B104Qデバイスに実装されています。SLEEP オペコード B9h が入力されて CS が HIGH になると、デバイスは低消費電力モードに移行します。スリープモードになると SCK と SI ピンは無視され、SO は HI-Z になりますが、デバイスは CS ピンの監視を継続します。CS の次

の立ち下がリエッジで、デバイスは t_{REC} 以内に通常の動作に復帰します。SO ピンは、ウェイクアップ期間中は HI-Z 状態のままです。デバイスは、ウェイクアップ期間内でオペコードに回答する必要はありません。ウェイクアップの手順を開始するために、コントローラーが、例えば「ダミー」の読み出しを送信し、残りの t_{REC} 時間で待機することもあります。

図 15. スリープモードの動作



注：
2. 図 14 に、入力モードと出力モードでの HOLD 動作を示します。

デバイス ID

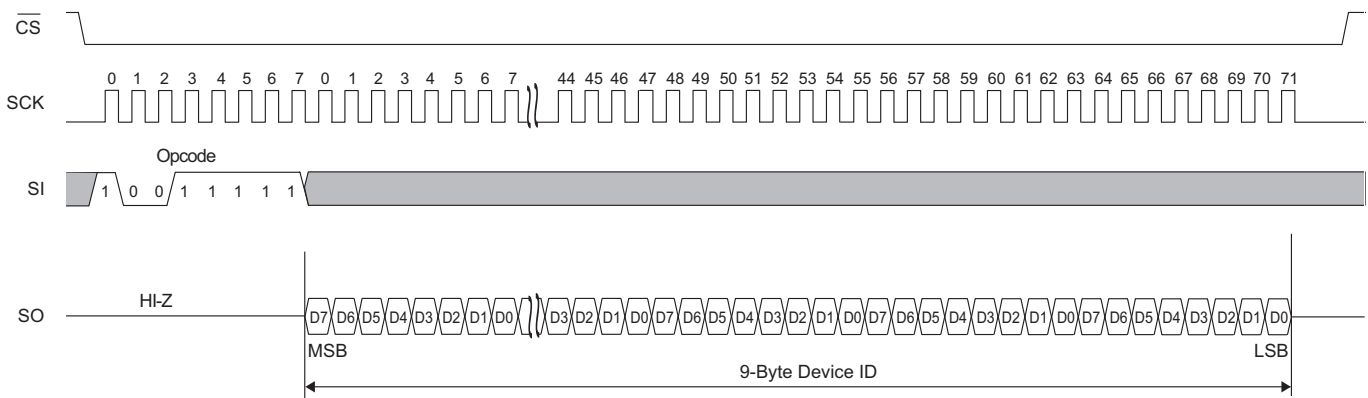
CY15B104Q デバイスは、メーカー、製品 ID、ダイ レビジョン について問い合わせを行えます。RDID オペコード 9Fh は、両方とも読み出し専用バイトのメーカー ID と製品 ID を読むことができます。JEDEC から割り当てられたメーカー ID は、バン

ク 7 の中にサイプレス (Ramtron) の識別子を配置しています。そのため、6 バイトの連続コード 7Fh があり、その後に 1 バイトの C2h が続きます。製品 ID の 2 バイトはファミリ コードと容量コード、サブ コード、製品レビジョン コードを含みます。

表 6. デバイス ID

デバイス ID (9 バイト)	デバイス ID の説明					
	71 ~ 16 (56 ビット)	15 ~ 13 (3 ビット)	12 ~ 8 (5 ビット)	7 ~ 6 (2 ビット)	5 ~ 3 (3 ビット)	2 ~ 0 (3 ビット)
	メーカー ID	製品 ID				
ファミリ コード		容量 コード	サブ コード	レビジョン コード	予約済み	
7F7F7F7F7F7FC22608h	0111111101111111011111110111 11110111111101111111111000010	001	00110	00	001	000

図 16. デバイス ID の読み出し



アクセス可能回数

CY15B104Q デバイスには 10^{14} 回以上、読み書きを問わずアクセスすることができます。F-RAM メモリは読み出しと格納メカニズムを伴い動作します。そのため、メモリ アレイへのアクセス (読み出し/書き込み) に対して、アクセス サイクルが行単位で適用されます。F-RAM のアーキテクチャは、64 ビットの列と 32K の行からなるアレイを基にしています。読み出したまたは書き込みは行単位に行われます。1 行内のデータのアクセスバイト数に関わらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回のみカウントされます。表 7 は、オペコード、開始アドレス、順々の 64 バイト データの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示しています。これはループによって各バイトが 1 回のアクセス回数を費やしたことになります。

F-RAM の読み出しと書き込み可能回数は、40MHz のクロック速度でも事実上無制限です。

表 7. 64 バイト ループの繰り返しでアクセス可能回数が限界に達する期間

SCK 周波数 (MHz)	アクセス可能回数 (サイクル/秒)	アクセス可能回数 (サイクル/年)	限界到達年数
40	73,520	2.32×10^{12}	43.1
10	18,380	5.79×10^{11}	172.7
5	9,190	2.90×10^{11}	345.4

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザーガイドラインはテストが行われていません。

保存温度 -55°C ~ +125°C

最大累積保存時間:

周囲温度 125°C の場合 1000 h

周囲温度 85°C の場合 10 年

通電時の周囲温度 -55°C ~ +125°C

V_{SS} を基準とした V_{DD} の電源電圧 -1.0V ~ +4.5V

入力電圧 -1.0V ~ +4.5V, $V_{IN} < V_{DD} + 1.0V$

High-Z 状態の出力

に与えられる DC 電圧 -0.5V ~ $V_{DD} + 0.5V$

グランド電位を基準にした任意のピンの過渡電圧 (<20ns)

..... -2.0V ~ $V_{DD} + 2.0V$

パッケージ許容電力損失 ($T_A = 25^\circ\text{C}$) 1.0W

表面実装ハンダ付け温度 (3 秒) +260°C

DC 出力電流 (出力 1 本当り、1 秒間) 15mA

静電気の放電電圧

人体モデル (JEDEC 準拠 JESD22-A114-B) 2kV

帯電デバイス モデル (JEDEC 準拠 JESD22-C101-A) 500V

ラッチアップ電流 >140mA

動作範囲

範囲	周囲温度 (T_A)	V_{DD}
産業機器向け	-40°C ~ +85°C	2.0V ~ 3.6V

DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[3]	Max	単位
V_{DD}	電源		2.0	3.3	3.6	V
I_{DD}	V_{DD} 電源電流	SCK は $V_{DD} - 0.2V$ と V_{SS} 間でトグル。他の入力は V_{SS} または $V_{DD} - 0.2V$ を印加。 SO = 開放	$f_{SCK} = 1\text{MHz}$ -	0.13 1.4	0.30 3	mA mA
I_{SB}	V_{DD} スタンバイ電流	$\overline{CS} = V_{DD}$ 。他のすべての入力は V_{SS} または V_{DD} を印加	$T_A = 25^\circ\text{C}$ -	100 -	150 250	μA μA
I_{ZZ}	スリープモード電流	$\overline{CS} = V_{DD}$ 。他のすべての入力は V_{SS} または V_{DD} を印加	$T_A = 25^\circ\text{C}$ -	3 -	5 8	μA μA
I_{LI}	入力リーク電流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA
I_{LO}	出力リーク電流	$V_{SS} \leq V_{OUT} \leq V_{DD}$	-	-	± 1	μA
V_{IH}	入力 HIGH 電圧		$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
V_{IL}	入力 LOW 電圧		-0.3	-	$0.3 \times V_{DD}$	V
V_{OH1}	出力 HIGH 電圧	$I_{OH} = -1\text{mA}$, $V_{DD} = 2.7V$	2.4	-	-	V
V_{OH2}	出力 HIGH 電圧	$I_{OH} = -100\mu\text{A}$	$V_{DD} - 0.2$	-	-	V
V_{OL1}	出力 LOW 電圧	$I_{OL} = 2\text{mA}$, $V_{DD} = 2.7V$	-	-	0.4	V
V_{OL2}	出力 LOW 電圧	$I_{OL} = 150\mu\text{A}$	-	-	0.2	V

注:

3. 標準値は 25°C、 $V_{DD} = V_{DD}(\text{Typ})$ の場合です。100% 試験されているわけではありません。

データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T _{DR}	データ保持期間	T _A =85°C	10	–	年
		T _A =75°C	38	–	
		T _A =65°C	151	–	
NV _C	アクセス可能回数	動作温度範囲内	10 ¹⁴	–	サイクル

静電容量

パラメーター ^[4]	説明	テスト条件	Max	単位
C _O	出力ピン静電容量 (SO)	T _A =25°C、f=1MHz、V _{DD} =V _{DD} (typ)	8	pF
C _I	入力ピン静電容量		6	pF

熱抵抗

パラメーター	説明	テスト条件	8ピン SOIC	8ピン TDFN	単位
Θ _{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 に準拠する熱インピーダンスを測定するための標準試験方法と手順に従う	114	30	°C/W
Θ _{JC}	熱抵抗 (接合部からケース)		52	26	°C/W

AC テスト条件

入力パルス レベルV_{DD} の 10% および 90%
 入力の立ち上がり と 立ち下がり 時間3ns
 入力 と 出力 タイミング の 基準 レベル0.5×V_{DD}
 出力 負荷 容量 30pF

注:

4. このパラメーターは定期的にサンプリングされ 100% はテストされません。

AC スイッチング特性

動作範囲において

パラメーター ^[5]		説明	V _{DD} =2.0V ~ 3.6V		V _{DD} =2.7V ~ 3.6V		単位
サイプレス パラメーター	他社の パラメーター		Min	Max	Min	Max	
f _{SCK}	–	SCK クロック周波数	0	25	0	40	MHz
t _{CH}	–	クロック HIGH 時間	18	–	11	–	ns
t _{CL}	–	クロック LOW 時間	18	–	11	–	ns
t _{CSU}	t _{CSS}	チップ セレクトのセットアップ時間	12	–	10	–	ns
t _{CSH}	t _{CSH}	チップ セレクト ホールド時間	12	–	10	–	ns
t _{OD} ^[6, 7]	t _{HZCS}	出力ディセーブル時間	–	20	–	12	ns
t _{ODV}	t _{CO}	出力データ有効時間	–	16	–	9	ns
t _{OH}	–	出力ホールド時間	0	–	0	–	ns
t _D	–	選択解除時間	60	–	40	–	ns
t _R ^[7, 8]	–	データ入力立ち上がり時間	–	50	–	50	ns
t _F ^[7, 8]	–	データ入力立ち下がり時間	–	50	–	50	ns
t _{SU}	t _{SD}	データ セットアップ時間	8	–	5	–	ns
t _H	t _{HD}	データ ホールド時間	8	–	5	–	ns
t _{HS}	t _{SH}	$\overline{\text{HOLD}}$ セットアップ時間	12	–	10	–	ns
t _{HH}	t _{HH}	$\overline{\text{HOLD}}$ ホールド時間	12	–	10	–	ns
t _{HZ} ^[6, 7]	t _{HHZ}	$\overline{\text{HOLD}}$ LOW から HI-Z まで	–	25	–	20	ns
t _{LZ} ^[7]	t _{HLZ}	$\overline{\text{HOLD}}$ HIGH からデータ アクティブまで	–	25	–	20	ns

注:

- 13 ページの AC テスト条件に示すように、テスト条件では、3ns 以下の信号遷移時間、0.5×V_{DD} のタイミング リファレンス レベル、V_{DD} の 10% ~ 90% の入力パルス レベル、指定の I_{OL}/I_{OH} の出力負荷、30pF の負荷容量を前提にしています。
- t_{OD} および t_{HZ} は、5pF の負荷容量で規定されています。出力が高インピーダンス状態に入る時に、遷移が測定されます。
- 特性付けされていますが、すべてのデバイスでテストはされていません。
- 立ち上がりと立ち下がり時間は波形の 10% と 90% の間で測定されます。

図 17. 同期データ タイミング (モード 0)

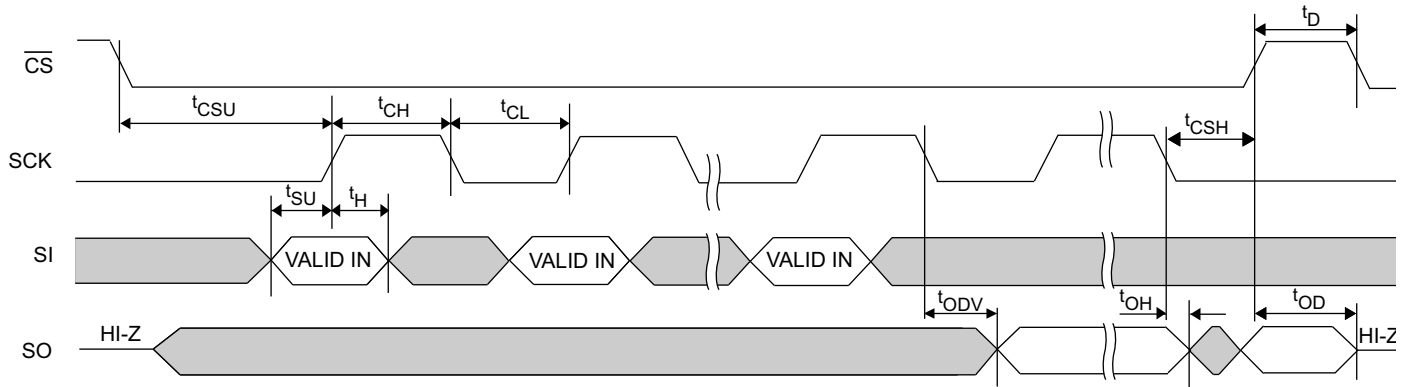
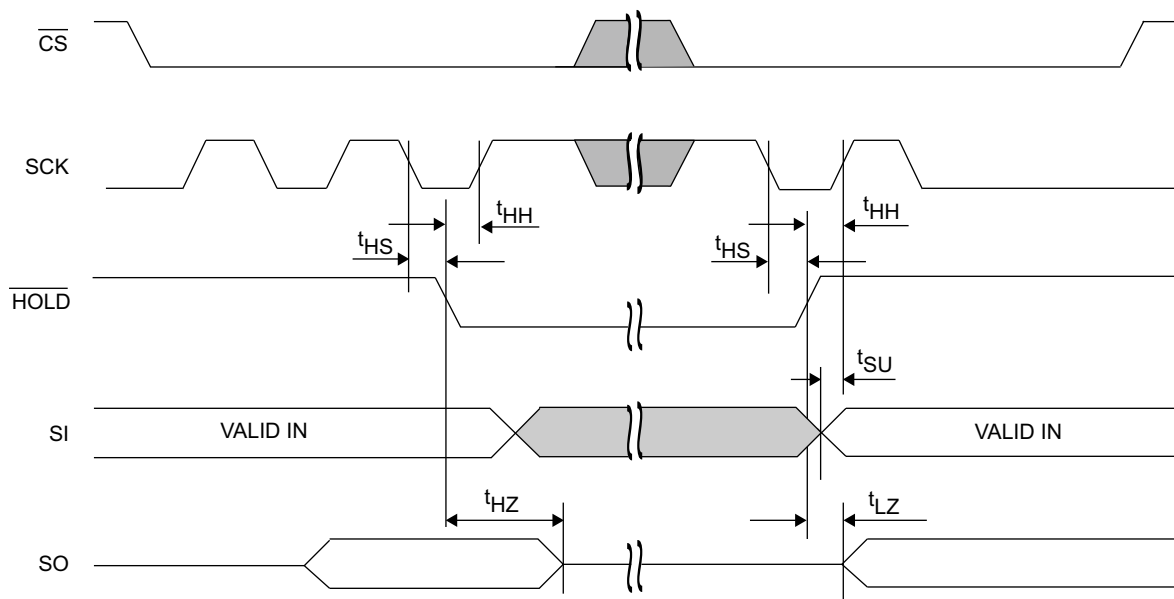


図 18. HOLD タイミング

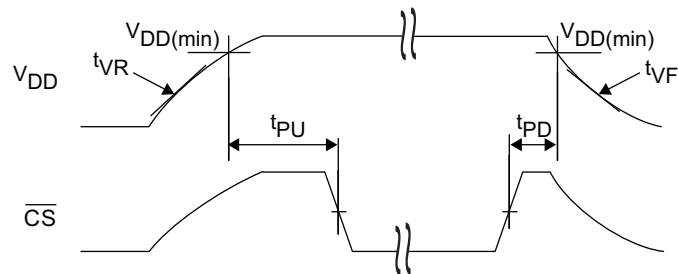


パワー サイクル タイミング

動作範囲において

パラメーター	説明	Min	Max	単位
t_{PU}	電源投入時 ($V_{DD(min)}$) から最初のアクセス (\overline{CS} LOW) まで	1	–	ms
t_{PD}	最後のアクセス (\overline{CS} HIGH) から電源切断 ($V_{DD(min)}$) 時まで	0	–	μs
$t_{VR}^{[9]}$	V_{DD} 電源投入時のランプ レート	50	–	$\mu s/V$
$t_{VF}^{[9]}$	V_{DD} 電源切断時のランプ レート	100	–	$\mu s/V$
$t_{REC}^{[10]}$	スリープ モードからの復帰時間	–	450	μs

図 19. パワー サイクル タイミング



注:

- 9. V_{DD} 波形上の任意の点で測定したスロープです。
- 10. 設計保証です。スリープ モードからの復帰タイミングについては、[図 15](#) をご参照ください。

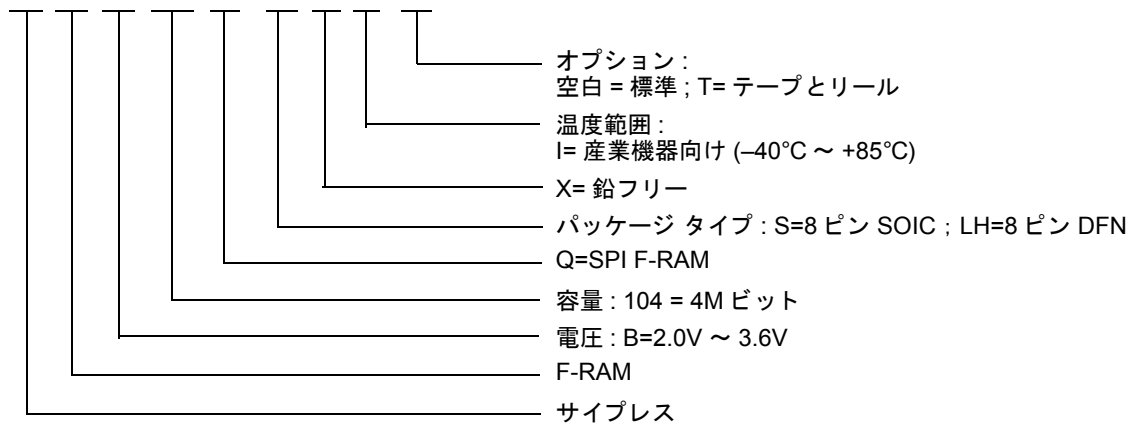
注文情報

注文コード	パッケージ図	パッケージタイプ	動作範囲
CY15B104Q-SXI	001-85261	8ピン SOIC	産業機器向け
CY15B104Q-SXIT	001-85261	8ピン SOIC	
CY15B104Q-LHXI	001-85579	8ピン TDFN	
CY15B104Q-LHXIT	001-85579	8ピン TDFN	

これらすべてのデバイスは鉛フリーです。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

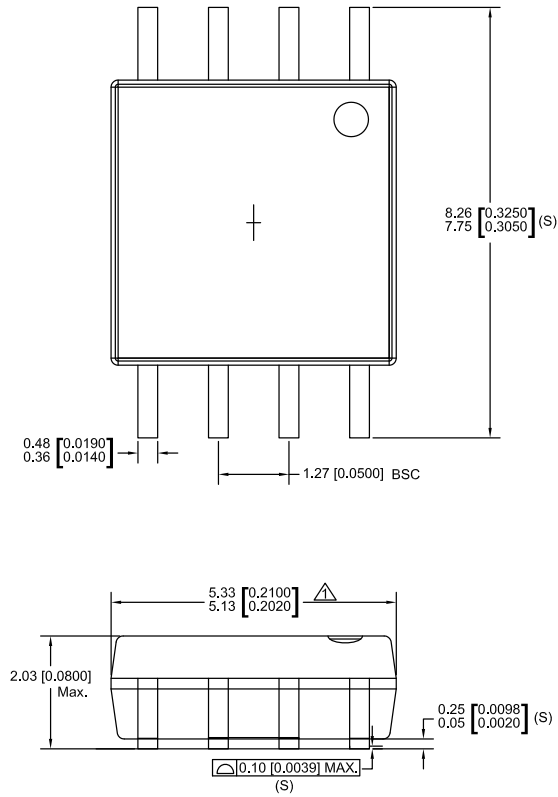
注文コードの定義

CY 15 B 104 Q - S X I T



パッケージ図

図 20. 8ピン SOIC (208mil) パッケージ図、001-85261

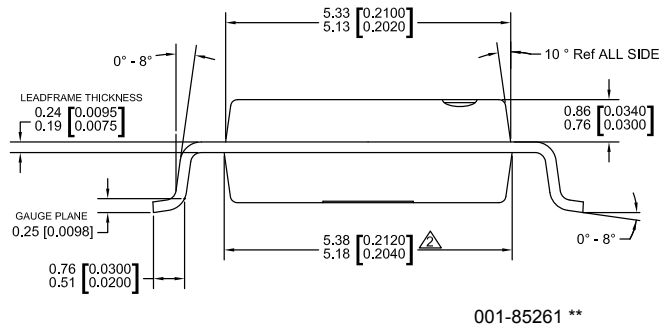


NOTE:

⚠ DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE

⚠ DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSION SHALL NOT EXCEED 0.010 INCH PER SIDE.

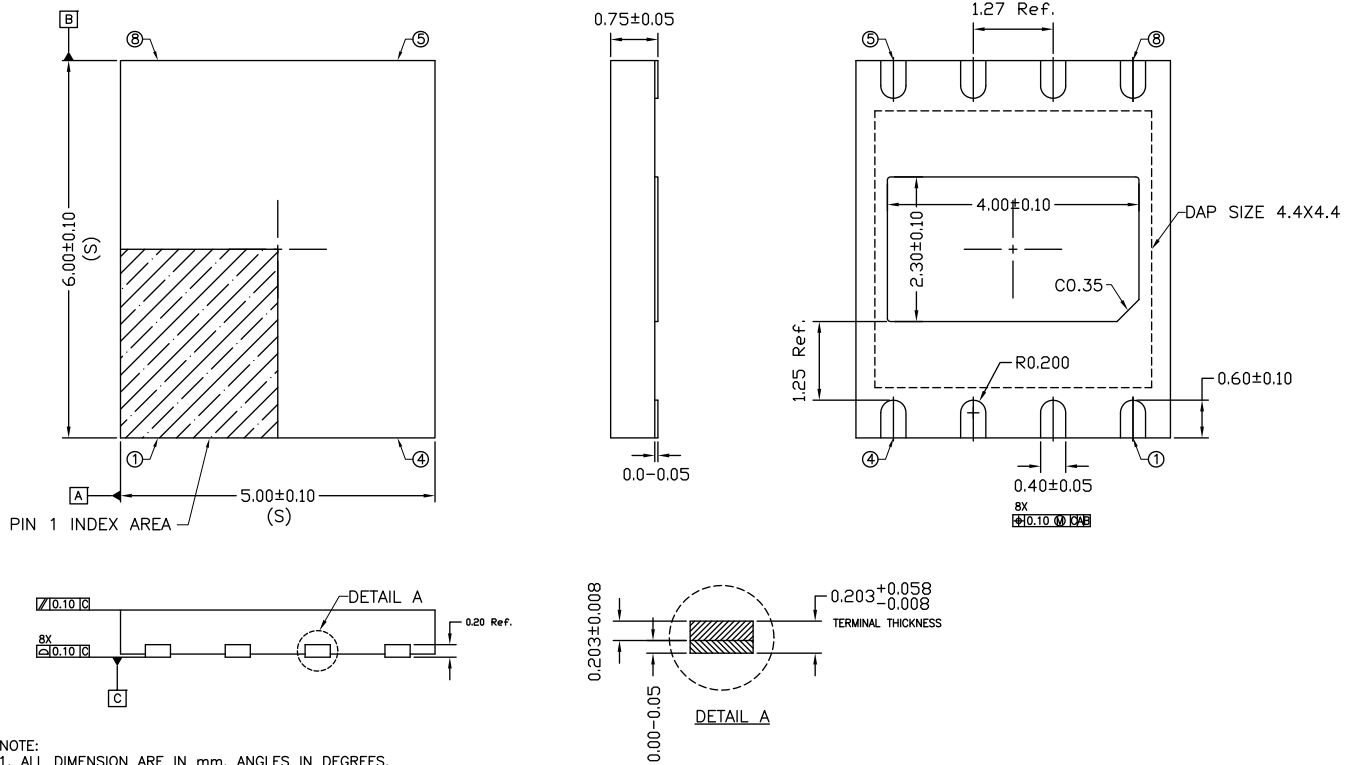
- THIS PART IS COMPLIANT WITH EIAJ SPECIFICATION EDR-7320
- LEAD SPAN/STAND OF HEIGHT/COPLANARITY ARE CONSIDERED AS SPECIAL CHARACTER.
- CONTROLLING DIMENSIONS IN MM. [INCH]



001-85261 **

パッケージ図 (続き)

図 21. 8 ピン DFN (5mm×6mm×0.75mm) パッケージ図、001-85579



NOTE:

1. ALL DIMENSION ARE IN mm. ANGLES IN DEGREES.
2. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.
COPLANARITY SHALL NOT EXCEED 0.08mm.
3. WARPAGE SHALL NOT EXCEED 0.10mm.
4. PACKAGE LENGTH / PACKAGE WIDTH ARE CONSIDERED AS SPECIAL CHARACTERISTICS.(S)
5. REFER TO JEDEC MO-229.
6. FRAME STOCK# FL0106 (Ag Ring Plate), UTL PKG CODE TD56G008A OR TD500X600G008A
OR TD500T600G008A OR TD500L600G008A OR TD500U600G008A.
7. L/F STOCK# FR0221 (Ag Ring), UTL PKG CODE TD500E600G008A OR TD500S600G008A
OR TD500M600G008A OR TD500D600G008A.

001-85579 *A

略語

略語	説明
CPHA	Clock Phase (クロック位相)
CPOL	Clock Polarity (クロック極性)
EEPROM	Electrically Erasable Programmable Read-Only Memory (電氣的消去プログラム可能な読み出し専用メモリ)
EIA	Electronic Industries Alliance (米国電子工業会)
F-RAM	Ferroelectric Random Access Memory (強誘電体ランダム アクセス メモリ)
I/O	Input/Output (入力/出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC 準拠
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース)
SOIC	Small Outline Integrated Circuit (小型外形集積回路)
TDFN	Thin Dual Flat No-lead (薄型デュアルフラット ノーリード)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mbit	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラッド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY15B104Q、4M ビット (512K×8) シリアル (SPI) F-RAM

文書番号 : 001-94897

版	ECN 番号	変更者	発行日	変更内容
**	4564213	HZEN	11/13/2014	これは英語版 001-94240 Rev. ** を翻訳した日本語版 001-94897 Rev. ** です。
*A	4699882	MIOU	03/26/2015	これは英語版 001-94240 Rev. *B を翻訳した日本語版 001-94897 Rev. *A です。
*B	4959436	HZEN	10/16/2015	これは英語版 001-94240 Rev. *C を翻訳した日本語版 001-94897 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC[®] ソリューション

psoc.cypress.com/solutions

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2014-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。