

## 書名: PLL回路の設計と応用

RS品番: 490-2326  
著者: 遠坂 俊昭 著  
サイズ: A5  
ページ: 320頁  
ISBN: 2003/11/01  
出版社: CQ出版

### 目次: 第1章 PLLの動作と回路構成

PLLとシンセサイザ技術のあらまし

#### 1.1 PLL回路の基本動作

- PLL回路を構成する三つのブロック
- PLLの応用と周波数シンセサイザ
- PLL回路の各部の動作波形

#### 1.2 PLL回路および周波数シンセサイザの構成

- 入力周波数のN倍出力を得る方法
- 入力周波数のN×M倍出力を得る方法—入力に分周回路を入れる
- 入力周波数のN×M倍出力を得る方法—出力に分周回路を入れる
- 入力周波数のN×M倍出力を得る方法—プリスケアラを追加する
- ヘテロダインと組み合わせる—(fn×N)+fLを得る
- DDS(Direct Digital Synthesizer)と組み合わせる

#### 1.3 PLLシンセサイザでは信号純度がポイント

- 理想シンセサイザ出力は1本のスペクトル
- AM—振幅変動が起こると—AM性ノイズ
- FM—周波数変動されると—FM性ノイズ
- FM性ノイズの影響

#### 1.4 シンセサイザ以外へのPLLの応用

- デジタル・データからのクロック再生
- 周波数・電圧変換—FM復調回路
- モータの回転スピード制御

コラム ■dBcとは

コラム ■PLL回路の発明はベルシーゼ氏

### Appendix A PLL回路はOPアンプと同じ負帰還の応用

#### A.1 OPアンプ回路との相似

- PLL回路とOPアンプ回路の似ているところ
- PLL回路とOPアンプ回路の違うところ

#### A.2 増幅回路に学ぶ負帰還の仕組みと特性

- 負帰還のあらまし
- 負帰還によって改善される特性
- 負帰還のもっている問題点—動作不安定になる条件
- 負帰還のようすをシミュレーションする
- 利得・周波数特性のピークをABの複素平面に見る

### 第2章 PLL回路の伝達特性

PLL回路の特性はループ・フィルタで決まる

#### 2.1 PLL回路の伝達特性を理解しよう

- PLL回路の各部の伝達特性
- 簡単な例題—クロック50倍回路のとき
- ループ・フィルタ特性を除いた伝達特性を求める
- 使用しているループ・フィルタ特性とPLL回路の伝達特性
- PLL回路における負帰還の効果

#### 2.2 ループ・フィルタ設計の基礎知識

- CRローパス・フィルタの詳しい特性
- ステップ特性をもたせたCRローパス・フィルタ
- CR多段フィルタにおける利得と位相の関係
- 普通のCRローパス・フィルタ—ラグ・フィルタを用いると不安定
- 安定なPLLにはラグ・リード・フィルタ

コラム ■シミュレーションにはSPICEが便利

### 第3章 PLL回路のループ・フィルタ設計法

ハッパシブ/アクティブ・ループ・フィルタの設計事例と検証

#### 3.1 ハッパシブ・ループ・フィルタの設計

- ラグ・リード・フィルタのポード線図
- PLL回路とラグ・リード・フィルタを組み合わせたときの特性
- 分周数に変化すると
- ループ・フィルタの定数を正規化グラフから求める—Appendix Bを参照

#### 3.2 10~100kHz PLLシンセサイザのループ・フィルタ設計

- 実験するシンセサイザのあらまし
- ループ・フィルタを除いた伝達特性を求める
- 時定数: 小, M=10dB, 位相余裕60°で設計する
- 時定数: 中, M=20dB, 位相余裕50°で設計する
- 時定数: 大, M=30dB, 位相余裕50°で設計する
- 試作器の出力波形を見ると
- 出力スペクトラムを観測すると
- ロック・スピードはどうなったか
- 3次アクティブ・ループ・フィルタを使うとき
- アクティブ・ループ・フィルタとは
- 2次アクティブ・ループ・フィルタのポード線図はどうなるか
- 3次アクティブ・ループ・フィルタ
- アクティブ・ループ・フィルタのノイズ
- アクティブ・ループ・フィルタの定数を正規化グラフから求める
- 実際の回路でアクティブ・ループ・フィルタを設計する
- 正規化グラフを使用し、ループ・フィルタの定数を求める
- 時定数: 小, M=0dB, 位相余裕50°で設計する
- 時定数: 中, M=10dB, 位相余裕50°で設計する
- 時定数: 大, M=20dB, 位相余裕50°で設計する
- 試作器によるデータ—出力波形
- 出力スペクトラム
- ロック・スピードはどうなっているか
- ロック・スピードをシミュレーションする

#### 3.5 位相余裕による特性の違い

- 実験は50倍回路で
- ループ・フィルタの設計
- 位相余裕が40°のとき
- 位相余裕が50°のとき
- 位相余裕が60°のとき
- シミュレーションで周波数特性を見る
- 出力波形のスペクトラム
- ロック・スピードはどうなったか
- PLL回路の最適位相余裕は40°~50°

コラム ■周波数変動のようすを測定できるモジュレーション・ドメイン・アナライザ

### 第4章 4046と位相比較器のいろいろ

PLL回路に使用する定番デバイスの基礎知識

#### 4.1 PLLの定番デバイスは4046

- PLLの入門は4046から
- 4046にも三つのタイプがある
- 74HC4046は位相比較器を3種類内蔵
- 4046に内蔵されているVCOの特性

#### 4.2 位相比較器の働きがポイント

- アナログ位相比較器
- デジタル位相比較器
- 位相周波数型比較器
- 4046のPC2タイプ位相比較器
- デッド・ゾーン
- 電流出力タイプ位相比較器
- 高速位相比較器A09901

### 第5章 電圧制御発振器VCOの回路技術

VCOに求められる特性とさまざまな発振回路の方式

#### 5.1 VCOに要求される性能

- VCOのあらまし
- 周波数可変範囲
- 周波数制御の直線性
- 出力ノイズ
- 出力波形歪み
- 電源電圧変動に対する安定度
- 周囲温度変化に対する安定度
- 外部磁界や振動による影響

#### 5.2 弛張発振器によるVCOの構成

- ファンクション・ジェネレータの基本動作
- ファンクション・ジェネレータによるVCOの構成
- ファンクション・ジェネレータIC MAX038の利用

#### 5.3 帰還発振器

- 帰還発振器の基本動作
- 帰還発振器を安定発振させる工夫
- RCによる帰還発振器の構成
- ステート・バリアブルVCO

#### 5.4 高周波で利用するLC発振回路とVCOへの利用

- 基本はハートレイ/コルピッツ発振回路
- コルピッツを改善したクラップ発振回路
- 反結合発振回路
- LC発振器をVCOにする可変容量ダイオード
- 市販されているLC発振VCO

#### 5.5 その他のVCO

- 振動子による帰還発振器
- 遅延発振器

### 第6章 プログラマブル分周器の種類と動作

PLLシンセサイザを構成するためのデジタル回路

#### 6.1 プログラマブル分周器の基本はダウン・カウンタ

- 74HC40102/40103
- TC9198

#### 6.2 プリスケアラ(prescaler)

- プリスケアラIC
- パルス・スワロウ方式
- フラクショナルN方式

#### 6.3 PLL用のLSI

- PLL専用LSIの構成
- ADF4110/4111/4112/4113

### 第7章 PLL回路の計測と評価法

ハッパシブ/アクティブ・ループ・フィルタのループ利得

#### 7.1 負帰還回路のループ利得の計測

- ループ利得の計測は難しい
- 負帰還を施したままループ利得を計測
- 負帰還ループ計測をシミュレーション
- 実際に信号を注入するには

#### 7.2 FRAを利用する

- 負帰還ループ特性計測のためのFRA
- FFTとの違い
- ネットワーク・アナライザとの違い

#### 7.3 PLL回路のループ利得測定

- ハッパシブ・ループ・フィルタを利用したPLL
- アクティブ・ループ・フィルタを利用したPLL

### 第8章 PLLの特性改善ノウハウ

信号純度やロック・スピードを向上させるテクニック

#### 8.1 電源をきれいにする

- CMOSインバータ回路で実験してみると
- 水晶発振回路で実験
- シリーズ・レギュレータの雑音特性を比較する

#### 8.2 VCOの制御電圧特性を改善する

- CD74HC4046のVCOの直線性を改善する
- CD74HC4046のVCOの周波数可変範囲を広げる

#### 8.3 VCOと位相比較器の干渉

- 74HC4046はVCOと位相比較器が同居
- まずは74HC4046を1個で実験する
- 74HC4046を2個使用し、VCOと位相比較器を分離する

#### 8.4 位相比較器のデッド・ゾーン

- 74HC4046でデッド・ゾーンの影響を実験する
- PC2とバリメガVCOを組み合わせる
- 4046のPC1とバリメガVCOを組み合わせる
- 74HCT9046とバリメガVCOを組み合わせる

#### 8.5 ロック・スピードの改良

- ダイオードによるループ・フィルタ定数の切り替え
- アナログ・スイッチによるループ・フィルタ定数の切り替え
- D-Aコンバータによるプリセット電圧の加算

### 第9章 実用PLLシンセサイザの設計/製作

ループ・フィルタの詳細設計と実測特性で示す

#### 9.1 74HC4046を使用したクロック・シンセサイザ

- 実験などに便利な1Hz~10MHzの水晶代用シンセサイザ
- 回路構成の特徴—すべてCMOS ICを使用
- ループ・フィルタの設計
- 出力波形
- スペクトラム
- ロック・スピード

#### 9.2 TLC2933を使用したクロック・シンセサイザ

- TLC29xxシリーズのあらまし
- クロック・シンセサイザの回路
- ループ・フィルタを設計する
- 出力波形のスペクトラムを計測

#### 9.3 HFシンセサイザ

- HFシンセサイザの回路
- ループ・フィルタの定数を求める
- スペクトラム
- ロック・スピード

#### 9.4 40MHz周波数基準信号用PLL

- 40MHz周波数基準信号用PLLの回路
- ループ・フィルタの設計
- 出力波形

#### 9.5 低歪み低周波PLL

- 低歪み低周波PLLの回路
- ループ・フィルタの設計
- 出力波形の合成