

## 概要説明

サイプレスの PSoC® 4 は、Arm® Cortex™-M0+ CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリー用の拡張可能かつ再コンフィギュレーション可能なプラットフォーム アーキテクチャです。これはプログラム可能かつ再コンフィギュレーション可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせます。PSoC 4100PS は PSoC 4 プラットフォーム アーキテクチャのメンバーです。標準的な通信機能とタイミング パリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CapSense)、プログラマブルな汎用の連続時間スイッチト キャパシタアナログ ブロックおよびプログラマブルな内部接続で構成されています。

## 特長

### プログラマブル アナログ ブロック

- 2 個の専用アナログ - デジタル コンバータ (ADC): 12 ビット SAR ADC および 10 ビット シングル スローブ ADC
- カスタムのアナログ フロント エンド (AFE) を作成するための、4 個のオペアンプ、2 個の低消費電力コンパレータ、および 1 個の柔軟な 38 チャンネルのアナログ マルチプレクサ
- 2 個の 13 ビット電圧 DAC
- 任意のピンでの汎用または静電容量センシング用途向けの 2 個の 7 ビット電流 DAC (IDAC)

### CapSense® 容量センシング

- サイプレスの第 4 世代 CapSense シグマデルタ (CSD) はクラス最高の信号対ノイズ比 (SNR) および耐水性を提供
- サイプレスが提供するソフトウェア コンポーネントによる容易な静電容量センシングの設計
- ハードウェア自動チューニング (SmartSense™)

### セグメント LCD 駆動

- あらゆるピンで LCD を駆動可能 (コモンまたはセグメント)
- ディープスリープモードでの動作に対応、ピンごとに 4 ビットメモリ

### プログラマブル デジタル パリフェラル

- 実行時に I<sup>2</sup>C、SPI、または UART に設定可能な 3 個の独立したシリアル通信ブロック (SCB)
- 中央揃え、エッジ、および疑似乱数モードに対応する 8 個の 16 ビット タイマー/カウンター/パルス幅変調器 (TCPWM) ブロック

### 32 ビットの信号処理エンジン

- 最大 48MHz の Arm Cortex-M0+ CPU
- 読み出しアクセラレータを備えた最大 32KB のフラッシュ
- 最大 4KB の SRAM

- 8 チャンネルのディスクリプタ ベースの DMA コントローラー

### 低消費電力動作

- 1.71V ~ 5.5V の動作
- ディープスリープモード: アナログ システムが動作し、デジタル システム電流が 2.5µA
- 時計用水晶発振器 (WCO)

### プログラマブル GPIO ピン

- 駆動モード、駆動強度、およびスルー レートがプログラム可能で、アナログ、デジタル、CapSense、または LCD 機能に使用可能な最大 38 本の GPIO ピン
- 入力と出力の信号にピンレベルのブール演算を実装するための 8 本の Smart I/O を装備
- 48 ピン QFN、48 ピン TQFP、28 ピン SSOP、45 ボール WLCSP のパッケージ

### PSoC Creator 設計環境

- 統合設計環境 (IDE) は回路図キャプチャ設計の入力とビルド (アナログとデジタル信号の自動配線に対応) および Arm-SWD デバッガによるファームウェアの同時設計を提供
- 完全に設計した組込み初期化、校正、補正アルゴリズムを持っている GUI ベースの設定可能な PSoC コンポーネント
- すべての固定機能およびプログラム可能なパリフェラル用のアプリケーション プログラミング インターフェース (API)

### 業界標準ツールとの互換性

- 回路図キャプチャ後、ファームウェア開発を Arm ベースの業界標準の開発ツールで行うことが可能

## 詳細情報

サイプレスは、[www.cypress.com](http://www.cypress.com) に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの総合リストについては、知識ベース記事「[KBA86521](#)、[How to Design with PSoC 3](#)、[PSoC 4](#)、[and PSoC 5LP](#)」を参照してください。以下は PSoC 4 の要約です。

### ■ 概要: PSoC ポートフォリオ、PSoC ロードマップ

### ■ 製品セレクタ: PSoC 1、PSoC 3、PSoC 4、PSoC 5LP、また PSoC Creator 内にデバイス選択ツールがあります。

### ■ アプリケーション ノート: サイプレスは、基本レベルから上級レベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートを提供しています。以下は、PSoC 4 入門用の推奨アプリケーション ノートです。

- [AN79953](#): Getting Started With PSoC 4
- [AN88619](#): PSoC 4 Hardware Design Considerations
- [AN86439](#): Using PSoC 4 GPIO Pins
- [AN57821](#): Mixed Signal Circuit Board Layout
- [AN81623](#): Digital Design Best Practices
- [AN73854](#): Introduction To Bootloaders
- [AN89610](#): Arm Cortex Code Optimization
- [AN85951](#): PSoC<sup>®</sup> 4 and PSoC Analog Coprocessor CapSense<sup>®</sup> Design Guide

### ■ テクニカル リファレンス マニュアル (TRM) は 2 種類あります。

- [アーキテクチャ TRM](#): 各 PSoC 4 機能ブロックを詳細に説明します。
- [レジスタ TRM](#): 各 PSoC 4 レジスタを詳細に説明します。

### ■ 開発キット:

- [CY8CKIT-147](#) PSoC<sup>®</sup> 4100PS プロトタイプ キットは、低コストで PSoC 4100PS デバイスによる評価および開発を可能にします。

**MiniProg3** デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供します。

### ■ ソフトウェア ユーザー ガイド:

- PSoC Creator の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルドプロセスの詳細、PSoC Creator を用いたソース制御の使い方などが記載されています。

### ■ コンポーネント データシート:

- PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル(コンポーネント)を作成することができます。コンポーネント データシートには、機能説明、API ドキュメント、推奨コード例、AC / DC仕様を含む特定のコンポーネントの選択および使用に必要な情報が全て記載されています。

### ■ オンライン:

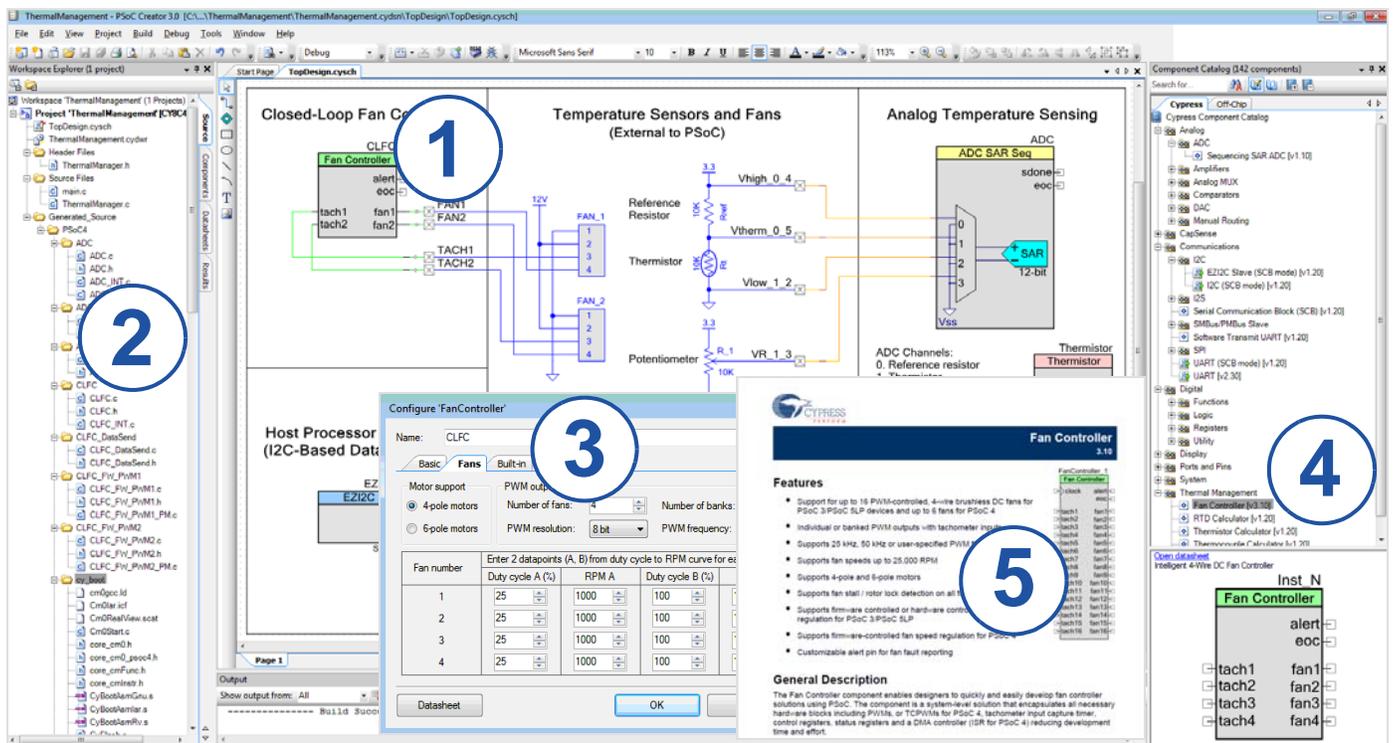
- 印刷された資料のほかに、[サイプレス PSoC フォーラム](#)によって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

## PSoC Creator

PSoC Creator は無償の Windows ベースの統合設計環境 (IDE) です。PSoC 3、PSoC 4 および PSoC 5LP ベースのシステムのハードウェアとファームウェア設計が同時に可能です。事前検証済みで量産使用も可能な PSoC コンポーネントを 100 以上サポートしている、クラシックで親しみやすい回路図キャプチャを使ってデザインを作成します。コンポーネント データシートを参照してください。PSoC Creator により、以下のことが可能です。

1. メイン デザイン ワークスペースで、コンポーネント アイコンをドラッグ アンド ドロップしてハードウェア システム デザインをビルド
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを同時に設計
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを閲覧

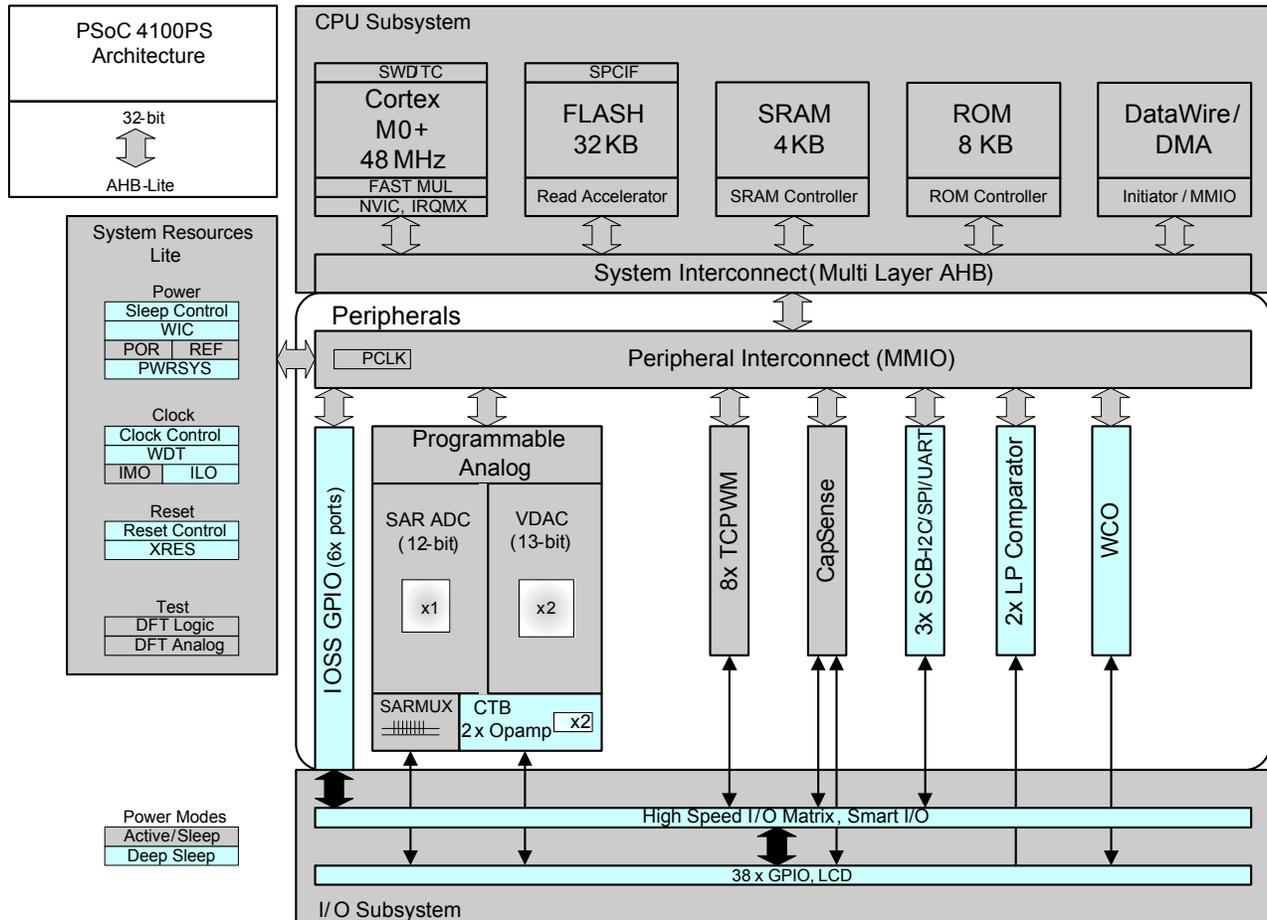
図 1. PSoC Creator の複数センサーのサンプル プロジェクト



## 目次

<b>機能の説明</b> .....	<b>6</b>	アナログ ペリフェラル .....	20
CPU およびメモリ サブシステム .....	6	デジタル ペリフェラル .....	30
システム リソース .....	6	メモリ .....	32
アナログ ブロック .....	7	システム リソース .....	32
固定機能デジタル .....	8	<b>注文情報</b> .....	<b>35</b>
GPIO .....	8	<b>パッケージ</b> .....	<b>38</b>
特殊機能ペリフェラル .....	9	パッケージ図 .....	39
WLCSP パッケージのブートローダ .....	9	<b>略語</b> .....	<b>42</b>
<b>ピン配置</b> .....	<b>10</b>	<b>本書の表記法</b> .....	<b>45</b>
ピンの代替機能 .....	12	測定単位 .....	45
<b>電源</b> .....	<b>14</b>	<b>改訂履歴</b> .....	<b>46</b>
モード 1: 1.8V ~ 5.5V の外部電源 .....	14	<b>セールス、ソリューションおよび法律情報</b> .....	<b>47</b>
<b>開発サポート</b> .....	<b>15</b>	ワールドワイドな販売と設計サポート .....	47
ドキュメント .....	15	製品 .....	47
オンライン .....	15	PSoC <sup>®</sup> ソリューション .....	47
ツール .....	15	サイプレス開発者コミュニティ .....	47
<b>電氣的仕様</b> .....	<b>16</b>	テクニカル サポート .....	47
絶対最大定格 .....	16		
デバイス レベルの仕様 .....	16		

図 2. ブロック図



PSoC 4100PS デバイスは、ハードウェアとファームウェアの両方について、プログラミング、テスト、デバッグ、配線に幅広く対応しています。

Arm シリアル ワイヤ デバッグ (SWD) インターフェイスは、デバイスのプログラミングとデバッグ機能をすべてサポートしています。

完全なデバッグ オン チップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグが可能です。専用のインターフェイスやデバッグ ポッド、シミュレータ、エミュレータは不要です。デバッグをサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE は PSoC 4100PS デバイスのプログラミングおよびデバッグを完全にサポートします。SWD インターフェイスは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4100PS ファミリーは、マルチチップ アプリケーション ソリューションまたはマイクロコントローラーでは適用不可能なセキュリティレベルを提供します。このファミリーは次の利点を持っています。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護

- お客様独自の機能をオンチップ プログラマブル ブロックに実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、一度デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ機能を有効にする新しいファームウェアでデバイスをプログラムし直す以外に有効にする方法はありません。デバッグ機能のファームウェア制御は、ファームウェアを消去しなければオーバーライドされません。その結果セキュリティが向上します。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェイスを恒久的に無効にできます。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテスト インターフェイスは無効にされます。そのため、デバイス セキュリティ機能を有効にした PSoC 4100PS は、故障解析ができない場合があります。これは PSoC 4100PS のトレードオフです。

## 機能の説明

### CPU およびメモリ サブシステム

#### CPU

PSoC 4100PS の Cortex-M0+ CPU は、広範なクロック ゲーティングに対応し低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU は Thumb-2 命令セットのサブセットを実行します。これは、8 つの割込み入力を備えたネスト型ベクタ割込みコントローラ (NVIC) ブロックと復帰割込みコントローラ (WIC) を含みます。WIC はディープ スリープ モードからプロセッサを復帰させることが可能です。これにより、チップがディープ スリープ モードにある時にメイン プロセッサへの電源を切ることができます。

また、CPU は JTAG の 2 線式のデバッグ インターフェースであるシリアル ワイヤ デバッグ (SWD) インターフェースも含んでいます。PSoC 4100PS に使用するデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

#### DMA / DataWire

DMA エンジンはユーザー プログラム可能なディスクリプタチェーンを介して、メモリ マップ内のどこにでも、独立したデータ転送を行うことができます。DataWire 機能はメモリ内にある位置から別の位置への単一要素の転送を行うために使用されます。さまざまな選択可能なトリガー ソースを持つ 8 本の DMA チャンネルがあります。

#### フラッシュ

PSoC 4100PS デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために CPU に緊密に接続された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持っています。低消費電力のフラッシュ ブロックは 48MHz で 2 ウェイト ステート (WS) アクセス時間を達成するように設計されます。フラッシュ アクセラレータにより、アクセス性能は平均してシングル サイクル SRAM の 85% に達します。

#### SRAM

48MHz でゼロ ウェイトステート (待ち状態なし) アクセスを備えた 4KB SRAM が提供されます。

#### SROM

ブートおよびコンフィギュレーション ルーチンを含む 8KB の SROM が提供されます。

### システム リソース

#### 電力システム

電力システムは電源 ページの 14 の節で詳しく説明されます。これは、電圧レベルがそれぞれのモードの要求に応じることを保証し、電圧レベルが適切な機能の要求に応じるまでモードへの移行を遅延させる (例えば、パワーオン リセット (POR) 時) か、またはリセットを生成します (例えば、電圧低下検出時)。PSoC 4100PS は、1.8V±5% (外部レギュレータ使用時) または 1.8V ~ 5.5V (内部レギュレータ使用時) の外部電源電圧で動作し、3 つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSoC 4100PS はアクティブ モードおよびスリープとディープ スリープの低消費電力モードに対応しています。

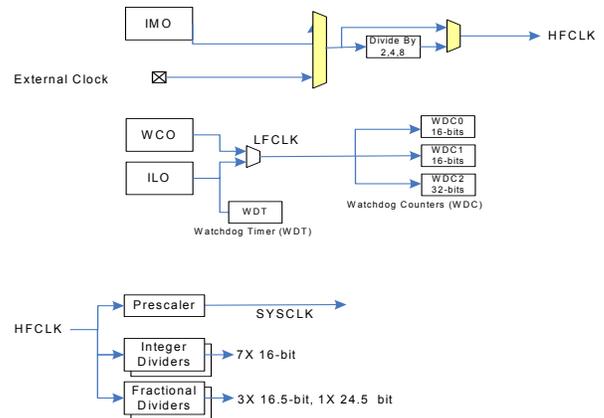
アクティブ モードでは、すべてのサブシステムが動作できます。CPU サブシステム (CPU、フラッシュ、SRAM) はスリープ モードでクロックがゲート オフになりますが、すべてのペリフェラルと割込みはウェイクアップ イベントのときに瞬時ウェイクアップ機能によりアクティブになります。ディープ スリープ モードでは、高速クロックおよび対応する回路がスイッチオフされます。このモードからの復帰には 35µs を要します。オペアンプはディープ スリープ モードで動作し続けることができます。

#### クロック システム

PSoC 4100PS クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロック ソース間で切り替えることができます。また、クロック システムはメタステーブル状態が発生しないことを保証します。

PSoC 4100PS のクロック システムは、内蔵主発振器 (IMO)、内蔵低速発振器 (ILO)、32kHz 時計用水晶発振器 (WCO) および外部クロック用の予備ピンから構成されます。クロック分周器はペリフェラル用のクロックを細かく生成するために提供されます。また、分数分周器は UART 向けのより速いデータ転送速度でクロックの供給を可能にするために提供されます。

図 3. PSoC 4100PS MCU のクロック アーキテクチャ



HFCLK 信号は、アナログとデジタル ペリフェラル用に同期クロックを生成するために分周することができます。上図に示すように、PSoC 4100PS には 11 個のクロック分周器があります。16 ビット分周器は細かい周波数値を柔軟に生成することが可能で (大きな分周比用に 24 ビット分周器が 1 個ある)、PSoC Creator で完全にサポートされます。

#### IMO クロック ソース

IMO は PSoC 4100PS の内部クロック供給の主なソースです。これは出荷試験中に仕様の精度を得るために調整されます。IMO のデフォルト周波数は 24MHz で、4MHz ステップで 24 ~ 48MHz に調整できます。サイプレスが提供する校正設定での IMO の許容誤差は ±2% です。

#### ILO クロック ソース

ILO は超低消費電力の 40kHz 発振器であり、主にディープ スリープ モードでウォッチドッグ タイマー (WDT) とペリフェラルの動作にクロックを生成するために使用されます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正することができます。サイプレスは校正を実行するソフトウェア コンポーネントを提供しています。

#### 時計用水晶発振器 (WCO)

PSoC 4100PS クロック サブシステムは、ウォッチドッグ タイミング アプリケーションに採用できる低周波数 (32kHz 時計用水晶) 発振回路を内蔵します。

#### ウォッチドッグ タイマー

ウォッチドッグ タイマーは、ILO をクロック ソースとして動作するクロック ブロックに実装されます。これは、ディープスリープ時のウォッチドッグ動作を可能にし、設定されたタイムアウトが発生する前に処理されなかった場合にウォッチドッグリセットを生成します。ウォッチドッグ リセットは、ファームウェア読み出しが可能なリセット原因 (Reset Cause) レジスタに記録されます。

#### リセット

PSoC 4100PS は、ソフトウェアリセットを含む様々なソースからリセットできます。リセット イベントは非同期であり、デバイスを既知の状態に復帰させることが保証されています。リセットの原因はレジスタに記録されます。そのレジスタはリセット中も保存され、ソフトウェアがリセットの原因を判断できます。XRES ピンはアクティブ LOW の外部リセット用に予約されています。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

#### 電圧リファレンス

PSoC 4100PS リファレンス システムは、すべての必要となるリファレンスを生成します。1.2V リファレンス電圧はコンパレータ向けに提供されます。IDAC は  $\pm 5\%$  リファレンス電圧を基準とします。

## アナログ ブロック

### 12 ビット SAR ADC

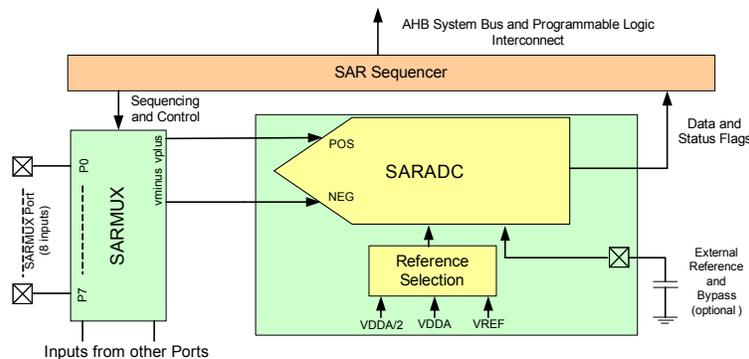
12 ビットの 1Msps SAR ADC は 18MHz の最大クロック レートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを要します。

サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの整定時間を規定する利得帯域幅要件を必要に応じて緩和できます。内部リファレンスアンプ用に外部バイパス (固定したピン位置を介して) を提供できます。

SAR は 8 入力シーケンサを介して固定したピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャンネルを自律的に巡回します (シーケンサスキャン) (つまり、合計サンプリング帯域幅は、単一のチャンネルか複数のチャンネルであるかにかかわらず 1Msps です)。シーケンサの切り替えは、ステート マシンまたはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割込みサービスの要件を軽減するための各チャンネルのバッファリングです。信号を様々なソース インピーダンスと周波数に適合させるために、チャンネルごとに異なるサンプリング時間をプログラムできます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジ レジスタの一对 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割込みで実施されます。これにより、シーケンサスキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープ モードに対応していません。SAR の動作範囲は 1.71V ~ 5.5V です。

図 4. SAR ADC



### 4 個のオペアンプ (連続時間ブロック、CTB)

PSoC 4100PS は、コンパレータ モードのある 4 個のオペアンプを持つことにより、PGA、電圧バッファ、フィルタ、トランスインピーダンス アンプなどほとんどの一般的なアナログ機能が外付け部品の必要なくオンチップで実行でき、消費電力、コスト、および空間を節約できます。ただし外部受動素子が必要になる場合もあります。内蔵オペアンプは、外部バッファを必要とせずに ADC のサンプル ホールド回路を駆動するに十分な帯域幅を持つように設計されています。

### VDAC (13 ビット)

PSoC 4100PS は 2 つの 13 ビット分解能の電圧 DAC を備えています。

### 低消費電力コンパレータ (LPC)

PSoC 4100PS はディープスリープ モードで動作できる低消費電力コンパレータの一对を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログ システム ブロックを無効にできます。コンパレータ出力は、メタスタビリティを避けるために通常同期化されません。ただし、システム復帰回路がコンパレータの切り替えイベントによりアクティブになるような、非同期電力モードで動作している場合を除きます。LPC の出力はピンに接続できます。

## 電流 DAC

PSoC 4100PS は、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えています。IDAC はプログラム可能な電流範囲があります。

## アナログ マルチプレクサ バス

PSoC 4100PS は同心円状にチップの周辺を回る 2 本の独立したバスを備えています。これらのバス (amux バスと呼ばれる) はファームウェアでプログラム可能なアナログ スイッチに接続され、チップの内部リソース (IDAC、コンパレータ) を I/O ポートのいずれのピンにも接続できます。

## 温度センサー

±1% の Typ 誤差 (Max ±5%) を達成するために生産時に校正される内蔵温度センサーが備えられています。SAR ADC は温度測定のために使用されます。

## 固定機能デジタル

### タイマー/カウンター/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーが周期長をプログラム可能な 16 ビット カウンターからなります。キャプチャレジスタは、I/O イベントなどのイベントのときにカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止し、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。このブロックはプログラム可能なオフセットをつけられる正出力とコンプリメンタリ出力も提供しており、デッドバンドをプログラム可能なコンプリメンタリ PWM 出力として使用できます。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェアの介入なしに直ちに止める必要がある時、キル入力を使用されます。PSoC 4100PS は 8 個の TCPWM ブロックがあります。

### シリアル通信ブロック (SCB)

PSoC 4100PS は 3 個のシリアル通信ブロックを備え、必要に応じて SPI、I<sup>2</sup>C または UART 機能にプログラムできます。

**I<sup>2</sup>C モード** : ハードウェア I<sup>2</sup>C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトラーションが可能) を実装します。このブロックは、最大 1Mbps (ファスト モード プラス) で動作でき、CPU の割込みオーバヘッドとレイテンシを削減するための柔軟なバッファリングオプションが用意されます。また、PSoC 4100PS のメモリでメールボックス アドレス範囲を作って、メモリ アレイに対する読み書きの I<sup>2</sup>C 通信を効果的に削減する EZI<sup>2</sup>C にも対応しています。また、ブロックは送信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出すために与えられた時間を増加することで、CPU が時間通りに読み出しデータを取得しないことに起因するクロック ストレッチの必要性を大幅に低減します。

I<sup>2</sup>C ペリフェラルは、NXP I<sup>2</sup>C バス仕様とユーザー マニュアル (UM10204) で定義された通りに、I<sup>2</sup>C 標準モードとファスト

モード デバイスと互換性があります。I<sup>2</sup>C バス I/O は、オープンドレイン モードの GPIO を使って実装されます。

PSoC 4100PS は、以下の点では I<sup>2</sup>C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや、I<sup>2</sup>C システムの残りの部分から独立して電源を投入できません。

**UART モード** : これは最大 1Mbps で動作するフル機能の UART です。これは、基本 UART プロトコルから少し変化したものである、車載向けシングルワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレイク検出、フレーム エラーなどの一般的な UART 機能に対応しています。深さ 8 の FIFO により、より大きい CPU サービスレイテンシが許容されます。

**SPI モード** : SPI モードは Motorola SPI、TI SSP (SPI コーデックを同期化するのに使用される開始パルスを追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用できます。

## GPIO

PSoC 4100PS には、最大 38 本の GPIO があります。GPIO ブロックは以下を実装します。

- 8 種類の駆動モード :
  - アナログ入力モード (入力と出力バッファが無効)
  - 入力のみ
  - 弱プルアップ、強プルダウン
  - 強プルアップ、弱プルダウン
  - オープンドレイン、強プルダウン
  - オープンドレイン、強プルアップ
  - 強プルアップ、強プルダウン
  - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTTL)
- 駆動強度モードに加えて、入力と出力バッファの有効/無効の個別制御
- EMI を改善するための dV/dt 関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットのとき、ブロックは必ず無効状態に置かれ、入力は一切無いように、および/または電源投入時に過電流を生じないようにします。高速 I/O マトリックスとして知られている多重化ネットワークが、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

データ出力とピン ステート レジスタは、それぞれピン上で駆動される値とそれらのピンの状態を格納します。

各 I/O ピンは有効になった場合に割込みを生成でき、各 I/O ポートはそれに対応する割込み要求 (IRQ) と割込みサービス ルーチン (ISR) ベクタがあります (PSoC 4100PS では、ベクタ数は 4 です)。Smart I/O ブロックはスイッチと LUT の構造体であり、ブール関数を GPIO ポートのピンに配線されている信号で実行できます。Smart I/O ブロックは論理演算をチップの入力ピン、および出力として出る信号で実行できます。

## 特殊機能ペリフェラル

### CapSense

CapSense は、アナログ スイッチに接続されたアナログ マルチプレクサ バスを介してどのピンにも接続できる CSD ブロックにより、PSoC 4100PS でサポートされています。CapSense 機能はこのように、ソフトウェアで制御されるシステム内のいかなる使用可能なピンあるいはピン グループに提供できます。設計し易くするために、CapSense ブロック用の PSoC Creator コンポーネントが提供されています。

シールド電圧は、耐水機能を実現するために、他のマルチプレクサ バス上で駆動できます。耐水性は、シールド静電容量が検知された入力を減衰させることを防ぐためにシールド電極を検知電極と同位相で駆動することで、実現されています。近接センシングも実装できます。

CapSense ブロックは、2 個の IDAC を備えています。これらは、CapSense が使用されていない場合 (両方の IDAC とも使

用可能)、または CapSense が耐水性を備えずに使用される場合 (どちらか一方の IDAC が使用可能)、一般用途に使用できます。CapSense ブロックはまた、CapSense 機能と共に使用される 10 ビットのスローブ ADC 機能も提供しています。

CapSense ブロックは高性能で、低ノイズのプログラマブル ブロックです。これは、感度と柔軟性を向上させるためにリファレンス電圧と電流源の範囲をプログラムできます。さらに、外部リファレンス電圧も利用できます。これは、VDDA とグラウンドへのセンシングを交互に行う全波 CSD モードを有し、電源関連のノイズをゼロにします。

### WLCSP パッケージのブートローダ

WLCSP パッケージには、フラッシュにインストールされた I<sup>2</sup>C ブートローダが同梱されています。このブートローダは PSoC Creator のブートローダ プロジェクト ファイルと互換性があります。

## ピン配置

下表に、PSoC 4100PS の 48-QFN、48-TQFP、45-WLCSP および 28-SSOP パッケージのピン一覧を示します。すべてのポートピンは GPIO に対応しています。

パッケージ							
48-QFN		48-TQFP		28-SSOP		45-CSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
28	P0.0	28	P0.0	21	P0.0	D3	P0.0
29	P0.1	29	P0.1	22	P0.1	E2	P0.1
30	P0.2	30	P0.2	23	P0.2	D2	P0.2
31	P0.3	31	P0.3			C3	P0.3
32	P0.4	32	P0.4			D1	P0.4
33	P0.5	33	P0.5			E1	P0.5
34	P0.6	34	P0.6			C2	P0.6
35	P0.7	35	P0.7			B2	P0.7
36	XRES	36	XRES	24	XRES	B3	XRES
37	P4.0	37	P4.0			A1	P4.0
38	P4.1	38	P4.1			B1	P4.1
39	P5.0	39	P5.0	25	P5.0	B4	P5.0
40	P5.1	40	P5.1			C1	P5.1
41	P5.2	41	P5.2	26	P5.2	A2	P5.2
42	P5.3	42	P5.3	27	P5.3	A3	P5.3
43	VDDA	43	VDDA	28	VDDA	J2	VDDA
44	VSSA	44	VSSA			J3	VSSA
45	VCCD	45	VCCD	1	VCCD	A4	VCCD
						B5	VDDD
46	VSSD	46	VSSD	2	VSSD	A5	VSSD
47	VDDD	47	VDDD	3	VDDD		
48	P1.0	48	P1.0	4	P1.0	C5	P1.0
1	P1.1	1	P1.1	5	P1.1	C4	P1.1
2	P1.2	2	P1.2	6	P1.2	D5	P1.2
3	P1.3	3	P1.3	7	P1.3	D4	P1.3
4	P1.4	4	P1.4			E3	P1.4
5	P1.5	5	P1.5			E4	P1.5
6	P1.6	6	P1.6				
7	P1.7	7	P1.7			G3	P1.7
8	VDDA	8	VDDA	8	VDDA	E5	VDDA
9	VSSA	9	VSSA	9	VSSA	F5	VSSA
10	P2.0	10	P2.0	10	P2.0	F4	P2.0
11	P2.1	11	P2.1	11	P2.1	F3	P2.1
12	P2.2	12	P2.2	12	P2.2	G4	P2.2
13	P2.3	13	P2.3	13	P2.3	G5	P2.3
14	P2.4	14	P2.4			H5	P2.4
15	P2.5	15	P2.5			J4	P2.5

パッケージ							
48-QFN		48-TQFP		28-SSOP		45-CSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称
16	P2.6	16	P2.6			H4	P2.6
17	P2.7 / VREF	17	P2.7 / VREF	14	P2.7 / VREF	J5	P2.7 / VREF
18	VSSA	18	VSSA			J3	VSSA
19	VDDA	19	VDDA	15	VDDA	J2	VDDA
20	P3.0	20	P3.0			H2	P3.0
21	P3.1	21	P3.1	16	P3.1	F2	P3.1
22	P3.2	22	P3.2	17	P3.2	J1	P3.2
23	P3.3	23	P3.3	18	P3.3	H3	P3.3
24	P3.4	24	P3.4			F1	P3.4
25	P3.5	25	P3.5			G2	P3.5
26	P3.6	26	P3.6	19	P3.6	G1	P3.6
27	P3.7	27	P3.7	20	P3.7	H1	P3.7

電源ピンの説明は以下のとおりです。

VDD: デジタル セクション用の電源

VDDA: アナログ セクション用の電源

VSS: グランド ピン

VCCD: 安定化デジタル電源 (1.8V±5%)

48 ピン パッケージは 38 の I/O ピンがあります。45-WLCSP と 28-SSOP は、それぞれ 37 と 20 の I/O ピンがあります。

ピンの代替機能

それぞれのポート ピンは複数の機能の 1 つに割り当てられます (例えば、アナログ I/O、デジタル ペリフェラル機能、CapSense、または LCD ピンなど)。ピンの割り当てを下表に示します。

ポート/ピン	アナログ	SmartIO	アクティブ				ディープスリープ	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1
P0.0		SmartIO[0].io[0]	tcpwm.line[4]:1			tcpwm.tr_in[0]	cpuss.swd_data:0	scb[0].spi_select1:0
P0.1		SmartIO[0].io[1]	tcpwm.line_compl[4]:1			tcpwm.tr_in[1]	cpuss.swd_clk:0	scb[0].spi_select2:0
P0.2		SmartIO[0].io[2]	tcpwm.line[5]:1		srss.ext_clk			scb[0].spi_select3:0
P0.3		SmartIO[0].io[3]	tcpwm.line_compl[5]:1					
P0.4		SmartIO[0].io[4]	tcpwm.line[6]:1	scb[1].uart_rx:0			scb[1].i2c_scl:0	scb[1].spi_mosi:0
P0.5		SmartIO[0].io[5]	tcpwm.line_compl[6]:1	scb[1].uart_tx:0			scb[1].i2c_sda:0	scb[1].spi_miso:0
P0.6		SmartIO[0].io[6]		scb[1].uart_cts:0			lpcomp.comp[0]:0	scb[1].spi_clk:0
P0.7		SmartIO[0].io[7]		scb[1].uart_rts:0			lpcomp.comp[1]:0	scb[1].spi_select0:0
P4.0	wco_in		tcpwm.line[0]:2	scb[2].uart_rx:1		tcpwm.tr_in[5]	scb[2].i2c_scl:1	scb[2].spi_mosi:1
P4.1	wco_out		tcpwm.line_compl[0]:2	scb[2].uart_tx:1		tcpwm.tr_in[6]	scb[2].i2c_sda:1	scb[2].spi_miso:1
P5.0	csd.cshieldpads		tcpwm.line[7]:1	scb[0].uart_rx:1			scb[0].i2c_scl:1	scb[0].spi_mosi:1
P5.1	csd.vref_ext		tcpwm.line_compl[7]:1	scb[0].uart_tx:1			scb[0].i2c_sda:1	scb[0].spi_miso:1
P5.2	csd.dsi_cmod		tcpwm.line[6]:2	scb[0].uart_cts:1	tr_sar_out			scb[0].spi_clk:1
P5.3	csd.dsi_csh_tank		tcpwm.line_compl[6]:2	scb[0].uart_rts:1				scb[0].spi_select0:1
P1.0	ctb_pads[8] lpcomp.in_p[1]		tcpwm.line[0]:1	scb[1].uart_rx:1			scb[1].i2c_scl:1	scb[1].spi_mosi:1
P1.1	ctb_pads[9] lpcomp.in_n[1]		tcpwm.line_compl[0]:1	scb[1].uart_tx:1			scb[1].i2c_sda:1	scb[1].spi_miso:1
P1.2	ctb_pads[10] ctb_oa0_out_10x[1]		tcpwm.line[1]:1	scb[1].uart_cts:1				scb[1].spi_clk:1
P1.3	ctb_pads[11] ctb_oa1_out_10x[1]		tcpwm.line_compl[1]:1	scb[1].uart_rts:1				scb[1].spi_select0:1
P1.4	ctb_pads[12]		tcpwm.line[2]:1					scb[1].spi_select1:0
P1.5	ctb_pads[13]		tcpwm.line_compl[2]:1					scb[1].spi_select2:0
P1.6	ctb_pads[14]		tcpwm.line[3]:1					scb[1].spi_select3:0
P1.7	ctb_pads[15]		tcpwm.line_compl[3]:1					
P2.0	ctb_pads[0]		tcpwm.line[4]:0	scb[2].uart_rx:0			scb[2].i2c_scl:0	scb[2].spi_mosi:0

ポート/ピン	アナログ	SmartIO	アクティブ				ディープスリープ	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1
P2.1	ctb_pads[1]		tcpwm.line_compl[4]:0	scb[2].uart_tx:0			scb[2].i2c_sda:0	scb[2].spi_miso:0
P2.2	ctb_pads[2] ctb_oa0_out_10x[0]		tcpwm.line[5]:0	scb[2].uart_cts:0				scb[2].spi_clk:0
P2.3	ctb_pads[3] ctb_oa1_out_10x[0]		tcpwm.line_compl[5]:0	scb[2].uart_rts:0				scb[2].spi_select0:0
P2.4	ctb_pads[4]		tcpwm.line[0]:0					scb[2].spi_select1:0
P2.5	ctb_pads[5]		tcpwm.line_compl[0]:0					scb[2].spi_select2:0
P2.6	ctb_pads[6]		tcpwm.line[1]:0					scb[2].spi_select3:0
P2.7	ctb_pads[7]		tcpwm.line_compl[1]:0					
	sar_ext_vref0 sar_ext_vref1							
P3.0	sarmux[0]		tcpwm.line[2]:0	scb[0].uart_rx:0			scb[0].i2c_scl:0	scb[0].spi_mosi:0
P3.1	sarmux[1]		tcpwm.line_compl[2]:0	scb[0].uart_tx:0			scb[0].i2c_sda:0	scb[0].spi_miso:0
P3.2	sarmux[2] lpcomp.in_p[0]		tcpwm.line[3]:0	scb[0].uart_cts:0				scb[0].spi_clk:0
P3.3	sarmux[3] lpcomp.in_n[0]		tcpwm.line_compl[3]:0	scb[0].uart_rts:0				scb[0].spi_select0:0
P3.4	sarmux[4]		tcpwm.line[6]:0			tcpwm.tr_in[2]		scb[0].spi_select1:1
P3.5	sarmux[5]		tcpwm.line_compl[6]:0			tcpwm.tr_in[3]	csd.comp	scb[0].spi_select2:1
P3.6	sarmux[6]		tcpwm.line[7]:0	scb[2].uart_rx:2		tcpwm.tr_in[4]	scb[2].i2c_scl:2	scb[2].spi_mosi:2
P3.7	sarmux[7]		tcpwm.line_compl[7]:0	scb[2].uart_tx:2			scb[2].i2c_sda:2	scb[2].spi_miso:2

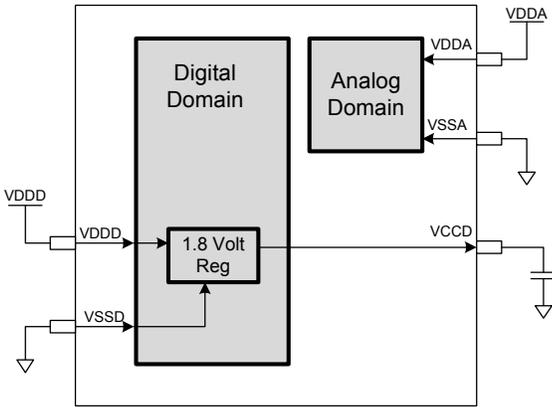
CTBの接続詳細については、テクニカル リファレンス マニュアル (TRM) を参照してください。VDAC 出力は CTB 出力を介してバッファリングされます。いずれの VDAC 出力も任意の CTB 出力に接続できます。

## 電源

以下の電源システム図は、PSoC 4100PS 用に実装された電源ピンを示します。システムは、アクティブ モードで動作するデジタル回路用のレギュレータが1つあります。アナログレギュレータはありません。アナログ回路は  $V_{DDA}$  入力で直接動作します。

$V_{DDD}$  と  $V_{DDA}$  は PCB 上で互いに短絡しなければならないことに注意してください。

図 5. 電源接続



次の2つの異なる動作モードがあります。モード 1 では、供給電圧範囲は 1.8V ~ 5.5V (外部レギュレータ不使用;内部レギュレータは動作可能) です。モード 2 では、供給電圧範囲は

1.8V±5% (外部レギュレータ使用; 1.71 ~ 1.89V、内部レギュレータはバイパスされる) です。

### モード 1: 1.8V ~ 5.5V の外部電源

このモードでは、PSoC 4100PS は 1.8V ~ 5.5V の電圧範囲の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも対応します。例えばチップは、3.5V から始まって 1.8V まで低下するバッテリーシステムから電源供給されます。このモードでは、PSoC 4100PS の内部レギュレータは内部ロジックに電源を供給し、その出力は  $V_{CCD}$  ピンに接続されます。 $V_{CCD}$  ピンは外部コンデンサ (0.1µF; X5R セラミックかそれより良質なものを) を介してグラウンドにバイパスされ、他のどれにも接続してはいけません。

### モード 2: 1.8V±5% の外部電源

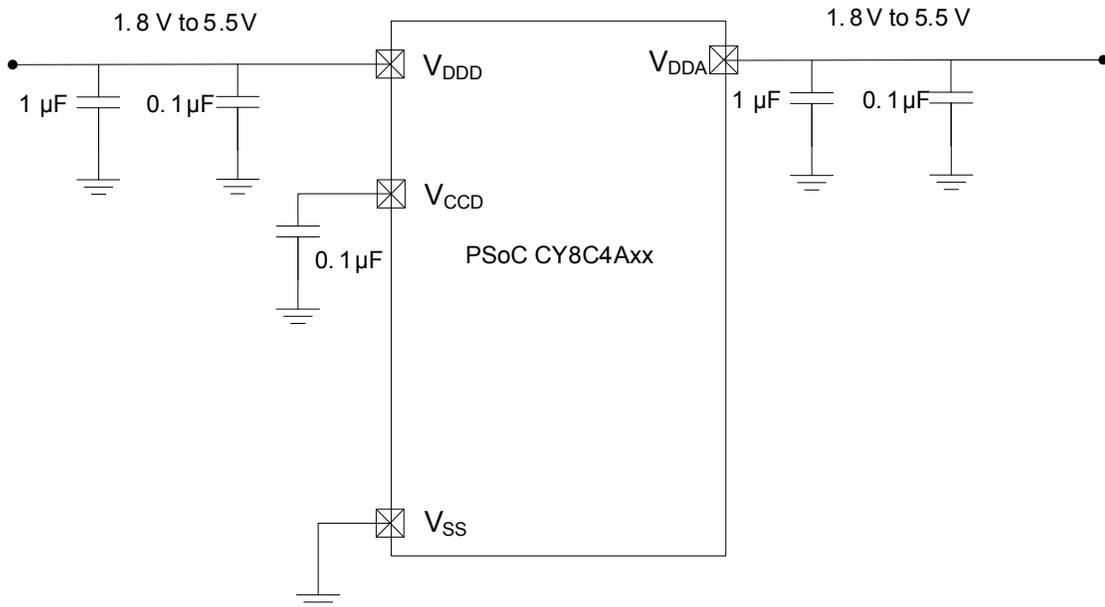
このモードでは、PSoC 4100PS は 1.71V ~ 1.89V の外部電源から電源供給されます。この範囲は電源リップルを含みます。このモードで、 $V_{DDD}$  および  $V_{CCD}$  ピンは互いに短絡され、バイパスされます。

バイパスコンデンサを  $V_{DDD}$  と  $V_{DDA}$  からグラウンドの間に接続してください。この周波数範囲でのシステムの標準的な実践としては、1µF レンジのコンデンサをより小さいコンデンサ (例えば、0.1µF) と並列で使用します。これらは単に経験則であり、重要なアプリケーションに対しては、設計に最適なバイパスを得るために、PCB レイアウト、リード インダクタンス、バイパスコンデンサ寄生容量をシミュレートする必要があることにご留意ください。

バイパススキームの例を下図に示します。

図 6. 1.8V ~ 5.5V の外部電源 (内部レギュレータが有効)

Power supply bypass connections example



## 開発サポート

PSoC 4100PS ファミリーには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツール、およびオンラインリソースが用意されています。詳細については、[www.cypress.com/go/psoc4](http://www.cypress.com/go/psoc4) をご覧ください。

### ドキュメント

PSoC 4100PS ファミリーをサポートするドキュメント一式により、ユーザーは疑問点に対する答えを素早く見つけられます。重要なドキュメントのいくつかをここにリストアップします。

**ソフトウェア ユーザー ガイド**：PSoC Creator の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルド プロセスの詳細、PSoC Creator を用いたソース制御の使い方などが記載されています。

**コンポーネント データシート**：PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、ある特定のコンポーネントの選択および使用に必要なすべての情報が、機能説明、API ドキュメント、用例コード、AC / DC 仕様を含んで記載されています。

**アプリケーション ノート**：PSoC アプリケーション ノートには、PSoC の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプルプロジェクトが含まれています。

**テクニカル リファレンス マニュアル**：テクニカル リファレンス マニュアル (TRM) には、すべての PSoC レジスタの詳細な説明など、PSoC デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は、[www.cypress.com/psoc4](http://www.cypress.com/psoc4) の「ドキュメント」セクションにあります。

### オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

### ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた PSoC 4100PS ファミリーは開発ツールエコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサードパーティのコンパイラ、プログラマ、デバッガ、および開発キットの最新情報については、サイプレスのウェブサイト [www.cypress.com/go/psoccreator](http://www.cypress.com/go/psoccreator) をご覧ください。

## 電氣的仕様

### 絶対最大定格

**表 1. 絶対最大定格<sup>[1]</sup>**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V <sub>DD_ABS</sub>	V <sub>SS</sub> を基準としたデジタル電源またはアナログ電源	-0.5	–	6	V	V <sub>DD</sub> , V <sub>D</sub> DA、絶対定格
SID2	V <sub>CCD_ABS</sub>	V <sub>SS</sub> を基準とした直接デジタル コア 電圧入力	-0.5	–	1.95		–
SID3	V <sub>GPIO_ABS</sub>	GPIO 電圧	-0.5	–	V <sub>DD</sub> +0.5		–
SID4	I <sub>GPIO_ABS</sub>	GPIO ごとの最大電流	-25	–	25	mA	–
SID5	I <sub>GPIO_injection</sub>	GPIO 注入電流、V <sub>IH</sub> > V <sub>DD</sub> の場合は Max、V <sub>IL</sub> < V <sub>SS</sub> の場合は Min	-0.5	–	0.5		ピンごとの注入電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	–	–	V	–
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	–	–		–
BID46	LU	ラッチアップ時のピン電流	-140	–	140	mA	–

### デバイス レベルの仕様

特記されていない限り、すべての仕様は -40°C ≤ T<sub>A</sub> ≤ 85°C および T<sub>J</sub> ≤ 105°C の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

**表 2. DC 仕様**

Typ 値は 25°C、V<sub>DD</sub>=3.3V で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V <sub>DD</sub>	電源ピン入力電圧	1.8	–	5.5	V	レギュレータが有効
SID255	V <sub>DD</sub>	電源ピン入力電圧 (V <sub>CCD</sub> =V <sub>DD</sub> )	1.71	–	1.89		内部レギュレータ不使用
SID54	V <sub>DDIO</sub>	V <sub>DDIO</sub> 電源ドメイン	1.71	–	V <sub>DD</sub>		–
SID55	C <sub>EFC</sub>	外部レギュレータ電圧バイパス	–	0.1	–	μF	X5R セラミックまたはこれより良質のもの
SID56	C <sub>EXC</sub>	電源バイパス コンデンサ	–	1	–		X5R セラミックまたはこれより良質のもの
アクティブ モード、V <sub>DD</sub> =1.8V ~ 5.5V。Typ 値は 25°C、V <sub>DD</sub> =3.3V で測定							
SID10	I <sub>DD5</sub>	フラッシュから実行。CPU 速度が 6MHz	–	2	–	mA	–
SID16	I <sub>DD8</sub>	フラッシュから実行。CPU 速度が 24MHz	–	5.6	–		–
SID19	I <sub>DD11</sub>	フラッシュから実行。CPU 速度が 48MHz	–	10.4	–		–

**注**

- 表 1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 規格「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様通りに動作しない可能性があります。

**表 2. DC 仕様**

 Typ 値は 25°C、 $V_{DD}=3.3V$  で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
スリープモード、 $V_{DDD}=1.8V \sim 5.5V$ (レギュレータが有効)							
SID22	$I_{DD17}$	I <sup>2</sup> C ウェイクアップ、WDT およびコンパレータが有効	–	1.1	–	mA	6MHz
SID25	$I_{DD20}$	I <sup>2</sup> C ウェイクアップ、WDT およびコンパレータが有効	–	3.1	–		12MHz
スリープモード、 $V_{DDD}=1.71V \sim 1.89V$ (レギュレータがバイパスされる)							
SID28	$I_{DD23}$	I <sup>2</sup> C ウェイクアップ、WDT およびコンパレータが有効	–	1.1	–	mA	6MHz
SID28A	$I_{DD23A}$	I <sup>2</sup> C ウェイクアップ、WDT およびコンパレータが有効	–	3.1	–	mA	12MHz
ディープスリープモード、 $V_{DD}=1.8V \sim 3.6V$ (レギュレータが有効)							
SID31	$I_{DD26}$	I <sup>2</sup> C ウェイクアップと WDT が有効	–	2.5	–	μA	–
ディープスリープモード、 $V_{DD}=3.6V \sim 5.5V$ (レギュレータが有効)							
SID34	$I_{DD29}$	I <sup>2</sup> C ウェイクアップと WDT が有効	–	2.5	–	μA	–
ディープスリープモード、 $V_{DD}=1.71V \sim 1.89V$ (レギュレータがバイパスされる)							
SID37	$I_{DD32}$	I <sup>2</sup> C ウェイクアップと WDT が有効	–	2.5	–	μA	–
XRES 電流							
SID307	$I_{DD\_XR}$	XRES がアサート時の供給電流	–	115	300	μA	–

**表 3. AC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	$F_{CPU}$	CPU 周波数	DC	–	48	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 <sup>[2]</sup>	$T_{SLEEP}$	スリープモードからの復帰時間	–	0	–	μs	
SID50 <sup>[2]</sup>	$T_{DEEPSLEEP}$	ディープスリープモードからの復帰時間	–	35	–		

注

2. 特性評価で保証されています。

**GPIO**
**表 4. GPIO の DC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件	
SID57	$V_{IH}^{[3]}$	入力電圧 HIGH 閾値	$0.7 \times V_{DDD}$	–	–	V	CMOS 入力	
SID58	$V_{IL}$	入力電圧 LOW 閾値	–	–	$0.3 \times V_{DDD}$		CMOS 入力	
SID241	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} < 2.7V$	$0.7 \times V_{DDD}$	–	–		–	
SID242	$V_{IL}$	LVTTL 入力、 $V_{DDD} < 2.7V$	–	–	$0.3 \times V_{DDD}$		–	
SID243	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	2.0	–	–		–	
SID244	$V_{IL}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	–	–	0.8		–	
SID59	$V_{OH}$	出力電圧 HIGH レベル	$V_{DDD} - 0.6$	–	–		$V_{DDD} = 3V$ のとき、 $I_{OH} = 4mA$	
SID60	$V_{OH}$	出力電圧 HIGH レベル	$V_{DDD} - 0.5$	–	–		$V_{DDD} = 1.8V$ のとき、 $I_{OH} = 1mA$	
SID61	$V_{OL}$	出力電圧 LOW レベル	–	–	0.6		$V_{DDD} = 1.8V$ のとき、 $I_{OL} = 4mA$	
SID62	$V_{OL}$	出力電圧 LOW レベル	–	–	0.6		$V_{DDD} = 3V$ のとき、 $I_{OL} = 10mA$	
SID62A	$V_{OL}$	出力電圧 LOW レベル	–	–	0.4		$V_{DDD} = 3V$ のとき、 $I_{OL} = 3mA$	
SID63	$R_{PULLUP}$	プルアップ抵抗	3.5	5.6	8.5		k $\Omega$	–
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5			–
SID65	$I_{IL}$	入力リーク電流 (絶対値)	–	2	–		nA	–
SID66	$C_{IN}$	入力静電容量	–	3	7	pF	–	
SID67 <sup>[4]</sup>	$V_{HYSTTL}$	入力ヒステリシス LVTTL	15	40	–	mV	$V_{DDD} \geq 2.7V$	
SID68 <sup>[4]</sup>	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	–	–		$V_{DD} < 4.5V$	
SID68A <sup>[4]</sup>	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	–	–		$V_{DD} > 4.5V$	
SID69 <sup>[4]</sup>	$I_{DIODE}$	保護ダイオードを通して $V_{DD} / V_{SS}$ に流れる電流	–	–	100	$\mu A$	–	
SID69A <sup>[4]</sup>	$I_{TOT\_GPIO}$	ソースおよびシンク電流をチップ全体で合計した値の最大値	–	–	85	mA	–	

**表 5. GPIO の AC 仕様**

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID70	$T_{RISEF}$	高速ストロングモードでの立ち上がり時間	2	–	12	ns	$3.3V V_{DDD}$ 、 Clod=25pF
SID71	$T_{FALLF}$	高速ストロングモードでの立ち下がり時間	2	–	12		$3.3V V_{DDD}$ 、 Clod=25pF

**注**

3.  $V_{IH}$  は  $V_{DDD} + 0.2V$  を超えてはいけません。
4. 特性評価で保証されています。

**表 5. GPIO の AC 仕様**

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/ 条件
SID72	T <sub>RISES</sub>	低速ストロングモードでの立ち上がり時間	10	–	60	ns	3.3V V <sub>DDD</sub> 、 Cload=25pF
SID73	T <sub>FALLS</sub>	低速ストロングモードでの立ち下がり時間	10	–	60	ns	3.3V V <sub>DDD</sub> 、 Cload=25pF
SID74	F <sub>GPIOOUT1</sub>	GPIO F <sub>OUT</sub> 。3.3V ≤ V <sub>DDD</sub> ≤ 5.5V 高速ストロングモード	–	–	16	MHz	90/10%、負荷 25pF、 デューティ比 60/40
SID75	F <sub>GPIOOUT2</sub>	GPIO F <sub>OUT</sub> 。1.71V ≤ V <sub>DDD</sub> ≤ 3.3V 高速ストロングモード	–	–	16		90/10%、負荷 25pF、 デューティ比 60/40
SID76	F <sub>GPIOOUT3</sub>	GPIO F <sub>OUT</sub> 。3.3V ≤ V <sub>DDD</sub> ≤ 5.5V 低速ストロングモード	–	–	7		90/10%、負荷 25pF、 デューティ比 60/40
SID245	F <sub>GPIOOUT4</sub>	GPIO F <sub>OUT</sub> 。1.71V ≤ V <sub>DDD</sub> ≤ 3.3V 低速ストロングモード	–	–	3.5		90/10%、負荷 25pF、 デューティ比 60/40
SID246	F <sub>GPIOIN</sub>	GPIO 入力の動作周波数。 1.71V ≤ V <sub>DDD</sub> ≤ 5.5V	–	–	48		90/10% V <sub>IO</sub>

XRES

**表 6. XRES の DC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/ 条件
SID77	V <sub>IH</sub>	入力電圧 HIGH 閾値	0.7 × V <sub>DDD</sub>	–	–	V	CMOS 入力
SID78	V <sub>IL</sub>	入力電圧 LOW 閾値	–	–	0.3 × V <sub>DDD</sub>		
SID79	R <sub>PULLUP</sub>	プルアップ抵抗	–	60	–	kΩ	–
SID80	C <sub>IN</sub>	入力静電容量	–	3	7	pF	–
SID81 <sup>[5]</sup>	V <sub>HYSXRES</sub>	入力電圧ヒステリシス	–	0.05 × V <sub>DD</sub>	–	mV	V <sub>DD</sub> > 4.5V 時の標準ヒステリシス電圧が 200mV

**表 7. XRES の AC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/ 条件
SID83 <sup>[5]</sup>	T <sub>RESETWIDTH</sub>	リセットパルス幅	1	–	–	μs	–
BID194 <sup>[5]</sup>	T <sub>RESETWAKE</sub>	リセット解除時からの復帰時間	–	–	2.5	ms	–

注

5. 特性評価で保証されています。

**アナログ ペリフェラル**
**表 8. CTB オペアンプ仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
	I <sub>DD</sub>	オペアンプブロック電流、負荷無し					
SID269	I <sub>DD_HI</sub>	電力 = 高	–	1100	2070	μA	–
SID270	I <sub>DD_MED</sub>	電力 = 中	–	550	950		–
SID271	I <sub>DD_LOW</sub>	電力 = 低	–	150	350		–
	G <sub>BW</sub>	負荷 = 20pF、0.1mA V <sub>DDA</sub> = 2.7V					
SID272	G <sub>BW_HI</sub>	電力 = 高	6	–	–	MHz	入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID273	G <sub>BW_MED</sub>	電力 = 中	3	–	–		入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID274	G <sub>BW_LO</sub>	電力 = 低	–	1	–		入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
	I <sub>OUT_MAX</sub>	V <sub>DDA</sub> = 2.7V、電源電圧より 500mV 内側					
SID275	I <sub>OUT_MAX_HI</sub>	電力 = 高	10	–	–	mA	出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID276	I <sub>OUT_MAX_MID</sub>	電力 = 中	10	–	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID277	I <sub>OUT_MAX_LO</sub>	電力 = 低	–	5	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
	I <sub>OUT</sub>	V <sub>DDA</sub> = 1.71V、電源電圧より 500mV 内側					
SID278	I <sub>OUT_MAX_HI</sub>	電力 = 高	4	–	–	mA	出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID279	I <sub>OUT_MAX_MID</sub>	電力 = 中	4	–	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID280	I <sub>OUT_MAX_LO</sub>	電力 = 低	–	2	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
	I <sub>DD_Int</sub>	オペアンプブロック電流、内部負荷					
SID269_I	I <sub>DD_HI_Int</sub>	電力 = 高	–	1500	2300	μA	–
SID270_I	I <sub>DD_MED_Int</sub>	電力 = 中	–	700	1200		–
	G <sub>BW</sub>	V <sub>DDA</sub> = 2.7V					
SID272_I	G <sub>BW_HI_Int</sub>	電力 = 高	8	–	–	MHz	出力は 0.25V ~ V <sub>DDA</sub> -0.25V
		内部モード、外部モード両方のオペアンプの一般仕様					
SID281	V <sub>IN</sub>	チャージポンプがオン、 V <sub>DDA</sub> = 2.7V	-0.05	–	V <sub>DDA</sub> -0.2	V	–
SID282	V <sub>CM</sub>	チャージポンプがオン、V <sub>DDA</sub> = 2.7V	-0.05	–	V <sub>DDA</sub> -0.2		–

**表 8. CTB オペアンプ仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID283	V <sub>OUT_1</sub>	電力 = 高、I <sub>load</sub> =10mA	0.5	–	V <sub>DDA</sub> -0.5	V	V <sub>DD</sub> =2.7V
SID284	V <sub>OUT_2</sub>	電力 = 高、I <sub>load</sub> =1mA	0.2	–	V <sub>DDA</sub> -0.2		V <sub>DDA</sub> =2.7V
SID285	V <sub>OUT_3</sub>	電力 = 中、I <sub>load</sub> =1mA	0.2	–	V <sub>DDA</sub> -0.2		V <sub>DDA</sub> =2.7V
SID286	V <sub>OUT_4</sub>	電力 = 低、I <sub>load</sub> =0.1mA	0.2	–	V <sub>DDA</sub> -0.2		V <sub>DDA</sub> =2.7V
SID288	V <sub>OS_TR</sub>	オフセット電圧 (トリム後)	-1.0	±0.5	1.0	mV	高電力モード、入力は 0V ~ V <sub>DDA</sub> -0.2V
SID288A	V <sub>OS_TR</sub>	オフセット電圧 (トリム後)	–	±1	–		中電力モード、入力は 0V ~ V <sub>DDA</sub> -0.2V
SID288B	V <sub>OS_TR</sub>	オフセット電圧 (トリム後)	–	±2	–		低電力モード、入力は 0V ~ V <sub>DDA</sub> -0.2V
SID290	V <sub>OS_DR_TR</sub>	オフセット電圧ドリフト (トリム後)	-10	±3	10	μV/C	高電力モード
SID290A	V <sub>OS_DR_TR</sub>	オフセット電圧ドリフト (トリム後)	–	±10	–	μV/C	中電力モード
SID290B	V <sub>OS_DR_TR</sub>	オフセット電圧ドリフト (トリム後)	–	±10	–		低電力モード
SID291	CMRR	DC	70	80	–	dB	入力は 0V ~ V <sub>DDA</sub> -0.2V、出力は 0.2V ~ V <sub>DDA</sub> -0.2V、V <sub>DDA</sub> ≥2.7V
SID291A	CMRR2	DC	60	70	–		入力は 0V ~ V <sub>DDA</sub> -0.2V、出力は 0.2V ~ V <sub>DDA</sub> -0.2V、1.71V≤V <sub>DDA</sub> <2.7V
SID292	PSRR	周波数 =1kHz、リップル =10mV	70	85	–		V <sub>DD</sub> =3.6V、高電力モード、入力は 0.2V ~ V <sub>DDA</sub> -0.2V
	ノイズ						
SID294	VN2	入力基準、1kHz、電力 = 高	–	72	–	nV/ rtHz	入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID295	VN3	入力基準、10kHz、電力 = 高	–	28	–		入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID296	VN4	入力基準、100kHz、電力 = 高	–	15	–		入力および出力は 0.2V ~ V <sub>DDA</sub> -0.2V
SID297	C <sub>LOAD</sub>	最大負荷まで安定。50pF で性能仕様を満たす	–	–	125	pF	–
SID298	SLEW_RATE	C <sub>LOAD</sub> =50pF、電力 = 高、V <sub>DDA</sub> =2.7V	6	–	–	V/μs	–
SID299	T <sub>OP_WAKE</sub>	無効から有効までの時間。外付け RC 無し	–	–	25	μs	–
SID299A	OL_GAIN	オープン ループ ゲイン	–	90	–	dB	–

**表 8. CTB オペアンプ仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
	COMP_MODE	コンパレータ モード。50mV 駆動、 $T_{rise}=T_{fall}$ (おおよそ)					
SID300	$T_{PD1}$	応答時間: 電力 = 高	–	150	175	ns	入力は 0.2V ~ $V_{DDA}-0.2V$
SID301	$T_{PD2}$	応答時間: 電力 = 中	–	500	–		入力は 0.2V ~ $V_{DDA}-0.2V$
SID302	$T_{PD3}$	応答時間: 電力 = 低	–	2500	–		入力は 0.2V ~ $V_{DDA}-0.2V$
SID303	$V_{HYST\_OP}$	ヒステリシス	–	10	–	mV	–
SID304	WUP_CTB	有効状態から使用可能までの所要時間	–	–	25	µs	–
	オペアンプ ディープ スリープ モード	モード 2 は最低電流範囲。モード 1 はより高い GBW を持つ					
SID_DS_1	$I_{DD\_HI\_M1}$	モード 1、高電流	–	1400	–	µA	
SID_DS_2	$I_{DD\_MED\_M1}$	モード 1、中電流	–	700	–		
SID_DS_3	$I_{DD\_LOW\_M1}$	モード 1、低電流	–	200	–		
SID_DS_4	$I_{DD\_HI\_M2}$	モード 2、高電流	–	120	–	µA	
SID_DS_5	$I_{DD\_MED\_M2}$	モード 2、中電流	–	60	–		
SID_DS_6	$I_{DD\_LOW\_M2}$	モード 2、低電流	–	15	–		
SID_DS_7	$G_{BW\_HI\_M1}$	モード 1、高電流	–	4	–	MHz	20pF 負荷、 DC 負荷無し、 0.2V ~ $V_{DDA}-0.2V$
SID_DS_8	$G_{BW\_MED\_M1}$	モード 1、中電流	–	2	–		20pF 負荷、 DC 負荷無し、 0.2V ~ $V_{DDA}-0.2V$
SID_DS_9	$G_{BW\_LOW\_M1}$	モード 1、低電流	–	0.5	–		20pF 負荷、 DC 負荷無し、 0.2V ~ $V_{DDA}-0.2V$
SID_DS_10	$G_{BW\_HI\_M2}$	モード 2、高電流	–	0.5	–		20pF 負荷、 DC 負荷無し、 0.2V ~ $V_{DDA}-0.2V$
SID_DS_11	$G_{BW\_MED\_M2}$	モード 2、中電流	–	0.2	–		20pF 負荷、 DC 負荷無し、 0.2V ~ $V_{DDA}-0.2V$
SID_DS_12	$G_{BW\_Low\_M2}$	モード 2、低電流	–	0.1	–		20pF 負荷、 DC 負荷なし、 0.2V ~ $V_{DDA}-0.2V$

**表 8. CTB オペアンプ仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID_DS_13	V <sub>OS_HI_M1</sub>	モード 1、高電流	–	5	–	mV	トリム有り、25°C、0.2V ~ V <sub>DDA</sub> -1.5V
SID_DS_14	V <sub>OS_MED_M1</sub>	モード 1、中電流	–	5	–		トリム有り、25°C、0.2V ~ V <sub>DDA</sub> -1.5V
SID_DS_15	V <sub>OS_LOW_M1</sub>	モード 1、低電流	–	5	–		トリム有り、25°C、0.2V ~ V <sub>DDA</sub> -1.5V
SID_DS_16	V <sub>OS_HI_M2</sub>	モード 2、高電流	–	5	–		トリム有り、25°C、0.2V ~ V <sub>DDA</sub> -1.5V
SID_DS_17	V <sub>OS_MED_M2</sub>	モード 2、中電流	–	5	–		トリム有り、25°C、0.2V ~ V <sub>DDA</sub> -1.5V
SID_DS_18	V <sub>OS_LOW_M2</sub>	モード 2、低電流	–	5	–		トリム有り、25°C、0.2V ~ V <sub>DDA</sub> -1.5V
SID_DS_19	I <sub>OUT_HI_M1</sub>	モード 1、高電流	–	10	–	mA	出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID_DS_20	I <sub>OUT_MED_M1</sub>	モード 1、中電流	–	10	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID_DS_21	I <sub>OUT_LOW_M1</sub>	モード 1、低電流	–	4	–		出力は 0.5V ~ V <sub>DDA</sub> -0.5V
SID_DS_22	I <sub>OUT_HI_M2</sub>	モード 2、高電流	–	1	–		–
SID_DS_23	I <sub>OU_MED_M2</sub>	モード 2、中電流	–	1	–		–
SID_DS_24	I <sub>OU_LOW_M2</sub>	モード 2、低電流	–	0.5	–		–

**表 9. PGA 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
PGA ゲイン値	–	ゲイン値は 2、4、16 および 32	2	–	32	–	
SID_PGA_1	PGA_ERR_1	低レンジ用のゲイン誤差。ゲイン = 2	–	1	–	%	
		中レンジ用のゲイン誤差。ゲイン = 2	–	–	1.5	%	
		高レンジ用のゲイン誤差。ゲイン = 2	–	–	1.5	%	
SID_PGA_2	PGA_ERR_2	低レンジ用のゲイン誤差。ゲイン = 4	–	1	–	%	
		中レンジ用のゲイン誤差。ゲイン = 4	–	–	1.5	%	
		高レンジ用のゲイン誤差。ゲイン = 4	–	–	1.5	%	
SID_PGA_3	PGA_ERR_3	低レンジ用のゲイン誤差。 ゲイン = 16	–	3	–	%	
		中レンジ用のゲイン誤差。 ゲイン = 16	–	3	–	%	
		高レンジ用のゲイン誤差。 ゲイン = 16	–	3	–	%	
SID_PGA_4	PGA_ERR_4	低レンジ用のゲイン誤差。 ゲイン = 32	–	5	–	%	
		中レンジ用のゲイン誤差。 ゲイン = 32	–	5	–	%	
		高レンジ用のゲイン誤差。 ゲイン = 32	–	5	–	%	

**表 10. 電圧 DAC 仕様**

(VDAC の仕様は -20 ~ +85°C で有効)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
13 ビット DAC							
SID_DAC_1	INL_VDAC1	積分非直線性 (INL)	-6	–	5	LSB	
SID_DAC_2	DNL_VDAC1	微分非直線性 (DNL)	-1	–	4		
SID_DAC_3	VOUT_VDAC1	出力電圧範囲	0.2	–	$V_{DDA}-0.2$	V	有効出力範囲は電源電圧より 200LSB 内側。電源電圧より 200mV 内側のフルセトリング帯域幅
SID_DAC_4	ZSE_VDAC1	ゼロスケール誤差 (入力が全ゼロの変換器の出力)	–	20	–	mV	ゼロスケールはアナロググランドにある
SID_DAC_5	GE_VDAC1	オフセットを除くフルスケール誤差	–	0.3	2	%	$V_{DDA} \geq 2.7V$ 、 $V_{REF} = V_{DDA}/2$
SID_DAC_6	IDD_VDAC1	ブロック電流	–	1.8	–	mA	–
SID_DAC_7	PSRR_VDAC1	電源電圧変動除去比	–	50	–	dB	$2.7V < V_{DDA} \leq 5.5V$
SID_DAC_8	WUP_VDAC1	有効状態から使用可能までの所要時間	–	–	32	$\mu s$	$2.7V < V_{DDA} \leq 5.5V$
SID_DAC_8A	WUP_VDAC2	有効状態から使用可能までの所要時間	–	–	72	$\mu s$	$V_{DDA} \leq 2.7V$
SID_DAC_9	TS_VDAC1	DAC の整定時間	–	–	2	$\mu s$	500ksps 動作、 $V_{DDA} \geq 2.7V$
SID_DAC_9A	TS_VDAC2	DAC の整定時間	–	–	10	$\mu s$	100ksps 動作、 $V_{DDA} \leq 2.7V$

**注**

6. 特性評価で保証されています。

**表 11. コンパレータの DC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID84	V <sub>OFFSET1</sub>	入力オフセット電圧 (工場出荷時トリム)	–	–	±10	mV	–
SID85	V <sub>OFFSET2</sub>	入力オフセット電圧 (カスタムトリム)	–	–	±4		–
SID86	V <sub>HYST</sub>	有効時のヒステリシス	–	10	35		–
SID87	V <sub>ICM1</sub>	通常モードでの入力同相電圧	0	–	V <sub>DDD</sub> -0.1	V	モード 1 および モード 2
SID247	V <sub>ICM2</sub>	低電力モードでの入力同相電圧	0	–	V <sub>DDD</sub>		–
SID247A	V <sub>ICM3</sub>	超低電力モードでの入力同相電圧	0	–	V <sub>DDD</sub> -1.15		温度 <0°C の場合、 V <sub>DDD</sub> ≥2.2V、温度 >0°C の場合、 V <sub>DDD</sub> ≥1.8V
SID88	C <sub>MRR</sub>	同相信号除去比	50	–	–	dB	V <sub>DDD</sub> ≥2.7V
SID88A	C <sub>MRR</sub>	同相信号除去比	42	–	–		V <sub>DDD</sub> ≤2.7V
SID89	I <sub>CMP1</sub>	通常モードでのブロック電流	–	–	400	μA	–
SID248	I <sub>CMP2</sub>	低電力モードでのブロック電流	–	–	100		–
SID259	I <sub>CMP3</sub>	超低電力モードでのブロック電流	–	–	28		温度 <0°C の場合、 V <sub>DDD</sub> ≥2.2V、温度 >0°C の場合、 V <sub>DDD</sub> ≥1.8V
SID90	Z <sub>CMP</sub>	コンパレータの DC 入力インピーダンス	35	–	–	MΩ	–

**表 12. コンパレータの AC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID91	TRESP1	通常モードでの応答時間、50mV オーバードライブ	–	38	110	ns	すべての V <sub>DD</sub>
SID258	TRESP2	低電力モードでの応答時間、50mV オーバードライブ	–	70	200		–
SID92	TRESP3	超低電力モードでの応答時間、200mV オーバードライブ	–	2.3	15	μs	温度 <0°C の場合、 V <sub>DDD</sub> ≥2.2V、温度 >0°C の場合、 V <sub>DDD</sub> ≥1.8V

**表 13. 温度センサー仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID93	TSSENSACC	温度センサー精度	-5	±1	5	°C	-40°C ~ +85°C

**表 14. SAR 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/ 条件
SAR ADC の DC 仕様							
SID94	A_RES	分解能	-	-	12	ビット	
SID95	A_CHNLS_S	チャンネル数 - シングル エンド	-	-	8		8 本のフルスピードチャンネル
SID96	A-CHNKS_D	チャンネル数 - 差動	-	-	4		
SID97	A-MONO	単調増加性	-	-	-		有
SID98	A_GAINERR	ゲイン誤差	-	-	±0.1	%	外部リファレンス電圧有り
SID99	A_OFFSET	入力オフセット電圧	-	-	2	mV	1V リファレンス電圧で測定
SID100	A_ISAR	消費電流	-	-	1	mA	
SID101	A_VINS	入力電圧範囲 - シングル エンド	V <sub>SS</sub>	-	V <sub>DDA</sub>	V	
SID102	A_VIND	入力電圧範囲 - 差動	V <sub>SS</sub>	-	V <sub>DDA</sub>	V	
SID103	A_INRES	入力抵抗	-	-	2.2	kΩ	
SID104	A_INCAP	入力静電容量	-	-	10	pF	
SID260	VREFSAR	SAR 用の調整された内部リファレンス電圧	-	-	未定	V	
SAR ADC の AC 仕様							
SID106	A_PSRR	電源電圧変動除去比	70	-	-	dB	
SID107	A_CMRR	同相信号除去比	66	-	-	dB	1V で測定
SID108	A_SAMP	サンプルレート	-	-	1	MspS	
SID109	A_SNR	信号対ノイズおよび歪み比 (SINAD)	65	-	-	dB	F <sub>IN</sub> =10kHz
SID110	A_BW	エイリアシングが発生しない入力帯域幅	-	-	A_samp/2	kHz	
SID111	A_INL	積分非直線性。V <sub>DD</sub> =1.71V ~ 5.5V、1MspS	-1.7	-	2	LSB	V <sub>REF</sub> =1V ~ V <sub>DD</sub>
SID111A	A_INL	積分非直線性。V <sub>DDD</sub> =1.71V ~ 3.6V、1MspS	-1.5	-	1.7	LSB	V <sub>REF</sub> =1.71V ~ V <sub>DD</sub>
SID111B	A_INL	積分非直線性。V <sub>DD</sub> =1.71V ~ 5.5V、500kspS	-1.5	-	1.7	LSB	V <sub>REF</sub> =1V ~ V <sub>DD</sub>
SID112	A_DNL	微分非直線性。V <sub>DD</sub> =1.71V ~ 5.5V、1MspS	-1	-	2.2	LSB	V <sub>REF</sub> =1V ~ V <sub>DD</sub>
SID112A	A_DNL	微分非直線性。V <sub>DDD</sub> =1.71V ~ 3.6V、1MspS	-1	-	2	LSB	V <sub>REF</sub> =1.71V ~ V <sub>DD</sub>
SID112B	A_DNL	微分非直線性。V <sub>DD</sub> =1.71V ~ 5.5V、500kspS	-1	-	2.2	LSB	V <sub>REF</sub> =1V ~ V <sub>DD</sub>
SID113	A_THD	全高調波歪み	-	-	-65	dB	F <sub>IN</sub> =10kHz
SID261	FSARINTREF	外部リファレンス バイパス無しの SAR 動作速度	-	-	100	kspS	12 ビット分解能

**表 15. CapSense および IDAC 仕様<sup>[7]</sup>**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/ 条件
SYS.PER#3	VDD_RIPPLE	10MHz での DC 電源の最大許容リップル	-	-	±50	mV	$V_{DD} > 2V$ (リップル有り)、 $T_A = 25^\circ C$ 、感度 = 0.1pF
SYS.PER#16	VDD_RIPPLE_1.8	10MHz での DC 電源の最大許容リップル	-	-	±25	mV	$V_{DD} > 1.75V$ (リップル有り)、 $T_A = 25^\circ C$ 、寄生容量 (CP) < 20pF、感度 $\geq 0.4pF$
SID.CSD.BLK	ICSD	最大ブロック電流			4000	$\mu A$	
SID.CSD#15	VREF	CSD およびコンパレータ用のリファレンス電圧	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID.CSD#15A	VREF_EXT	CSD およびコンパレータ用の外部リファレンス電圧	0.6		$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7 ビット) ブロック電流	-	-	1750	$\mu A$	
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	-	-	1750	$\mu A$	
SID308	VCSD	動作電圧範囲	1.71	-	5.5	V	1.8V $\pm 5\%$ または 1.8V ~ 5.5V
SID308A	VCOMPIDAC	IDAC の最大電圧範囲	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID309	IDAC1DNL	DNL	-1	-	1	LSB	
SID310	IDAC1INL	INL	-3	-	3	LSB	
SID311	IDAC2DNL	DNL	-1	-	1.0	LSB	
SID312	IDAC2INL	INL	-3	-	3	LSB	
SID313	SNR	指の信号とノイズのカウント比。特性評価で保証	5.0	-	-	比率	静電容量範囲が 5 ~ 200pF、感度 = 0.1pF。すべてのユースケース。 $V_{DDA} > 2V$
SID314	IDAC7_SRC1	低レンジでの 7 ビット IDAC の最大ソース電流	4.2		5.4	$\mu A$	LSB=37.5nA (Typ)
SID314A	IDAC7_SRC2	中レンジでの 7 ビット IDAC の最大ソース電流	34		41	$\mu A$	LSB=300nA (Typ)
SID314B	IDAC7_SRC3	高レンジでの 7 ビット IDAC の最大ソース電流	275		330	$\mu A$	LSB=2.4 $\mu A$ (Typ)
SID314C	IDAC7_SRC4	低レンジでの 7 ビット IDAC の最大ソース電流、2X モード	8		10.5	$\mu A$	LSB=37.5nA (Typ)。2X モード時の出力
SID314D	IDAC7_SRC5	中レンジでの 7 ビット IDAC の最大ソース電流、2X モード	69		82	$\mu A$	LSB=300nA (Typ)。2X モード時の出力
SID314E	IDAC7_SRC6	高レンジでの 7 ビット IDAC の最大ソース電流、2X モード	540		660	$\mu A$	LSB=2.4 $\mu A$ (Typ)。2X モード時の出力
SID315	IDAC7_SINK_1	低レンジでの 7 ビット IDAC の最大シンク電流	4.2		5.7	$\mu A$	LSB=37.5nA (Typ)
SID315A	IDAC7_SINK_2	中レンジでの 7 ビット IDAC の最大シンク電流	34		44	$\mu A$	LSB=300nA (Typ)
SID315B	IDAC7_SINK_3	高レンジでの 7 ビット IDAC の最大シンク電流	260		340	$\mu A$	LSB=2.4 $\mu A$ (Typ)

**注**

7. 最適な CapSense 性能のためには、ポート 0、4 および 5 は大きい DC 負荷に使用する必要があります。

**表 15. CapSense および IDAC 仕様<sup>[7]</sup>**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/ 条件
SID315C	IDAC7_SINK_4	低レンジでの 7 ビット IDAC の最大シンク電流、2X モード	8		11.5	μA	LSB=37.5nA (Typ)。2X モード時の出力
SID315D	IDAC7_SINK_5	中レンジでの 7 ビット IDAC の最大シンク電流、2X モード	68		86	μA	LSB=300nA (Typ)。2X モード時の出力
SID315E	IDAC7_SINK_6	高レンジでの 7 ビット IDAC の最大シンク電流、2X モード	540		700	μA	LSB=2.4μA (Typ)。2X モード時の出力
SID315F	IDAC8_SRC_1	低レンジでの 8 ビット IDAC の最大ソース電流	8.4		10.8	μA	LSB=37.5nA (Typ)
SID315G	IDAC8_SRC_2	中レンジでの 8 ビット IDAC の最大ソース電流	68		82	μA	LSB=300nA (Typ)
SID315H	IDAC8_SRC_3	高レンジでの 8 ビット IDAC の最大ソース電流	550		680	μA	LSB=2.4μA (Typ)
SID315J	IDAC8_SINK_1	低レンジでの 8 ビット IDAC の最大シンク電流	8.4		11.4	μA	LSB=37.5nA (Typ)
SID315K	IDAC8_SINK_2	中レンジでの 8 ビット IDAC の最大シンク電流	68		88	μA	LSB=300nA (Typ)
SID315L	IDAC8_SINK_3	高レンジでの 8 ビット IDAC の最大シンク電流	540		670	μA	LSB=2.4μA (Typ)
SID320	IDACOFFSET1	すべてゼロ入力。中レンジと高レンジ	-	-	1	LSB	極性はソースまたはシンク電流により設定
SID320A	IDACOFFSET2	すべてゼロ入力。低レンジ	-	-	2	LSB	極性はソースまたはシンク電流により設定
SID321	IDACGAIN	オフセットを除くフルスケール誤差	-	-	±20	%	
SID322	IDACMISMATCH1	低電力モードでの IDAC1 と IDAC2 の不整合	-	-	9.2	LSB	LSB=37.5nA (Typ)
SID322A	IDACMISMATCH2	中電力モードでの IDAC1 と IDAC2 の不整合	-	-	6	LSB	LSB=300nA (Typ)
SID322B	IDACMISMATCH3	高電力モードでの IDAC1 と IDAC2 の不整合	-	-	6.8	LSB	LSB=2.4μA (Typ)
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB に達するまでの整定時間	-	-	10	μs	フルスケール遷移。外部負荷無し
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB に達するまでの整定時間	-	-	10	μs	フルスケール遷移。外部負荷無し
SID325	CMOD	外部モジュレータ コンデンサ	-	2.2	-	nF	5V 定格、X7R または NP0 コンデンサ

**表 16. 10 ビット CapSense ADC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA94	A_RES	分解能	-	-	10	ビット	8 個のフルスピードチャンネル
SID95	A_CHNLS_S	チャンネルの数 - シングル エンド	-	-	16		差動チャンネルの入力は隣接する I/O を使用
SIDA97	A-MONO	単調増加性	-	-	-	有	有
SIDA98	A_GAINERR	ゲイン誤差	-	-	未定	%	外部リファレンス電圧有り
SIDA99	A_OFFSET	入力オフセット電圧	-	-	未定	mV	1V リファレンスで測定

**表 16. 10 ビット CapSense ADC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA100	A_ISAR	消費電流	–	–	未定	mA	
SIDA101	A_VINS	入力電圧範囲 - シングル エンド	$V_{SSA}$	–	$V_{DDA}$	V	
SIDA103	A_INRES	入力抵抗	–	2.2	–	K $\Omega$	
SIDA104	A_INCAP	入力静電容量	–	20	–	pF	
SIDA106	A_PSRR	電源電圧変動除去比	未定	–	–	dB	
SIDA107	A_TACQ	サンプル取得時間	–	1	–	$\mu$ s	
SIDA108	A_CONV8	変換速度 = $F_{hclk}/(2^{(N+2)})$ での 8 ビット分解能の変換時間。クロック周波数 = 48MHz	–	–	21.3	$\mu$ s	取得時間を含まない。取得時間を含めると 44.8ksps に相当
SIDA108A	A_CONV10	変換速度 = $F_{hclk}/(2^{(N+2)})$ での 10 ビット分解能の変換時間。クロック周波数 = 48MHz	–	–	85.3	$\mu$ s	取得時間を含まない。取得時間を含めると 11.6ksps に相当
SIDA109	A_SND	信号対ノイズおよび歪み比 (SINAD)	未定	–	–	dB	
SIDA110	A_BW	エイリアシングが発生しない入力帯域幅	–	–	22.4	kHz	8 ビット分解能
SIDA111	A_INL	積分非直線性。 $V_{DD}=1.71 \sim 5.5$ 、1ksps	–	–	2	LSB	$V_{REF}=2.4V$ 以上
SIDA112	A_DNL	微分非直線性。 $V_{DD}=1.71 \sim 5.5$ 、1ksps	–	–	1	LSB	

**デジタル ペリフェラル**

タイマー／カウンター／パルス幅変調器 (TCPWM)

**表 17. TCPWM 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流	–	–	155		すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	–	–	650		すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM <sub>FREQ</sub>	動作周波数	–	–	Fc	MHz	Fc max=CLK_SYS Max=48MHz
SID.TCPWM.4	TPWM <sub>ENEXT</sub>	入力トリガー パルス幅	2/Fc	–	–	ns	すべてのトリガー イベント [8]
SID.TCPWM.5	TPWM <sub>EXT</sub>	出力トリガー パルス幅	2/Fc	–	–		オーバーフロー、アンダーフローおよび CC (カウンター = 比較値) 出力の最小幅
SID.TCPWM.5A	TC <sub>RES</sub>	カウンターの分解能	1/Fc	–	–		逐次カウント間の最小時間
SID.TCPWM.5B	PWM <sub>RES</sub>	PWM 分解能	1/Fc	–	–		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q <sub>RES</sub>	直交位相入力分解能	1/Fc	–	–		直交位相入力 同士間の最小パルス幅

 I<sup>2</sup>C

**表 18. 固定 I<sup>2</sup>C の DC 仕様 [9]**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID149	I <sub>I2C1</sub>	100kHz でのブロック消費電流	–	–	50	μA	–
SID150	I <sub>I2C2</sub>	400kHz でのブロック消費電流	–	–	135		–
SID151	I <sub>I2C3</sub>	1Mbps でのブロック消費電流	–	–	310		–
SID152	I <sub>I2C4</sub>	I <sup>2</sup> C がディープ スリープ モードで有効の場合	–	–	1.4		

**表 19. 固定 I<sup>2</sup>C の AC 仕様 [9]**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F <sub>I2C1</sub>	ビット レート	–	–	1	Msp/s	–

**表 20. SPI の DC 仕様 [10]**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID163	ISPI1	1M ビット / 秒でのブロック消費電流	–	–	360	μA	–
SID164	ISPI2	4M ビット / 秒でのブロック消費電流	–	–	560		–
SID165	ISPI3	8M ビット / 秒でのブロック消費電流	–	–	600		–

**注**

8. 選択した動作モードによって、トリガー イベントは停止、開始、リロード、カウント、キャプチャ、またはキルのいずれかです。
9. 特性評価で保証されています。

**表 21. SPI の AC 仕様<sup>[10]</sup>**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	FSPI	SPI 動作周波数 (マスター ; 6X オーバーサンプリング)	-	-	8	MHz	SID166
固定 SPI マスター モードの AC 仕様							
SID167	TDMO	SClock 駆動エッジから MOSI が有効になるまでの時間	-	-	15	ns	-
SID168	TDSI	SClock キャプチャ エッジ前の MISO 有効時間	20	-	-		フル クロック、MISO の遅いサンプリング
SID169	THMO	直前の MOSI データ ホールド時間	0	-	-		スレーブ キャプチャ エッジを基準とする
固定 SPI スレーブ モードの AC 仕様							
SID170	TDMI	Sclock キャプチャ エッジ前の MOSI 有効時間	40	-	-	ns	-
SID171	TDSO	Sclock 駆動エッジから MISO が有効になるまでの時間	-	-	42+3*Tscb		Tscb=SCB クロック
SID171A	TDSO_EXT	外部 Sclock 駆動エッジから MISO が有効になるまでの時間	-	-	48		-
SID172	THSO	直前の MISO データ ホールド時間	0	-	-		-

**表 22. UART の DC 仕様<sup>[10]</sup>**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID160	I <sub>UART1</sub>	100K ビット / 秒でのブロック消費電流	-	-	55	μA	-
SID161	I <sub>UART2</sub>	1000K ビット / 秒でのブロック消費電流	-	-	312	μA	-

**表 23. UART の AC 仕様<sup>[10]</sup>**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID162	F <sub>UART</sub>	ビット レート	-	-	1	Mbps	-

**表 24. LCD 直接駆動の DC 仕様<sup>[10]</sup>**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	I <sub>LCDLOW</sub>	低電力モードでの動作電流	-	5	-	μA	Hz での 16×4 の小さいセグメント ディスプレイ
SID155	C <sub>LDCAP</sub>	セグメント/コモンドライバあたりの LCD 静電容量	-	500	5000	pF	-
SID156	LCD <sub>OFFSET</sub>	長時間セグメント オフセット	-	20	-	mV	-
SID157	I <sub>LCDOP1</sub>	LCD システム動作電流。 V <sub>bias</sub> =5V	-	2	-	mA	32×4 セグメント、50Hz、25°C
SID158	I <sub>LCDOP2</sub>	LCD システム動作電流。 V <sub>bias</sub> =3.3V	-	2	-		32×4 セグメント、50Hz、25°C。 4 セグメント、50Hz、25°C

**注**

10. 特性評価で保証されています。

**表 25. LCD 直接駆動の AC 仕様<sup>[10]</sup>**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	F <sub>LCD</sub>	LCD フレーム レート	10	50	150	Hz	-

**メモリ**
**表 26. フラッシュの DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173	V <sub>PE</sub>	消去およびプログラム電圧	1.71	-	5.5	V	-

**表 27. フラッシュの AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	T <sub>ROWWRITE</sub> <sup>[11]</sup>	行 (ブロック) 書き込み時間 (消去 + プログラム)	-	-	20	ms	行 (ブロック) = 64 バイト
SID175	T <sub>ROWERASE</sub> <sup>[11]</sup>	行消去時間	-	-	13		-
SID176	T <sub>ROWPROGRAM</sub> <sup>[11]</sup>	消去後の行プログラム時間	-	-	7		-
SID178	T <sub>BULKERASE</sub> <sup>[11]</sup>	バルク消去時間 (16KB)	-	-	15		-
SID180 <sup>[12]</sup>	T <sub>DEVPROG</sub> <sup>[11]</sup>	総デバイス プログラム時間	-	-	7.5	秒	-
SID181 <sup>[12]</sup>	F <sub>END</sub>	フラッシュ アクセス可能回数	100K	-	-	サイクル	-
SID182 <sup>[12]</sup>	F <sub>RET</sub>	フラッシュのデータ保持期間。 T <sub>A</sub> ≤ 55°C、プログラム/消去 サイクル = 10 万回	20	-	-	年	-
SID182A <sup>[12]</sup>	-	フラッシュのデータ保持期間。 T <sub>A</sub> ≤ 85°C、プログラム/消去 サイクル = 1 万回	10	-	-		-
SID256	TWS48	48MHz でのウェイト ステート数	2	-	-		CPU はフラッシュから実行
SID257	TWS24	24MHz でのウェイト ステート数	1	-	-		CPU はフラッシュから実行

**システム リソース**

パワーオン リセット (POR)

**表 28. パワーオン リセット (PRES)**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#6	SR_POWER_UP	電源電圧スルー レート	1	-	67	V/ms	電源投入時
SID185 <sup>[12]</sup>	V <sub>RISEIPOR</sub>	立ち上がりトリップ電圧	0.80	-	1.5	V	-
SID186 <sup>[12]</sup>	V <sub>FALLIPOR</sub>	立ち下がりトリップ電圧	0.70	-	1.4		-

**注**

11. フラッシュメモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュメモリの動作は中断され、正常に完了したことは保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにならないことを確認してください。

12. 特性評価で保証されています。

**表 29. V<sub>CCD</sub> の電圧低下検出 (BOD)**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190 <sup>[12]</sup>	V <sub>FALLPPOR</sub>	アクティブモードとスリープモードでの BOD トリップ電圧	1.48	–	1.62	V	–
SID192 <sup>[12]</sup>	V <sub>FALLDPSLP</sub>	ディープスリープモードでの BOD トリップ電圧	1.1	–	1.5		–

SWD インターフェース

**表 30. SWD インターフェース仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID213	F_SWDCCLK1	$3.3V \leq V_{DD} \leq 5.5V$	–	–	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	F_SWDCCLK2	$1.71V \leq V_{DD} \leq 3.3V$	–	–	7		SWDCLK は CPU クロック周波数の 1/3 以下
SID215 <sup>[13]</sup>	T_SWDI_SETUP	$T=1/f$ SWDCLK	$0.25 \cdot T$	–	–	ns	–
SID216 <sup>[13]</sup>	T_SWDI_HOLD	$T=1/f$ SWDCLK	$0.25 \cdot T$	–	–		–
SID217 <sup>[13]</sup>	T_SWDO_VALID	$T=1/f$ SWDCLK	–	–	$0.5 \cdot T$		–
SID217A <sup>[13]</sup>	T_SWDO_HOLD	$T=1/f$ SWDCLK	1	–	–		–

内部主発振器

**表 31. IMO の DC 仕様**

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I <sub>IMO1</sub>	48MHz での IMO 動作電流	–	–	250	μA	–
SID219	I <sub>IMO2</sub>	24MHz での IMO 動作電流	–	–	180	μA	–

**表 32. IMO の AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID223	F <sub>IMOTOL1</sub>	24 ~ 48MHz の周波数範囲 (4MHz のステップでインクリメント)	-2	–	+2	%	$2V \leq V_{DD} \leq 5.5V$ および $-25^\circ C \leq T_A \leq 85^\circ C$
SID226	T <sub>STARTIMO</sub>	IMO 起動時間	–	–	7	μs	–
SID228	T <sub>JITRMSIMO2</sub>	24MHz での RMS ジッタ	–	145	–	ps	–

内部低速発振器

**表 33. ILO の DC 仕様**

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231 <sup>[13]</sup>	I <sub>ILO1</sub>	ILO 動作電流	–	0.3	1.05	μA	–

注

13. 特性評価で保証されています。

**表 34. ILO の AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234 <sup>[13]</sup>	T <sub>STARTILO1</sub>	ILO 起動時間	–	–	2	ms	–
SID236 <sup>[13]</sup>	T <sub>ILODUTY</sub>	ILO デューティ比	40	50	60	%	–
SID237	F <sub>ILOTRIM1</sub>	ILO 周波数範囲	20	40	80	kHz	–

**表 35. 時計用水晶発振器 (WCO) 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID398	FWCO	水晶振動子周波数	–	32.768	–	kHz	
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20ppm の水晶振動子
SID400	ESR	等価直列抵抗	–	50	–	kΩ	
SID401	PD	駆動レベル	–	–	1	μW	
SID402	TSTART	起動時間	–	–	500	ms	
SID403	CL	水晶の負荷容量	6	–	12.5	pF	
SID404	C0	水晶の並列容量	–	1.35	–	pF	
SID405	IWCO1	動作電流 (高電力モード)	–	–	8	μA	

**表 36. 外部クロックの仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID305 <sup>[14]</sup>	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	–
SID306 <sup>[14]</sup>	ExtClkDuty	デューティ比。V <sub>DD/2</sub> で測定	45	–	55	%	–

**表 37. ブロック仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID262 <sup>[14]</sup>	T <sub>CLKSWITCH</sub>	システム クロック ソースの切り替え時間	3	–	4	周期	–

**表 38. PRGIO パススルー時間 (バイパス モードでの遅延時間)**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID252	PRG_BYPASS	バイパス モードでの PRGIO による最大遅延時間	–	–	1.6	ns	

**注**

14. 特性評価で保証されています。

**注文情報**

カテゴリ	MPN	特長															パッケージ				
		CPU 最大速度 (MHz)	DMA	フラッシュ (KB)	SRAM (KB)	13 ビット VDAC	オペアンプ (CTB)	CapSense	10 ビット CSD ADC	LCD 直接駆動	RTC	12 ビット SAR ADC	LP コンパレータ	TCPWM ブロック	SCB ブロック	Smart I/O	GPIO	28-SSOP	45-WLCSP	48-TQFP	48-QFN
4125	CY8C4125PVI-PS421	24	4	32	4	2	4	-	4	4	4	806ksps	2	8	2	8	20	4	-	-	-
	CY8C4125FNI-PS423	24	4	32	4	2	4	-	4	4	4	806ksps	2	8	2	8	37	-	4	-	-
	CY8C4125AZI-PS423	24	4	32	4	2	4	-	4	4	4	806ksps	2	8	2	8	38	-	-	4	-
	CY8C4125LQI-PS423	24	4	32	4	2	4	-	4	4	4	806ksps	2	8	2	8	38	-	-	-	4
4145	CY8C4145PVI-PS421	48	4	32	4	2	4	-	4	4	4	1000ksps	2	8	2	8	20	4	-	-	-
	CY8C4145FNI-PS423	48	4	32	4	2	4	-	4	4	4	1000ksps	2	8	2	8	37	-	4	-	-
	CY8C4145AZI-PS423	48	4	32	4	2	4	-	4	4	4	1000ksps	2	8	2	8	38	-	-	4	-
	CY8C4145LQI-PS423	48	4	32	4	2	4	-	4	4	4	1000ksps	2	8	2	8	38	-	-	-	4
	CY8C4145PVI-PS431	48	4	32	4	2	4	4	4	4	4	1000ksps	2	8	3	8	20	4	-	-	-
	CY8C4145FNI-PS433	48	4	32	4	2	4	4	4	4	4	1000ksps	2	8	3	8	37	-	4	-	-
	CY8C4145AZI-PS433	48	4	32	4	2	4	4	4	4	4	1000ksps	2	8	3	8	38	-	-	4	-
	CY8C4145LQI-PS433	48	4	32	4	2	4	4	4	4	4	1000ksps	2	8	3	8	38	-	-	-	4

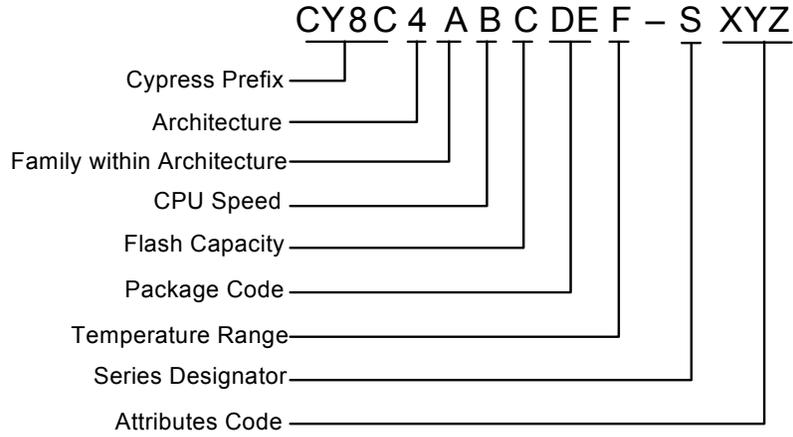
上記の表に使用される命名法は次の製品番号の命名規則に基づいています。

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	Arm Cortex-M0+ CPU
A	ファミリー	1	4100PS ファミリー
B	最大周波数	2	24MHz
		4	48MHz
C	フラッシュ メモリ容量	5	32KB
DE	パッケージ コード	AZ	TQFP (0.5mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
S	シリーズ指示子	PS	S シリーズ
F	温度範囲	I	産業用
XYZ	属性コード	000 ~ 999	特定ファミリー向け機能セット コード

製品番号の例は次のとおりです。

Example

- 4: PSoC 4
- 1: 4100 Family
- 4: 48 MHz
- 5: 32 KB
- AZ: TQFP
- I: Industrial



**パッケージ**

仕様 ID#	パッケージ	説明	パッケージ 図面番号
BID20	48 ピン TQFP	寸法 7×7×1.4mm、 ピッチ 0.5mm	51-85135
BID27	48 ピン QFN	寸法 6×6×0.6mm、 ピッチ 0.4mm	001-57280
BID34	45 ボール WLCSP	寸法 1.986×3.691×0.482mm、 ピッチ 0.38mm	002-24003
BID34A	28 ピン SSOP	寸法 5.3 × 10.2、 ピッチ 0.65mm	51-85079

**表 39. パッケージ熱特性**

パラメーター	説明	パッケージ	Min	Typ	Max	単位
TA	動作周囲温度		-40	25	85	°C
TJ	動作接合部温度		-40	—	105	°C
TJA	パッケージ $\theta_{JA}$	48 ピン TQFP	—	71	—	°C/W
TJC	パッケージ $\theta_{JC}$	48 ピン TQFP	—	34.3	—	°C/W
TJA	パッケージ $\theta_{JA}$	48 ピン QFN	—	18	—	°C/W
TJC	パッケージ $\theta_{JC}$	48 ピン QFN	—	4.5	—	°C/W
TJA	パッケージ $\theta_{JA}$	45 ボール WLCSP	—	37.2	—	°C/W
TJC	パッケージ $\theta_{JC}$	45 ボール WLCSP	—	0.31	—	°C/W
TJA	パッケージ $\theta_{JA}$	28 ピン SSOP	—	60	—	°C/W
TJC	パッケージ $\theta_{JC}$	28 ピン SSOP	—	25	—	°C/W

**表 40. はんだリフローピーク温度**

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

**表 41. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020**

パッケージ	MSL
すべて	MSL 3

パッケージ図

図 7. 48ピン TQFP パッケージの外形図

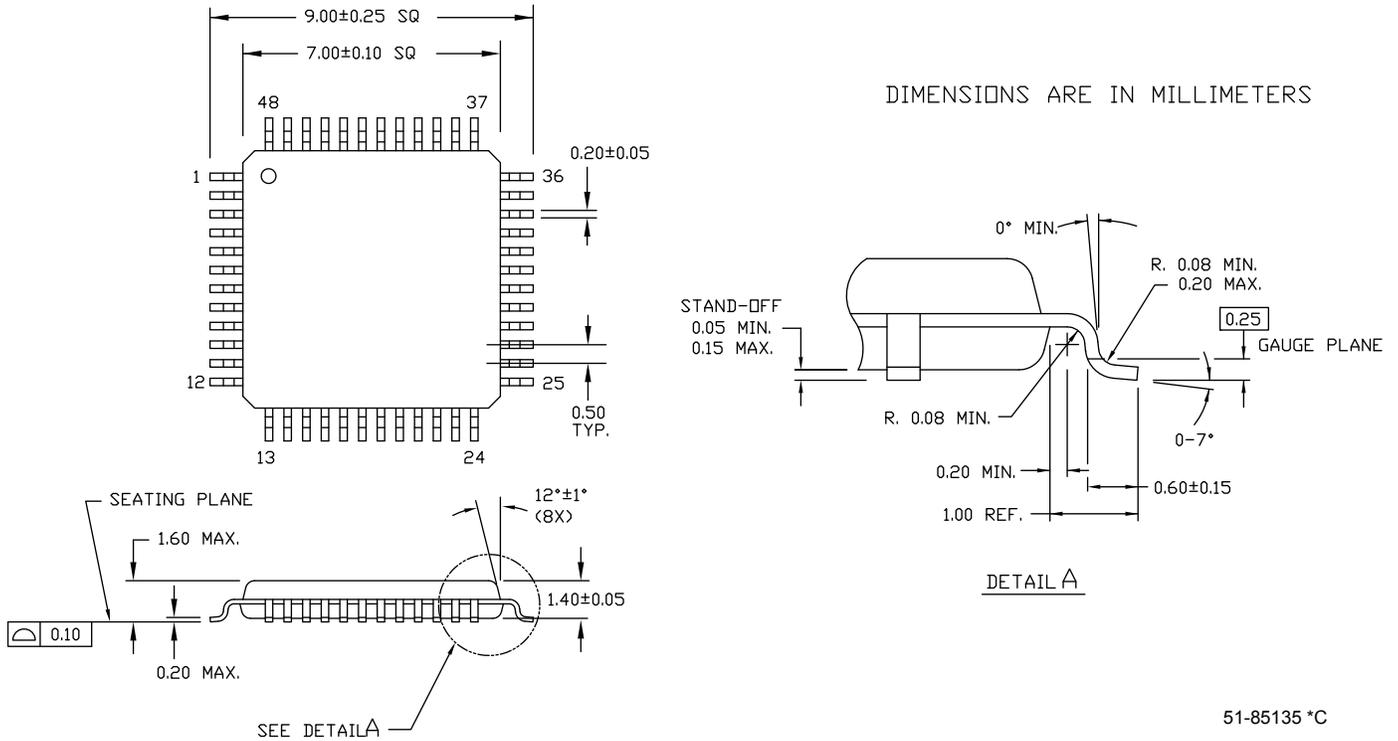
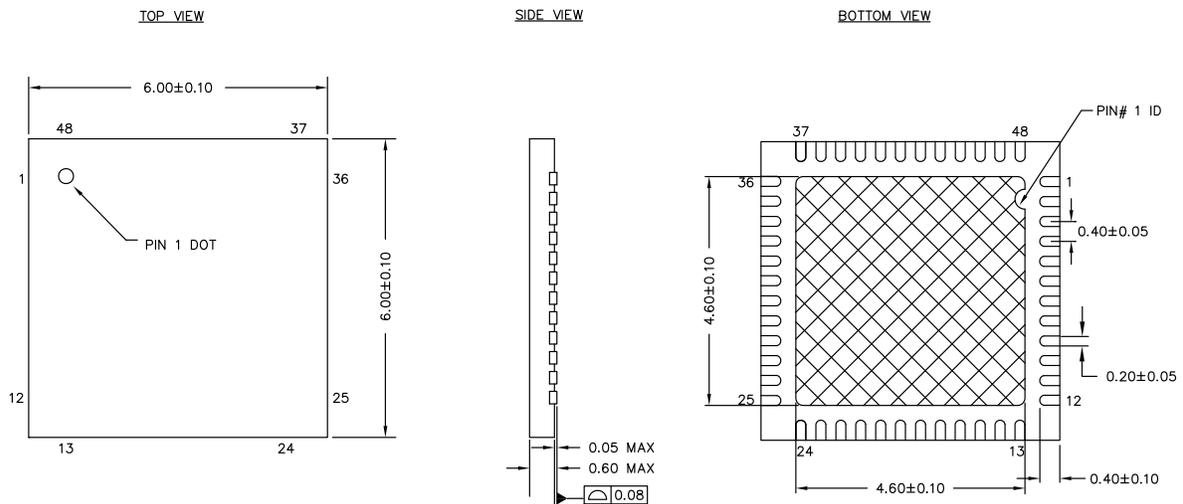


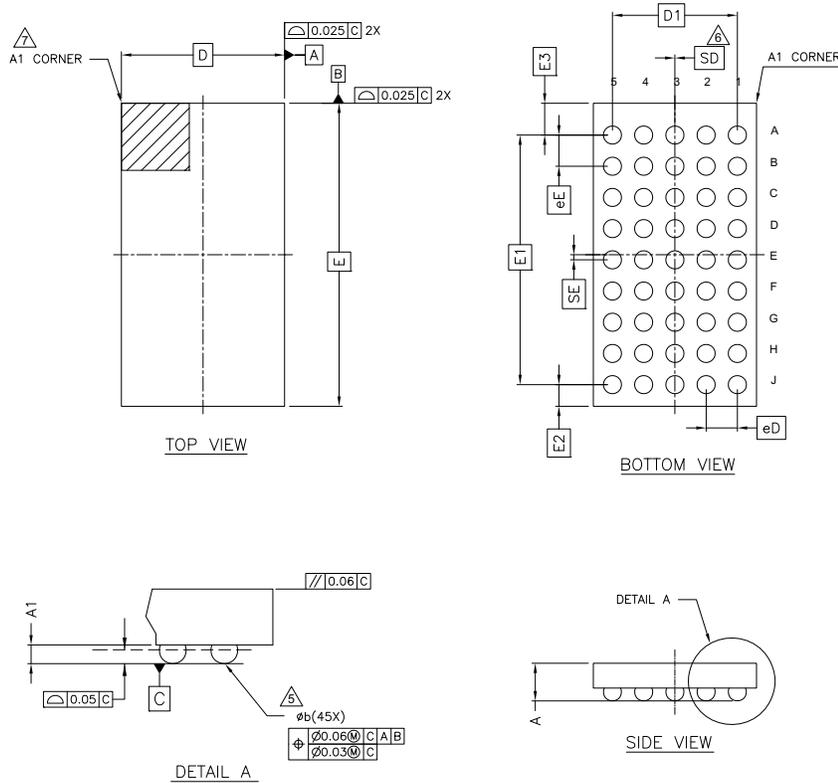
図 8. 48ピン QFN パッケージの外形図



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ±7 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-57280 \*E

**図 9. 45 ボール WLCSP の寸法**


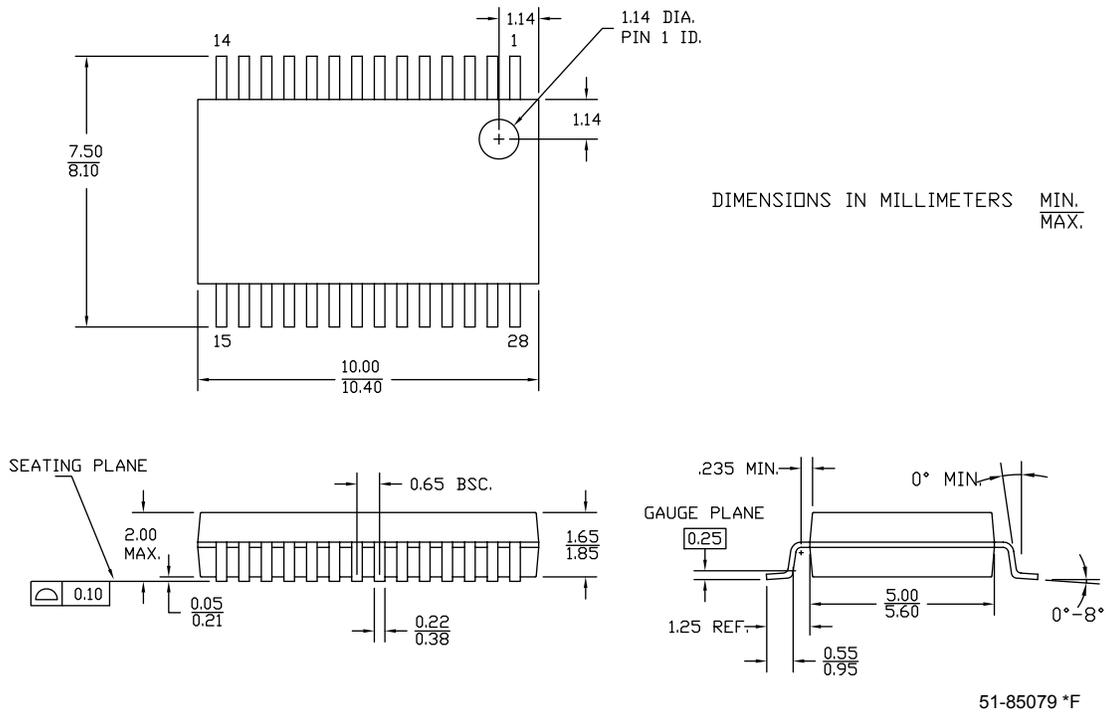
SYMBOL	DIMENSIONS		
	MIN	NOM	MAX
A	-	-	0.482
A1	0.141	-	-
D	1.986 BSC		
E	3.691 BSC		
D1	1.52 BSC		
E1	3.04 BSC		
E2	0.263 BSC		
E3	0.388 BSC		
MD	5		
ME	9		
N	45		
Øb	0.19	0.22	0.25
eD	0.38 BSC		
eE	0.38 BSC		
SD	0.00 BSC		
SE	0.063 BSC		

**NOTES:**

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : N/A.

002-24003 \*\*

図 10. 28 ピン SSOP パッケージの外形図



**略語**
**表 42. 本書で使用する略語**

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル コンバータ)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスド マイクロコントローラー バス アーキテクチャ) 高性能バス)。Arm データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサバス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプリング モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリア ネットワーク)。通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)。エラー チェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ コンバータ)。IDAC、VDAC を参照してください
DFB	digital filter block (デジタル フィルター ブロック)
DIO	digital input/output (デジタル入出力)。アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください
DMIPS	Dhrystone million instructions per second (ドライストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TD を参照してください
DNL	differential nonlinearity (微分非直線性)。INL を参照してください
DNU	do not use (使用禁止)
DR	port write data registers (ポート書き込みデータレジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)

**表 42. 本書で使用する略語**

略語	説明
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。IIR を参照してください
FPB	flash patch and breakpoint (フラッシュパッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)。PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割込み)。LVI、LVD を参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照してください
IDE	integrated development environment (統合開発環境)
I <sup>2</sup> C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートド サーキット)。通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。FIR を参照してください
ILO	internal low-speed oscillator (内部低速発振器)。IMO を参照してください
IMO	internal main oscillator (内部主発振器)。ILO を参照してください
INL	integral nonlinearity (積分非直線性)。DNL を参照してください
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO を参照してください
IPOR	initial power-on reset (初期パワーオン リセット)

**表 42. 本書で使用する略語**

略語	説明
IPSR	interrupt program status register ( 割込みプログラム ステータス レジスタ )
IRQ	interrupt request ( 割込み要求 )
ITM	instrumentation trace macrocell ( 計装トレース マクロセル )
LCD	liquid crystal display ( 液晶ディスプレイ )
LIN	Local Interconnect Network ( ローカル インターコネクト ネットワーク )。通信プロトコルの一種
LR	link register ( リンク レジスタ )
LUT	lookup table ( ルックアップ テーブル )
LVD	low-voltage detect ( 低電圧検出 )。LVI を参照してください
LVI	low-voltage interrupt ( 低電圧割込み )。HVI を参照してください
LVTTTL	low-voltage transistor-transistor logic ( 低電圧トランジスタ-トランジスタ ロジック )
MAC	multiply-accumulate ( 積和演算 )
MCU	microcontroller unit ( マイクロコントローラー ユニット )
MISO	master-in slave-out ( マスター入カスレーブ出力 )
NC	no connect ( 未接続 )
NMI	nonmaskable interrupt ( マスク不可割込み )
NRZ	non-return-to-zero ( 非ゼロ復帰 )
NVIC	nested vectored interrupt controller ( ネスト型ベクタ割込みコントローラー )
NVL	nonvolatile latch ( 不揮発性ラッチ )。WOL を参照してください
opamp	operational amplifier ( 演算増幅器 )
PAL	programmable array logic ( プログラマブルアレイ ロジック )。PLD を参照してください
PC	program counter ( プログラム カウンター )
PCB	printed circuit board ( プリント回路基板 )
PGA	programmable gain amplifier ( プログラマブルゲイン アンプ )
PHUB	peripheral hub ( ペリフェラル ハブ )
PHY	physical layer ( 物理層 )
PICU	port interrupt control unit ( ポート割込み制御ユニット )
PLA	programmable logic array ( プログラマブルロジックアレイ )
PLD	programmable logic device ( プログラマブルロジックデバイス )。PAL を参照してください
PLL	phase-locked loop ( 位相同期回路 )

**表 42. 本書で使用する略語**

略語	説明
PMDD	package material declaration data sheet ( パッケージ材質宣言データシート )
POR	power-on reset ( パワーオン リセット )
PRES	precise power-on reset ( 高精度パワーオン リセット )
PRS	pseudo random sequence ( 疑似乱数列 )
PS	port read data register ( ポート読み出しデータ レジスタ )
PSoC®	Programmable System-on-Chip™ ( プログラマブル システムオンチップ )
PSRR	power supply rejection ratio ( 電源電圧変動除去比 )
PWM	pulse-width modulator ( パルス幅変調器 )
RAM	random-access memory ( ランダム アクセス メモリ )
RISC	reduced-instruction-set computing ( 縮小命令セット コンピューティング )
RMS	root-mean-square ( 二乗平均平方根 )
RTC	real-time clock ( リアル タイム クロック )
RTL	register transfer language ( レジスタ転送レベル言語 )
RTR	remote transmission request ( リモート送信要求 )
RX	receive ( 受信 )
SAR	successive approximation register ( 逐次比較レジスタ )
SC/CT	switched capacitor/continuous time ( スイッチト キャパシタ/連続時間 )
SCL	I <sup>2</sup> C serial clock ( I <sup>2</sup> C シリアル クロック )
SDA	I <sup>2</sup> C serial data ( I <sup>2</sup> C シリアル データ )
S/H	sample and hold ( サンプル/ホールド )
SINAD	signal to noise and distortion ratio ( 信号対ノイズ比および歪み比 )
SIO	special input/output ( 特殊入出力 )。高度機能 GPIO。GPIO を参照してください
SOC	start of conversion ( 変換の開始 )
SOF	start of frame ( フレームの開始 )
SPI	Serial Peripheral Interface ( シリアルペリフェラル インターフェース )。通信プロトコルの一種
SR	slew rate ( スルー レート )
SRAM	static random access memory ( スタティック ランダム アクセス メモリ )
SRES	software reset ( ソフトウェア リセット )
SWD	serial wire debug ( シリアルワイヤ デバッグ )。テスト プロトコルの一種

表 42. 本書で使用する略語

略語	説明
SWV	single-wire viewer (シングルワイヤビューアー)
TD	transaction descriptor (トランザクション ディスクリプタ)。DMA を参照してください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ-トランジスタ ロジック)
TX	transmit (送信)
UART	Universal Asynchronous Receiver Transmitter (汎用非同期トランスミッタ レシーバ)。通信 プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)。USB ポートへ の接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC)。DAC、IDAC を参照 してください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めない ラッチ)。NVL を参照してください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

## 本書の表記法

### 測定単位

表 43. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラッド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

## 改訂履歴

文書名 : PSoC <sup>®</sup> 4: PSoC 4100PS データシートプログラマブル システムオンチップ (PSoC <sup>®</sup> )				
文書番号 : 002-23594				
版	ECN	変更者	発行日	変更内容
**	6154158	HZEN	04/26/2018	これは英語版 002-22097 Rev. ** を翻訳した日本語版 002-23594 Rev. ** です。
*A	6374518	YSAT	11/05/2018	これは英語版 002-22097 Rev. *C を翻訳した日本語版 002-23594 Rev. *A です。

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

Arm <sup>®</sup> Cortex <sup>®</sup> マイクロコントローラー	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載向け	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック & バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
モノのインターネット (IoT)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラー	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
パワー マネージメント IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチ センシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス接続	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC<sup>®</sup> ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

### サイプレス開発者コミュニティ

[コミュニティ](#) | [プロジェクト](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [コンポーネント](#)

### テクニカル サポート

[cypress.com/support](http://cypress.com/support)

© Cypress Semiconductor Corporation 2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)を含む)は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でののみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。**いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。