

リセット IC シリーズ

自由遅延時間設定 CMOS リセット IC

BD52□□G, BD52□□FVE, BD53□□G, BD53□□G FVE シリーズ

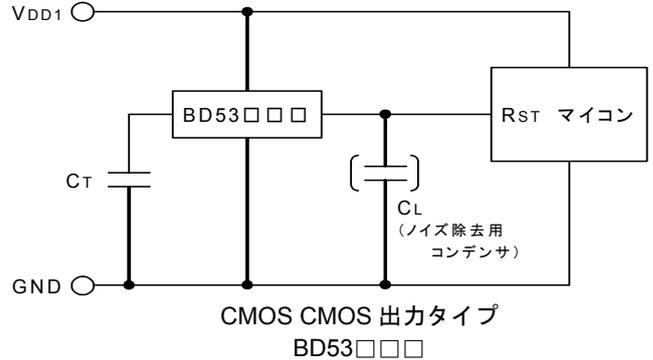
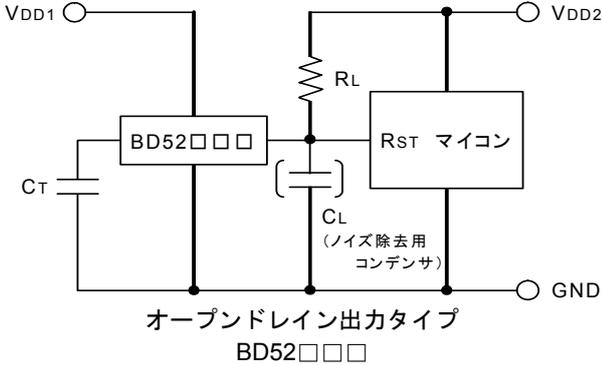
●概要

ロームの自由遅延時間設定 CMOS リセット IC シリーズは、CMOS プロセスを採用した高精度・低消費電流の遅延回路内蔵 CMOS RESET IC シリーズです。遅延時間を外付けコンデンサにより設定可能です。アプリケーションに合わせて選択いただけるよう Nch オープンドレイン出力の (BD52□□G/FVE) シリーズと、CMOS 出力の (BD53□□G/FVE) シリーズを用意しました。検出電圧は 2.3V~6.0V まで、0.1V ステップでラインアップいたしました。

●特長

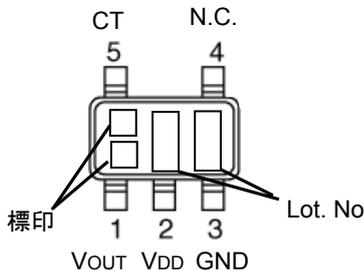
- 自由遅延時間設定
- Nch オープンドレイン出力、CMOS 出力
- CMOS: 超低消費電流
- 小型面実装パッケージ

●アプリケーション回路

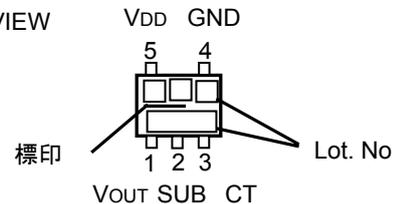


●端子配置図

SSOP5
TOP VIEW



VSO5
TOP VIEW



●端子説明

SSOP5		
PIN No.	Symbol	Function
1	VOUT	リセット出力
2	VDD	電源電圧
3	GND	GND
4	N.C.	未接続端子
5	CT	出力遅延時間設定用 コンデンサ接続端子

VSO5		
PIN No.	Symbol	Function
1	VOUT	リセット出力
2	SUB	サブストレート※
3	CT	出力遅延時間設定用 コンデンサ接続端子
4	GND	GND
5	VDD	電源電圧

※サブストレートは GND と接続してください。

●発注情報

B D 5 2

スタンダード CMOS リセット IC
BD52 : オープンドレインタイプ
BD53 : CMOS 出力タイプ

2 3

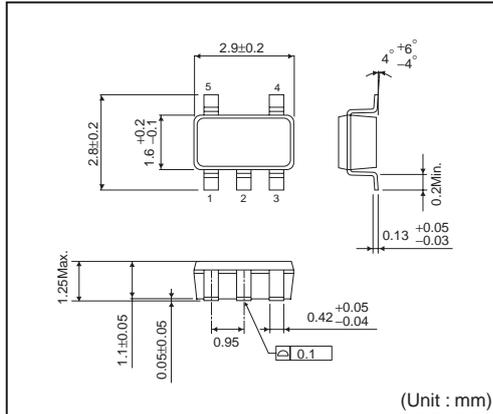
リセット電圧値
23 : 2.3V
| (0.1V step)
60 : 6.0V

G - TR

パッケージ
G : SSOP5
FVE : VSOF5

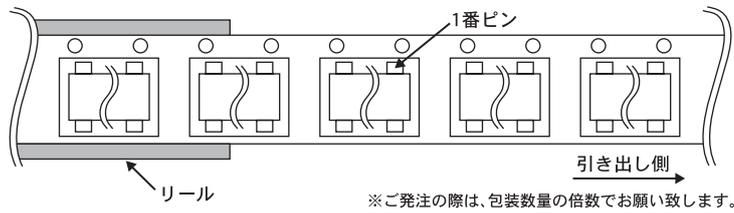
包装、フォーミング仕様
TR: リール状エンボステーピング

SSOP5

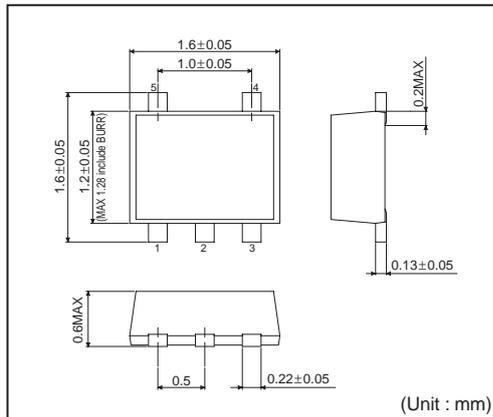


<包装仕様>

包装形態	エンボステーピング
包装数量	3000pcs
包装方向	TR (リールを左手に持ち、右手でテープを引き出したときに) 製品の1番ピンが右上にくる方向



VSOF5



●ラインアップ

標印	電圧値	機種名									
PW	6.0V	BD5260	PB	4.1V	BD5241	RW	6.0V	BD5360	RB	4.1V	BD5341
PV	5.9V	BD5259	PA	4.0V	BD5240	RV	5.9V	BD5359	RA	4.0V	BD5340
PU	5.8V	BD5258	MV	3.9V	BD5239	RU	5.8V	BD5358	QV	3.9V	BD5339
PT	5.7V	BD5257	MU	3.8V	BD5238	RT	5.7V	BD5357	QU	3.8V	BD5338
PS	5.6V	BD5256	MT	3.7V	BD5237	RS	5.6V	BD5356	QT	3.7V	BD5337
PR	5.5V	BD5255	MS	3.6V	BD5236	RR	5.5V	BD5355	QS	3.6V	BD5336
PQ	5.4V	BD5254	MR	3.5V	BD5235	RQ	5.4V	BD5354	QR	3.5V	BD5335
PP	5.3V	BD5253	MQ	3.4V	BD5234	RP	5.3V	BD5353	QQ	3.4V	BD5334
PN	5.2V	BD5252	MP	3.3V	BD5233	RN	5.2V	BD5352	QP	3.3V	BD5333
PM	5.1V	BD5251	MN	3.2V	BD5232	RM	5.1V	BD5351	QN	3.2V	BD5332
PL	5.0V	BD5250	MM	3.1V	BD5231	RL	5.0V	BD5350	QM	3.1V	BD5331
PK	4.9V	BD5249	ML	3.0V	BD5230	RK	4.9V	BD5349	QL	3.0V	BD5330
PJ	4.8V	BD5248	MK	2.9V	BD5229	RJ	4.8V	BD5348	QK	2.9V	BD5329
PH	4.7V	BD5247	MJ	2.8V	BD5228	RH	4.7V	BD5347	QJ	2.8V	BD5328
PG	4.6V	BD5246	MH	2.7V	BD5227	RG	4.6V	BD5346	QH	2.7V	BD5327
PF	4.5V	BD5245	MG	2.6V	BD5226	RF	4.5V	BD5345	QG	2.6V	BD5326
PE	4.4V	BD5244	MF	2.5V	BD5225	RE	4.4V	BD5344	QF	2.5V	BD5325
PD	4.3V	BD5243	ME	2.4V	BD5224	RD	4.3V	BD5343	QE	2.4V	BD5324
PC	4.2V	BD5242	MD	2.3V	BD5223	RC	4.2V	BD5342	QD	2.3V	BD5323

●絶対最大定格(Ta=25°C)

項目	記号	定格	単位
電源電圧	VDD-GND	-0.3 ~ +10	V
出力電圧	Nch オープンドレイン出力	GND-0.3 ~ +10	V
	CMOS 出力	GND-0.3 ~ VDD+0.3	
許容損失	SSOP5 *1 *3	540	mW
	VSOF5 *2 *3	210	
保存周囲温度	Tstg	-55 ~ +125	°C

*1 Ta=25°C以上で使用する場合は、1°Cにつき 5.4mW を減じる。

*2 Ta=25°C以上で使用する場合は、1°Cにつき 2.1mW を減じる。

*3 ローム標準基板 (70mm×70mm×1.6mm, ガラスエポキシ基板) 実装時。

●推奨動作条件

項目	記号	定格	単位
動作電源電圧範囲	VDD	+0.95 ~ +6.5	V
動作温度範囲	Topr	-40 ~ +105	°C

●電気的特性(特に指定のない限り Ta=-40 to 105°C)

項目	記号	条件	規格値			単位	
			最小	標準	最大		
検出電圧	V _{DET}	VDD=H→L, RL=470kΩ *1	V _{DET(T)} ×0.99	V _{DET(T)}	V _{DET(T)} ×1.01	V	
ON 時回路電流	IDD1	VDD=V _{DET} -0.2V	V _{DET} =2.3-3.1V	-	0.80	2.40	μA
			V _{DET} =3.2-4.2V	-	0.85	2.55	
			V _{DET} =4.3-5.2V	-	0.90	2.70	
			V _{DET} =5.3-6.0V	-	0.95	2.85	
OFF 時回路電流	IDD2	VDD=V _{DET} +2.0V	V _{DET} =2.3-3.1V	-	0.75	2.25	μA
			V _{DET} =3.2-4.2V	-	0.80	2.40	
			V _{DET} =4.3-5.2V	-	0.85	2.55	
			V _{DET} =5.3-6.0V	-	0.90	2.70	
動作範囲電圧	VOPL	VOL≤0.4V, Ta=25~105°C, RL=470kΩ	0.95	-	-	V	
		VOL≤0.4V, Ta=-40~25°C, RL=470kΩ	1.20	-	-		
“L”出力電流(Nch)	IOL	VDS=0.5V VDD=1.2V	0.4	1.2	-	mA	
		VDS=0.5V VDD=2.4V	2.0	5.0	-		
“H”出力電流(Pch)	IOH	VDS=0.5V VDD=4.8V V _{DET} =2.3-4.2V	0.7	1.4	-	mA	
		VDS=0.5V VDD=6.0V V _{DET} =4.3-5.2V	0.9	1.8	-		
		VDS=0.5V VDD=8.0V V _{DET} =5.3-6.0V	1.1	2.2	-		
出力リーク電流	Ileak	VDD=VDS=10V *1	-	-	0.1	μA	
遅延端子しきい値電圧	V _{CTH}	VDD=V _{DET} ×1.1, V _{DET} =2.3-2.6V, RL=470kΩ	VDD ×0.30	VDD ×0.40	VDD ×0.60	V	
		VDD=V _{DET} ×1.1, V _{DET} =2.7-4.2V, RL=470kΩ	VDD ×0.30	VDD ×0.45	VDD ×0.60		
		VDD=V _{DET} ×1.1, V _{DET} =4.3-5.2V, RL=470kΩ	VDD ×0.35	VDD ×0.50	VDD ×0.60		
		VDD=V _{DET} ×1.1, V _{DET} =5.3-6.0V, RL=470kΩ	VDD ×0.40	VDD ×0.50	VDD ×0.60		
遅延回路抵抗	R _{CT}	VDD=V _{DET} ×1.1 V _{CT} =0.5V *1	5.5	9	12.5	MΩ	
遅延端子出力電流	I _{CT}	V _{CT} =0.1V VDD=0.95V *1	15	40	-	μA	
		V _{CT} =0.5V VDD=1.5V	150	240	-		
検出電圧温度係数	V _{DET} /ΔT	Ta=-40°C to 105°C	-	±100	±360	ppm/°C	
ヒステリシス電圧	ΔVs	VDD=L→H→L, RL=470kΩ	V _{DET} ×0.03	V _{DET} ×0.05	V _{DET} ×0.08	V	

V_{DET(T)} : 設定検出電圧値 (2.3V~6.0V、0.1V step)RL : V_{OUT}-電源間のプルアップ抵抗

設計保証は出荷全数検査を行っていません。

*1 においては Ta=25°Cの保証になります。

●ブロック図

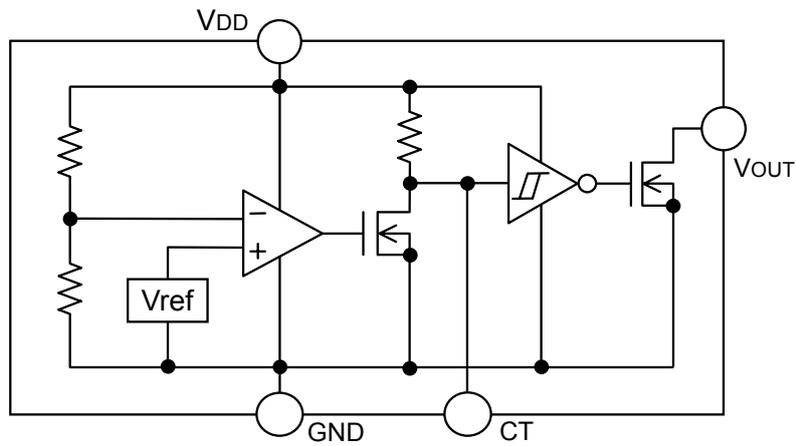


Fig.1 BD52□□□ Series

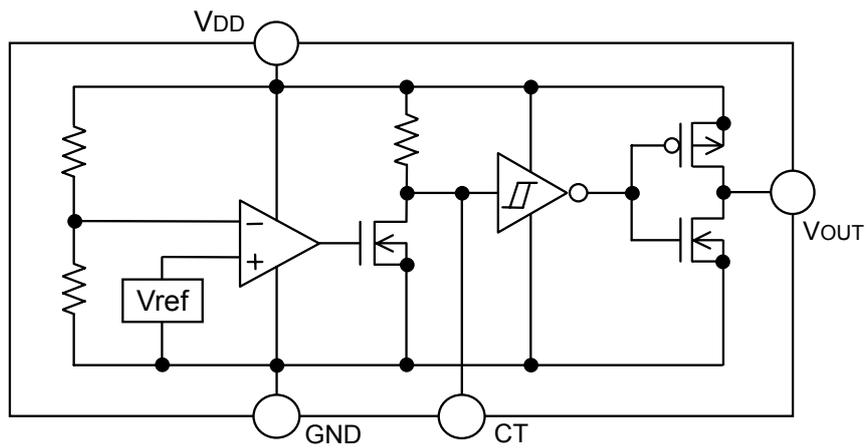


Fig.2 BD53□□□ Series

●特性データ

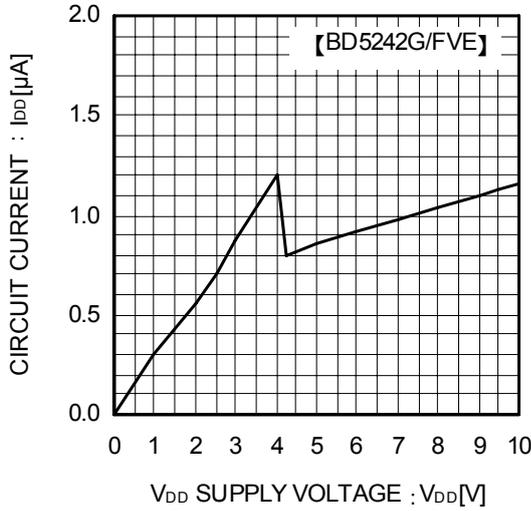


Fig.3 回路電流

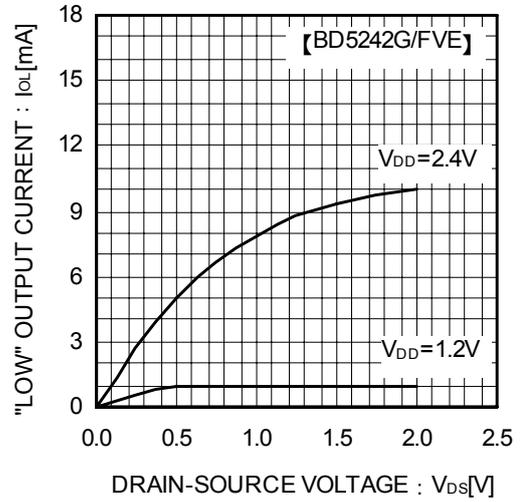


Fig.4 "L"出力電流

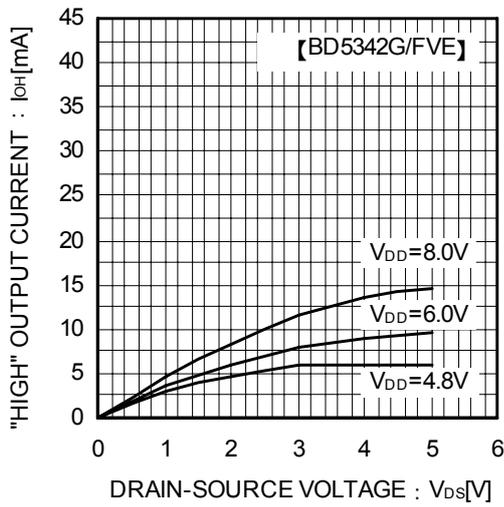


Fig.5 "H"出力電流

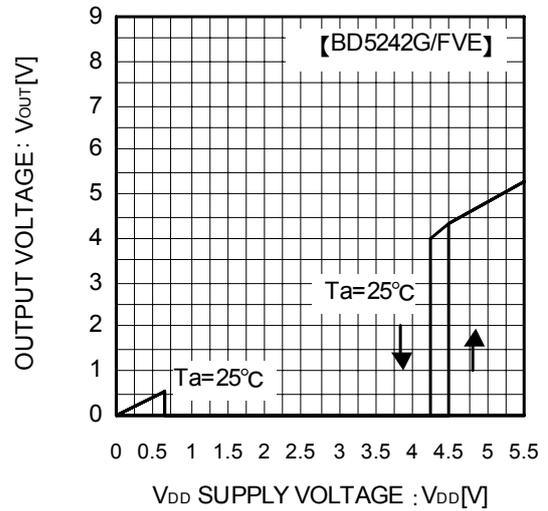


Fig.6 I/O特性

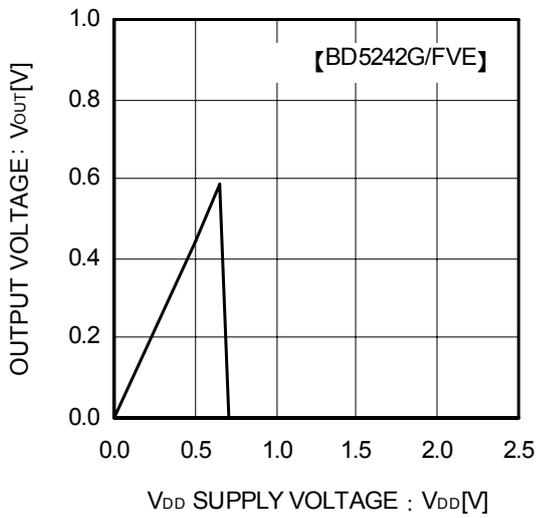


Fig.7 動作限界電圧

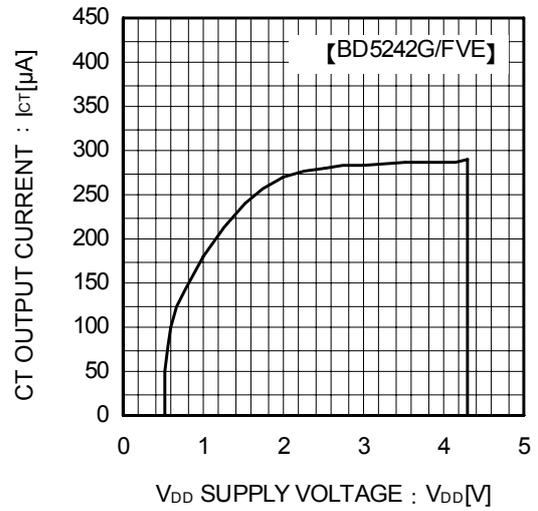


Fig.8 Ct 端子電流

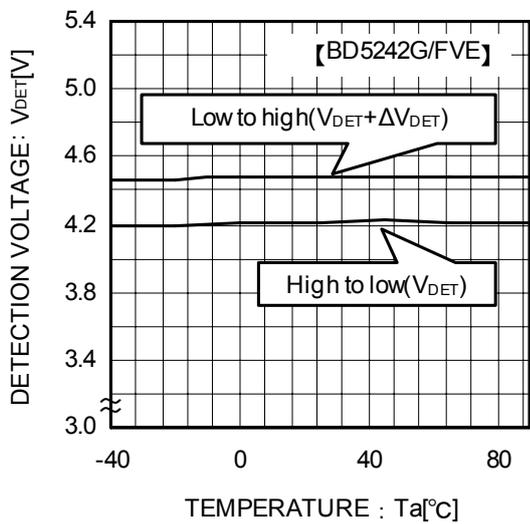


Fig.9 検出電圧-解除電圧

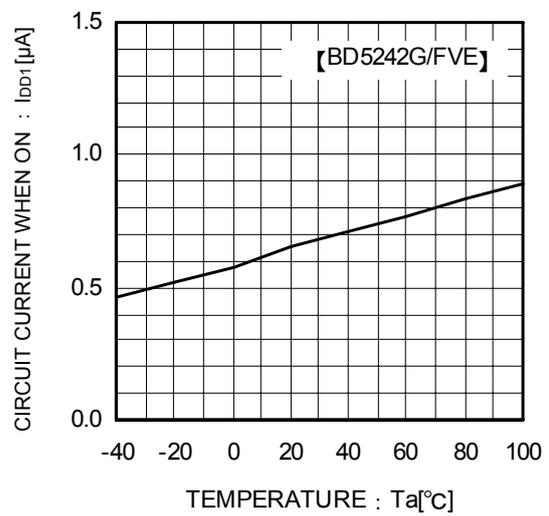


Fig.10 ON 時回路電流

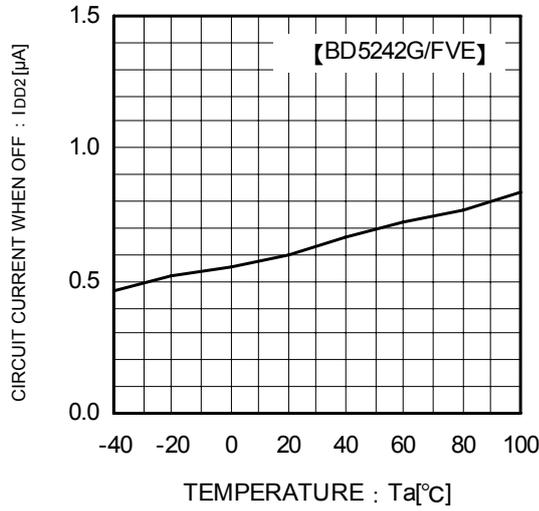


Fig.11 OFF 時回路電流

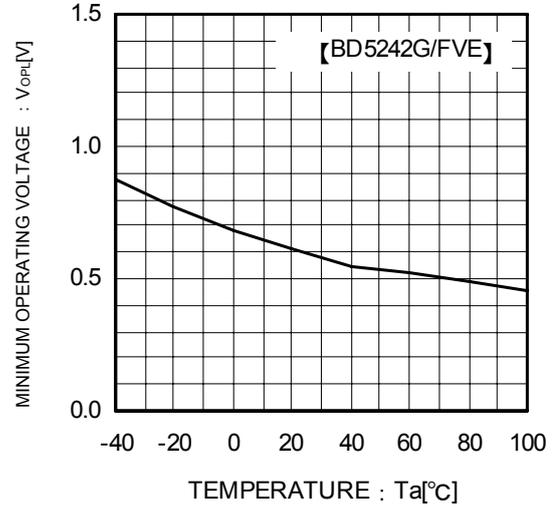


Fig.12 動作限界電圧

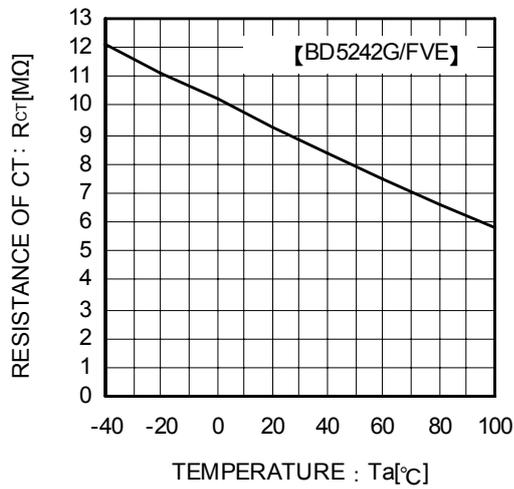


Fig.13 Ct 端子回路抵抗

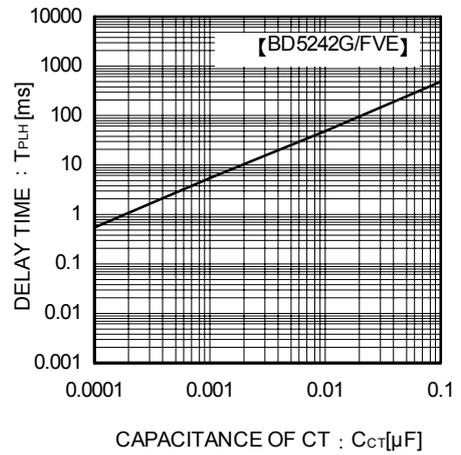


Fig.14 遅延時間(TPLH)と Ct 端子外付けコンデンサ容量

●アプリケーションヒント

動作説明

オープンドレインタイプ (Fig.15) と CMOS 出力タイプ (Fig.16) 共に、検出電圧及び解除電圧をスレッショルド電圧とし、VDD Pin に印加された電圧が各々のスレッショルド電圧に達した時、VOUT 端子電圧は“H”→“L”また“L”→“H”に切り換わります。BD52□□G/FVE, BD53□□G/FVE は遅延機能付のため、出力が“L”→“H”に切り換わる時、外付けコンデンサ (CCT) の値で決まる遅延時間 TPLH を設定することができます。BD52□□G/FVE シリーズでは出力形式がオープンドレイン方式であるため、プルアップ抵抗を VDD または他の電源との間に接続してください。(この場合の出力 (VOUT) H 電圧は VDD もしくは他の電源電圧になります。)

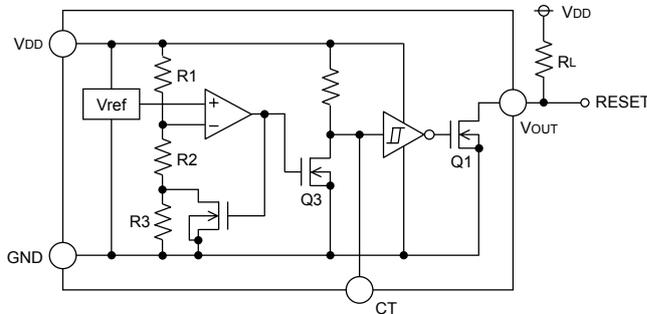


Fig.15 (BD52□□タイプ内部ブロック図)

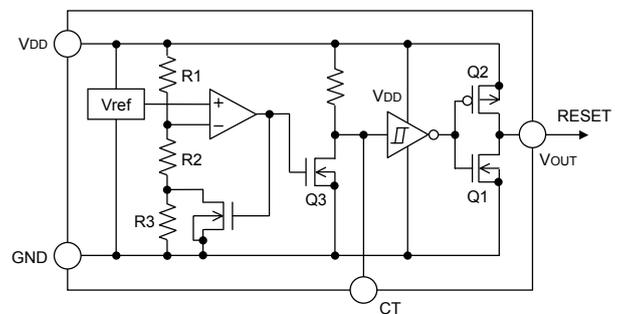


Fig.16 (BD53□□タイプ内部ブロック図)

リセット伝達遅延時間の設定

CT 端子に接続するコンデンサの容量値 CCT の値により、VDD 立ち上げ時の遅延時間 TPLH を設定することができます。

・VDD 立ち上げ時遅延時間 TPLH : VDD が立ち上がり、解除電圧 (VDET+ΔVDET) を超えてから、VOUT が 1/2VDD の電圧になるまでの時間。

計算式

$$T_{PLH} = -C_{CT} \times R_{CT} \times \ln \left(\frac{V_{DD} - V_{CTH}}{V_{DD}} \right)$$

CCT: CT 端子外付けコンデンサ

RCT: CT 端子内部インピーダンス (P.2 の電気的特性の遅延回路抵抗 RCT を参照してください)

VCTH: 遅延端子しきい値電圧 (P.2 の電気的特性の遅延端子しきい値電圧 VCTH を参照してください)

Ln: 自然対数

出力立ち下がり時間 (tPHL) の参考データ

出力立ち下がり時間 (tPHL) 特性例

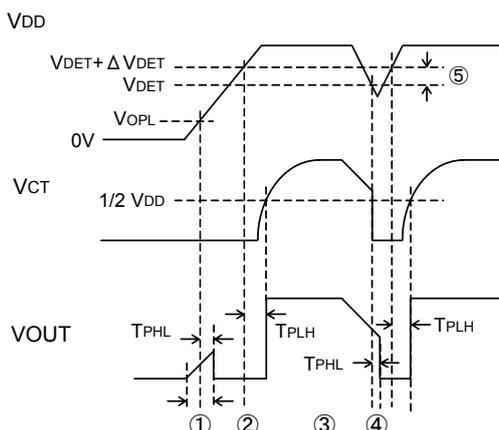
形名	tPHL[μs],-40°C	tPHL[μs],+25°C	tPHL[μs],+105°C
BD5227G	30.8	30	28.8
BD5327G	26.8	26	24.8

※このデータは参考データです。

アプリケーションにより変動しますので実際の動作を十分確認の上、御使用ください。

タイミング波形

入力電源電圧 VDD を SWEEP UP 及び SWEEP DOWN させた時の入力電圧 VDD、CT 端子電圧 VCT、出力電圧 VOUT の関係は以下のようになります。(回路は P5 Fig.15,16 です。) 下図の①~⑤について説明します。



①電源投入時、VDD が動作限界電圧 (VOPL) を超え TPLH 後までの間出力は不定です。よって TPLH より VDD の立ち上がりスピードが速い場合 RESET 信号が出ない可能性があります。

②VDD が VOPL 以上でリセット解除電圧 (VDET+ΔVDET) 以下では CT 端子電圧 (VCT) は“L”で、出力 (VOUT) も“L”です。

③VDD がリセット解除電圧 (VDET+ΔVDET) 以上になると、CT 端子に接続されたコンデンサの値によって設定された遅延時間 TPLH 遅れて VOUT が“L”から“H”に切り換わります。

④電源立ち下がり時や電源瞬断時において VDD が検出電圧 (VDET) 以下になると遅延時間 TPLH 遅れて VOUT=L になります。

⑤検出電圧と解除電圧との電位差をヒステリシス幅 (ΔVDET) といいます。このヒステリシス幅以内の電源変動では出力がばたつかず、ノイズによる誤動作を防止できるよう設計されています。

応用回路例

1) 通常の電源検出リセットとしての応用回路例を以下に示します。

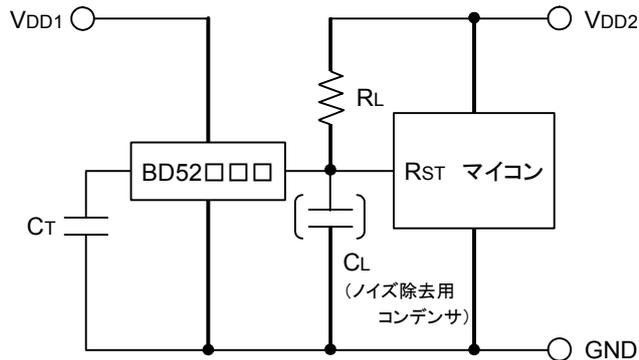
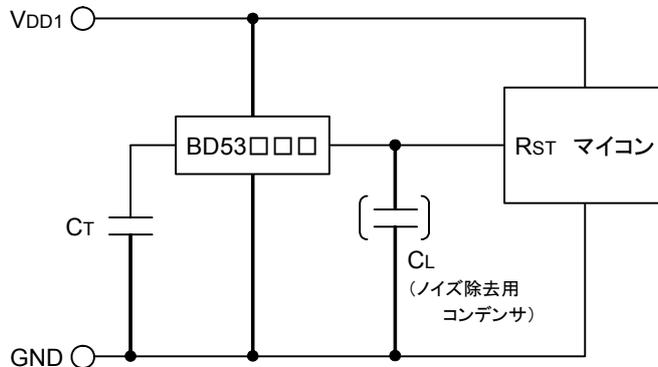


Fig.18 オープンドレイン出力タイプ



BD52□□G/FVE シリーズ(出力段がオープンドレイン)と BD53□□G/FVE シリーズ(出力段が CMOS タイプ)では出力端子の形式が異なります。使用方法の一例を次に示します。

- ①マイコンの電源 V_{DD2} とリセット検出用電源 V_{DD1} が異なる場合：
Fig.18 のようにオープンドレイン出力タイプ (BD52□□G/FVE シリーズ)の出力に負荷抵抗 R_L を V_{DD2} 側につけてお使いください。
- ②マイコンの電源とリセット電源が同一(V_{DD1})の場合：
CMOS 出力タイプ (BD53□□G/FVE シリーズ)で Fig.19 のようにお使いください。
もしくは、オープンドレイン出力タイプ (BD52□□G/FVE シリーズ)で R_L を V_{DD1} 側に接続してもお使いいただけます。

V_{OUT} 端子(マイコンのリセット信号入力端子)にノイズ除去用コンデンサ C_L を接続する場合は、 V_{OUT} 端子の立ち上がり時、及び立ち下がり時に V_{OUT} 端子の波形がなまりますので、問題がないか確認のうえ使用してください。

●使用上の注意

1. 絶対最大規格について

本製品におきましては、品質管理には十分注意を払っておりますが、印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は劣化または破壊に至る可能性があります。いかなる場合においても瞬時たりとも絶対最大定格を超えることがないように設計してください。またショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど、物理的な安全対策を施して頂けるよう御検討をお願いします。

2. GND 電位について

GND ピンの電位はいかなる動作状態においても、最低電位になるようにしてください。
また実際に過渡現象を含め GND 以下の電圧になっている端子がないか御確認ください。

3. 電気的特性について

本仕様に掲載されている電気的特性は、温度、電源電圧、外付けの回路などの条件によって変化する場合がありますので、過渡特性を含めて十分な確認をお願い致します。

4. ノイズ除去用バイパスコンデンサについて

IC の安定動作のため、電源端子と GND 間には $1\mu\text{F}$ 以上、出力端子と GND 間には 1000pF 程度のコンデンサを入れることを推奨します。

ただし極端に大きなコンデンサを使用しますと、過渡応答速度が遅くなる恐れも考えられますので、十分な確認をお願いします。

5. ピン間ショートと誤装着について

出力ピン-VDD 間、出力ピン-GND 間、及び VDD-GND 間はショートを行わないようにしてください。

また、プリント基板に取り付ける際、IC の向きや位置ずれに十分に注意してください。

誤って取り付けした場合、IC が破壊する恐れがあります。

6. 強電磁界中の動作について

強電磁界中での御使用では、誤動作をする可能性がありますので御注意ください。

7. 電源ラインのインピーダンスが高い状態で使用する場合、検出時の貫通電流により発振する場合があります。

8. 電源ラインのインピーダンスが高い場合は、VDD-GND 間(できるだけ端子に近い場所)にコンデンサを接続してください。

9. VDD が低下し動作限界電圧以下になると出力は不定となり、出力がプルアップされている時、出力は VDD になります。

10. 本 IC は、高インピーダンス設計になっているため、使用条件によっては、基板のよごれ等による予期せぬリーク経路に影響を受ける可能性があります。よって、外付け定数に十分注意してください。例えば、出力-GND 間でリークが想定される場合、プルアップ抵抗値を想定されるリーク経路のインピーダンスの $1/10$ 以下とすることを推奨致します。

11. 外付け定数について

R_L は $10\text{k}\Omega \sim 1\text{M}\Omega$ の範囲を推奨しておりますが、基板のレイアウト等により変化しますので、実動作を充分ご確認の上、ご使用ください。

12. 電源起動時のリセット動作について

電源起動時のリセット出力については、立ち上がり時間に応じて変化致しますので、充分なご確認をお願いします。

13. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分御注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

14. CMOS IC では電源投入時に内部論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、GND パターン配線の幅、引き回しに注意して下さい。

この文書の取り扱いに対して

この文書の日本語版が、正式な仕様書です。この文書の翻訳版は、正式な仕様書を読むための参考としてください。

なお、相違が生じた場合は、正式な仕様書を優先してください。

ご注意

●回路設計上の注意事項

- 1) 本製品は一般的な電子機器 (AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等) への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への損害又はその他の重大な損害の発生に関わるような機器又は装置 (医療機器、輸送機器、航空宇宙機、原子力制御、燃料制御、カーアクセリを含む車載機器、各種安全装置等) へのご使用を検討される際は事前にローム(株)営業窓口までご連絡下さいますようお願い致します。いかなる場合であっても、本製品の不具合により、人の生命、身体への損害及びその他の重大な損害の発生が予見される場合は下記の方法により、フェール設計への配慮を十分行い、安全性を確保されますようお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 2) 本製品は一般電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記のような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記特殊環境でのご使用は本製品の性能に影響を与える恐れがありますので、貴社におかれましては十分に性能、信頼性等をご確認の上ご使用下さい。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部に近接した取付け及び当製品に近接してビニル配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦無洗浄半田付けや半田付け後のフラックス洗浄で水及び水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
- 3) 本製品は耐放射線設計はなされておられません。
- 4) 本製品のご使用にあたっては貴社製品に実装された状態で評価及び確認を実施下さい。
- 5) パルス等の過渡的な負荷 (短時間での大きな負荷) が加わる場合は、貴社製品に本製品を実装した状態で必ずその評価及び確認を実施して下さい。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれる恐れがあるため必ず定格電力以下で使用して下さい。
- 6) 許容損失 (Pd) は周囲温度 (Ta) に合わせてデレーティングして下さい。
また、密閉された環境下でご使用の場合は、必ず温度測定を行い、デレーティングカーブ範囲内であることをご確認下さい。
- 7) 使用温度は納入仕様書に記載の温度範囲内であることをご確認下さい。
- 8) 本仕様書の記載内容を逸脱して本製品をご使用されたことによって生じた不具合につきましてはローム(株)では保証致し兼ねますのでご了承下さい。

●実装及び基板設計上の注意事項

- 1) ハロゲン系 (塩素系、臭素系等) の活性度の高いフラックスを使用する場合、フラックスの残さにより本製品の性能又は信頼性への影響が考えられますので、事前に貴社にてご確認下さい。
 - 2) はんだ付けはリフロー半田を原則とさせていただきます。なお、フロー方法でのご使用につきましては別途弊社までお問い合わせ願います。
- 詳細な実装及び基板設計上の注意事項につきましては別途、ローム(株)実装仕様書をご確認願います。

●応用回路、外付け回路等に関する注意事項

- 1) 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び当社部品のパラメータ等を考慮して十分なマージンをみて決定して下さい。また、特許に関しましてはローム(株)では十分な確認はできておりませんのでご了承願います。
- 2) 記載されております応用回路例やその定数などの情報につきましては、本製品の標的な動作や使い方を説明するものです。従いまして、量産設計をされる場合には、外部諸条件を考慮して戴きませぬ様お願い致します。

●静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により、製品が破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用下さい。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施下さい。(人体及び設備のアース、帯電物からの隔離、イナヱの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

●保管・運搬上の注意事項

- 1) 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与える恐れがありますのでこのような環境及び条件での保管は避けて下さい。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
- 2) ローム(株) 推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、半田付け性を確認した上でご使用頂く事を推奨します。
- 3) 製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱い下さい。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
- 4) 防湿梱包を開封した後は、規定時間内にご使用下さい。規定時間を経過した場合はベーク処置を行った上で使用下さい。

●製品ラベルに関する注意事項

ローム(株) 製品に貼付されている製品ラベルにQRコードが印字されていますが、QRコードはローム(株) 社内管理用としており、お客様と契約しております製品名が入っていない場合があります。貴社にてご使用にならないよう、お願いします。

●製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をして下さい。

●外国為替及び外国貿易法に関する注意事項

本品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、当社にお問い合わせください。

●工業所有権に関する注意事項

- 1) 本仕様書に掲載されております本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的所有権及びその他の権利について権利侵害がないことの保証を示すものではありません。従いまして、(1)上記第三者の知的財産権侵害の責任、及び(2)本製品の使用により発生するその他の責任、につきましてはローム(株)ではその責を負いかねますのであらかじめご了承下さい。
- 2) 本製品の販売は本製品自体の使用、販売及びその他の処分を除き、本製品についてローム(株)が所有または管理している工業所有権、等の知的財産権及びその他のあらゆる権利について明示的にも黙示的にも、その実施または利用を貴社に許諾するものではありません。