



## 目次

|                  |    |                        |    |
|------------------|----|------------------------|----|
| 特長 .....         | 1  | DAC部 .....             | 20 |
| アプリケーション .....   | 1  | 抵抗ストリング .....          | 20 |
| 機能ブロック図 .....    | 1  | 内部リファレンス .....         | 20 |
| 概要 .....         | 1  | 出力アンプ .....            | 21 |
| 製品のハイライト .....   | 1  | シリアル・インターフェース .....    | 21 |
| 改訂履歴 .....       | 2  | 入力シフト・レジスタ .....       | 22 |
| 仕様 .....         | 3  | SYNC割込み .....          | 22 |
| AC特性 .....       | 7  | 内部リファレンス・レジスタ .....    | 23 |
| タイミング特性 .....    | 8  | パワーオン・リセット .....       | 23 |
| 絶対最大定格 .....     | 9  | パワーダウン・モード .....       | 23 |
| ESDに関する注意 .....  | 9  | クリア・コード・レジスタ .....     | 23 |
| ピン配置と機能の説明 ..... | 10 | LDAC機能 .....           | 25 |
| 代表的な性能特性 .....   | 11 | 電源のバイパスとグラウンディング ..... | 25 |
| 用語の説明 .....      | 18 | 外形寸法 .....             | 26 |
| 動作原理 .....       | 20 | オーダー・ガイド .....         | 26 |

## 改訂履歴

**11/05—Rev. 0 to Rev. A**

|  |    |
|--|----|
| Change to General Description .....          | 1  |
| Change to Specifications .....               | 3  |
| Replaced Figure 48 .....                     | 22 |
| Change to the Power-Down Modes Section ..... | 23 |

**10/05—Revision 0: Initial Version**

## 仕様

$V_{DD}=4.5\sim 5.5V$ 、 $R_L=2k\Omega$  (GNDに接続)、 $C_L=200pF$  (GNDに接続)、 $V_{REFIN}=V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表1

| パラメータ                   | Aグレード <sup>1</sup> |      |          | Bグレード <sup>1</sup> |      |          | 単位    | 条件/備考  |
|-------------------------|--------------------|------|----------|--------------------|------|----------|-------|--|
|                         | Min                | Typ  | Max      | Min                | Typ  | Max      |       |  |
| <b>静的性能<sup>2</sup></b> |                    |      |          |                    |      |          |       |  |
| AD5678 (DAC C/D/E/F)    |                    |      |          |                    |      |          |       |  |
| 分解能                     | 12                 |      |          | 12                 |      |          | ビット   |  |
| 相対精度 (INL)              |                    | ±0.5 | ±2       |                    | ±0.5 | ±1       | LSB   | 図11を参照   |
| 微分非直線性                  |                    |      | ±0.25    |                    |      | ±0.25    | LSB   | 設計により単調増加性を保証<br>(図12を参照)                                      |
| AD5678 (DAC A/B/G/H)    |                    |      |          |                    |      |          |       |  |
| 分解能                     | 16                 |      |          | 16                 |      |          | ビット   |  |
| 相対精度 (INL)              |                    | ±8   | ±32      |                    | ±8   | ±16      | LSB   | 図5を参照  |
| 微分非直線性                  |                    |      | ±1       |                    |      | ±1       | LSB   | 設計により単調増加性を保証<br>(図6を参照)                                       |
| ゼロコード誤差                 |                    | 1    | 9        |                    | 1    | 9        | mV    | DACレジスタに全ビット<br>「0」をロード<br>(図17を参照)                            |
| ゼロコード誤差ドリフト             |                    | ±2   |          |                    | ±2   |          | μV/°C |  |
| フルスケール誤差                |                    | -0.2 | -1       |                    | -0.2 | -1       | % FSR | DACレジスタに全ビット<br>「1」をロード<br>(図18を参照)                            |
| ゲイン誤差                   |                    |      | ±1       |                    |      | ±1       | % FSR |  |
| ゲイン誤差温度係数               |                    | ±2.5 |          |                    | ±2.5 |          | ppm   | FSRのppm/°C   |
| オフセット誤差                 |                    | ±1   | ±9       |                    | ±1   | ±9       | mV    |  |
| DC電源電圧変動除去比             |                    | -80  |          |                    | -80  |          | dB    | $V_{DD}\pm 10\%$   |
| DCクロストーク<br>(外部リファレンス)  |                    | 10   |          |                    | 10   |          | μV    | フルスケール出力の変化に<br>よって発生、 $R_L=2k\Omega$<br>(GNDまたは $V_{DD}$ に接続) |
|                         |                    | 5    |          |                    | 5    |          | μV/mA | 負荷電流の変化によって発生  |
|                         |                    | 10   |          |                    | 10   |          | μV    | パワーダウンによって発生<br>(チャンネルあたり)                                     |
| DCクロストーク<br>(内部リファレンス)  |                    | 25   |          |                    | 25   |          | μV    | フルスケール出力の変化に<br>よって発生、 $R_L=2k\Omega$<br>(GNDまたは $V_{DD}$ に接続) |
|                         |                    | 10   |          |                    | 10   |          | μV/mA | 負荷電流の変化によって発生  |
| <b>出力特性<sup>3</sup></b> |                    |      |          |                    |      |          |       |  |
| 出力電圧範囲                  | 0                  |      | $V_{DD}$ | 0                  |      | $V_{DD}$ | V     |  |
| 容量性負荷安定性                |                    | 2    |          |                    | 2    |          | nF    | $R_L=\infty$   |
|                         |                    | 10   |          |                    | 10   |          | nF    | $R_L=2k\Omega$   |
| DC出力インピーダンス             |                    | 0.5  |          |                    | 0.5  |          | Ω     |  |
| 短絡電流                    |                    | 30   |          |                    | 30   |          | mA    | $V_{DD}=5V$  |
| パワーアップ時間                |                    | 4    |          |                    | 4    |          | μs    | パワーダウン・モードからの<br>復帰、 $V_{DD}=5V$                               |

# AD5678

| パラメータ                                     | Aグレード <sup>1</sup> |          |          | Bグレード <sup>1</sup> |          |          | 単位     | 条件/備考  |
|---|--------------------|----------|----------|--------------------|----------|----------|--------|--|
|   | Min                | Typ      | Max      | Min                | Typ      | Max      |        |  |
| リファレンス入力                                  |                    |          |          |                    |          |          |        |  |
| リファレンス入力電圧                                |                    | $V_{DD}$ |          |                    | $V_{DD}$ |          | V      | ±1%で規定性能を保証  |
| リファレンス電流                                  |                    | 35       | 45       |                    | 35       | 45       | μA     | $V_{REF}=V_{DD}=5.5V$<br>(DACチャンネルあたり)             |
| リファレンス入力範囲                                | 0                  |          | $V_{DD}$ | 0                  |          | $V_{DD}$ | V      |  |
| リファレンス入力インピーダンス                           |                    | 14.6     |          |                    | 14.6     |          | kΩ     | DACチャンネルあたり  |
| リファレンス出力                                  |                    |          |          |                    |          |          |        |  |
| 出力電圧                                      |                    |          |          |                    |          |          |        |  |
| AD5678-2                                  | 2.495              |          | 2.505    | 2.495              |          | 2.505    | V      | 常温   |
| リファレンスTC <sup>3</sup>                     |                    | ±5       | ±10      |                    | ±5       | ±10      | ppm/°C |  |
| リファレンス出力インピーダンス                           |                    | 7.5      |          |                    | 7.5      |          | kΩ     |  |
| ロジック入力 <sup>3</sup>                       |                    |          |          |                    |          |          |        |  |
| 入力電流                                      |                    |          | ±3       |                    |          | ±3       | μA     | 全デジタル入力  |
| ローレベル入力電圧 ( $V_{INL}$ )                   |                    |          | 0.8      |                    |          | 0.8      | V      | $V_{DD}=5V$  |
| ハイレベル入力電圧 ( $V_{INH}$ )                   | 2                  |          |          | 2                  |          |          | V      | $V_{DD}=5V$  |
| ピン容量                                      |                    | 3        |          |                    | 3        |          | pF     |  |
| 電源条件                                      |                    |          |          |                    |          |          |        |  |
| $V_{DD}$                                  | 4.5                |          | 5.5      | 4.5                |          | 5.5      | V      | すべてのデジタル入力=0V<br>または $V_{DD}$ 、DAC動作時<br>(負荷電流を除く) |
| $I_{DD}$ (ノーマル・モード) <sup>4</sup>          |                    |          |          |                    |          |          |        | $V_{IH}=V_{DD}$ および $V_{IL}=GND$                   |
| $V_{DD}=4.5\sim 5.5V$                     |                    | 1.3      | 1.8      |                    | 1.3      | 1.8      | mA     | 内部リファレンスをオフ  |
| $V_{DD}=4.5\sim 5.5V$                     |                    | 2        | 2.5      |                    | 2        | 2.5      | mA     | 内部リファレンスをオン  |
| $I_{DD}$<br>(すべてのパワーダウン・モード) <sup>5</sup> |                    |          |          |                    |          |          |        |  |
| $V_{DD}=4.5\sim 5.5V$                     |                    | 0.4      | 1        |                    | 0.4      | 1        | μA     | $V_{IH}=V_{DD}$ および $V_{IL}=GND$                   |

<sup>1</sup> 温度範囲は-40~+105°C、+25°Cで測定。

<sup>2</sup> 直線性はコード範囲を縮小して計算。AD5678の12ビットDAC (コード32~4,064)、AD5678の16ビットDAC (コード512~65,024)。出力無負荷時の条件を適用。

<sup>3</sup> これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

<sup>4</sup> インターフェースが非動作、すべてのDACが動作、DAC出力が無負荷。

<sup>5</sup> 8つすべてのDACがパワーダウンしたとき。

$V_{DD}=2.7\sim 3.6V$ 、 $R_L=2k\Omega$  (GNDに接続)、 $C_L=200pF$  (GNDに接続)、 $V_{REFIN}=V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表2

| パラメータ                   | Aグレード <sup>1</sup> |      |          | Bグレード <sup>1</sup> |      |          | 単位    | 条件/備考  |
|-------------------------|--------------------|------|----------|--------------------|------|----------|-------|--|
|                         | Min                | Typ  | Max      | Min                | Typ  | Max      |       |  |
| <b>静的性能<sup>2</sup></b> |                    |      |          |                    |      |          |       |  |
| AD5678 (DAC C/D/E/F)    |                    |      |          |                    |      |          |       |  |
| 分解能                     | 12                 |      |          | 12                 |      |          | ビット   |  |
| 相対精度 (INL)              |                    | ±0.5 | ±2       |                    | ±0.5 | ±1       | LSB   | 図11を参照   |
| 微分非直線性                  |                    |      | ±1       |                    |      | ±1       | LSB   | 設計により単調増加性を保証<br>(図12を参照)                                      |
| AD5678 (DAC A/B/G/H)    |                    |      |          |                    |      |          |       |  |
| 分解能                     | 16                 |      |          | 16                 |      |          | ビット   |  |
| 相対精度 (INL)              |                    |      | ±32      |                    |      | ±16      | LSB   | 図5を参照  |
| 微分非直線性                  |                    |      | ±1       |                    |      | ±1       | LSB   | 設計により単調増加性を保証<br>(図6を参照)                                       |
| ゼロコード誤差                 |                    | 1    | 9        |                    | 1    | 9        | mV    | DACレジスタに全ビット<br>「0」をロード<br>(図17を参照)                            |
| ゼロコード誤差ドリフト             |                    | ±2   |          |                    | ±2   |          | μV/°C |  |
| フルスケール誤差                |                    | -0.2 | -1       |                    | -0.2 | -1       | % FSR | DACレジスタに全ビット<br>「1」をロード<br>(図18を参照)                            |
| ゲイン誤差                   |                    |      | ±1       |                    |      | ±1       | % FSR |  |
| ゲイン誤差温度係数               |                    | ±2.5 |          |                    | ±2.5 |          | ppm   | FSRのppm/°C   |
| オフセット誤差                 |                    | ±1   | ±9       |                    | ±1   | ±9       | mV    |  |
| オフセット誤差温度係数             |                    | 1.7  |          |                    | 1.7  |          | μV/°C |  |
| DC電源電圧変動除去比             |                    | -80  |          |                    | -80  |          | dB    | $V_{DD}\pm 10\%$   |
| DCクロストーク<br>(外部リファレンス)  |                    | 10   |          |                    | 10   |          | μV    | フルスケール出力の変化に<br>よって発生、 $R_L=2k\Omega$<br>(GNDまたは $V_{DD}$ に接続) |
|                         |                    | 4.5  |          |                    | 4.5  |          | μV/mA | 負荷電流の変化によって発生  |
|                         |                    | 10   |          |                    | 10   |          | μV    | パワーダウンによって発生<br>(チャンネルあたり)                                     |
| DCクロストーク<br>(内部リファレンス)  |                    | 25   |          |                    | 25   |          | μV    | フルスケール出力の変化に<br>よって発生、 $R_L=2k\Omega$<br>(GNDまたは $V_{DD}$ に接続) |
|                         |                    | 4.5  |          |                    | 4.5  |          | μV/mA | 負荷電流の変化によって発生  |
| <b>出力特性<sup>3</sup></b> |                    |      |          |                    |      |          |       |  |
| 出力電圧範囲                  | 0                  |      | $V_{DD}$ | 0                  |      | $V_{DD}$ | V     |  |
| 容量性負荷安定性                |                    | 2    |          |                    | 2    |          | nF    | $R_L=\infty$   |
|                         |                    | 10   |          |                    | 10   |          | nF    | $R_L=2k\Omega$   |
| DC出力インピーダンス             |                    | 0.5  |          |                    | 0.5  |          | Ω     |  |
| 短絡電流                    |                    | 30   |          |                    | 30   |          | mA    | $V_{DD}=3V$  |
| パワーアップ時間                |                    | 4    |          |                    | 4    |          | μs    | パワーダウン・モードから<br>の復帰、 $V_{DD}=3V$                               |

# AD5678

| パラメータ  | Aグレード <sup>1</sup> |                 |                 | Bグレード <sup>1</sup> |                 |                 | 単位     | 条件/備考  |
|--|--------------------|-----------------|-----------------|--------------------|-----------------|-----------------|--------|--|
|  | Min                | Typ             | Max             | Min                | Typ             | Max             |        |  |
| リファレンス入力   |                    |                 |                 |                    |                 |                 |        |  |
| リファレンス入力電圧                                       |                    | V <sub>DD</sub> |                 |                    | V <sub>DD</sub> |                 | V      | ±1%で規定性能を保証  |
| リファレンス電流   |                    | 20              | 20              |                    | 20              | 20              | μA     | VREF=V <sub>DD</sub> =3.6V<br>(DACチャンネルあたり)              |
| リファレンス入力範囲                                       | 0                  |                 | V <sub>DD</sub> | 0                  |                 | V <sub>DD</sub> | V      |  |
| リファレンス入力インピーダンス                                  |                    | 14.6            |                 |                    | 14.6            |                 | kΩ     | DACチャンネルあたり  |
| リファレンス出力   |                    |                 |                 |                    |                 |                 |        |  |
| 出力電圧   |                    |                 |                 |                    |                 |                 |        |  |
| AD5678-1   | 1.247              |                 | 1.253           | 1.247              |                 | 1.253           | V      | 常温   |
| リファレンスTC <sup>3</sup>                            |                    | ±5              | ±15             |                    | ±5              | ±15             | ppm/°C |  |
| リファレンス出力インピーダンス                                  |                    | 7.5             |                 |                    | 7.5             |                 | kΩ     |  |
| ロジック入力 <sup>3</sup>                              |                    |                 |                 |                    |                 |                 |        |  |
| 入力電流   |                    |                 | ±3              |                    |                 | ±3              | μA     | 全デジタル入力  |
| ローレベル入力電圧 (V <sub>INL</sub> )                    |                    |                 | 0.8             |                    |                 | 0.8             | V      | V <sub>DD</sub> =3V                                      |
| ハイレベル入力電圧 (V <sub>INH</sub> )                    | 2                  |                 |                 | 2                  |                 |                 | V      | V <sub>DD</sub> =3V                                      |
| ピン容量   |                    | 3               |                 |                    | 3               |                 | pF     |  |
| 電源条件   |                    |                 |                 |                    |                 |                 |        |  |
| V <sub>DD</sub>                                  | 2.7                |                 | 3.6             | 2.7                |                 | 3.6             | V      | すべてのデジタル入力=0V<br>またはV <sub>DD</sub> 、DAC動作時<br>(負荷電流を除く) |
| I <sub>DD</sub> (ノーマル・モード) <sup>4</sup>          |                    |                 |                 |                    |                 |                 |        | V <sub>IH</sub> =V <sub>DD</sub> およびV <sub>IL</sub> =GND |
| V <sub>DD</sub> =2.7~3.6V                        |                    | 1.2             | 1.5             |                    | 1.2             | 1.5             | mA     | 内部リファレンスをオフ  |
| V <sub>DD</sub> =2.7~3.6V                        |                    | 1.7             | 2.25            |                    | 1.7             | 2.25            | mA     | 内部リファレンスをオン  |
| I <sub>DD</sub><br>(すべてのパワーダウン・モード) <sup>5</sup> |                    |                 |                 |                    |                 |                 |        |  |
| V <sub>DD</sub> =2.7~3.6V                        |                    | 0.2             | 1               |                    | 0.2             | 1               | μA     | V <sub>IH</sub> =V <sub>DD</sub> およびV <sub>IL</sub> =GND |

<sup>1</sup> 温度範囲は-40~+105°C、+25°Cで測定。

<sup>2</sup> 直線性はコード範囲を縮小して計算。AD5678の12ビットDAC (コード32~4,064)、AD5678の16ビットDAC (コード512~65,024)。出力無負荷時の条件を適用。

<sup>3</sup> これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

<sup>4</sup> インターフェースが非動作、すべてのDACが動作、DAC出力が無負荷。

<sup>5</sup> 8つすべてのDACがパワーダウンしたとき。

## AC特性

$V_{DD}=2.7\sim 5.5V$ 、 $R_L=2k\Omega$  (GNDに接続)、 $C_L=200pF$  (GNDに接続)、 $V_{REFIN}=V_{DD}$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表3

| パラメータ <sup>1,2</sup>   | Min | Typ | Max | 単位             | 条件/備考 <sup>3</sup>                             |
|------------------------|-----|-----|-----|----------------|--|
| 出力電圧セトリング時間            |     | 6   | 10  | $\mu s$        | コード1/4~3/4スケール ( $\pm 2LSB$ 以内)                |
| スルーレート                 |     | 1.5 |     | $V/\mu s$      |  |
| デジタルからアナログへのグリッチ・インパルス |     | 4   |     | $nV\cdot s$    | メジャー・キャリア周辺の1LSB変化<br>(図34を参照)                 |
| デジタル・フィードスルー           |     | 0.1 |     | $nV\cdot s$    |  |
| リファレンス・フィードスルー         |     | -90 |     | dB             | $V_{REF}=2V\pm 0.1V_{p-p}$ 、<br>周波数=10Hz~20MHz |
| デジタル・クロストーク            |     | 0.5 |     | $nV\cdot s$    |  |
| アナログ・クロストーク            |     | 2.5 |     | $nV\cdot s$    |  |
| DAC間クロストーク             |     | 3   |     | $nV\cdot s$    |  |
| 乗算帯域幅                  |     | 340 |     | kHz            | $V_{REF}=2V\pm 0.2V_{p-p}$                     |
| 全高調波歪み                 |     | -80 |     | dB             | $V_{REF}=2V\pm 0.1V_{p-p}$ 、周波数=10kHz          |
| 出力ノイズ・スペクトル密度          |     | 120 |     | $nV/\sqrt{Hz}$ | DACコード=0x8400、1kHz                             |
|                        |     | 100 |     | $nV/\sqrt{Hz}$ | DACコード=0x8400、10kHz                            |
| 出力ノイズ                  |     | 15  |     | $\mu V_{p-p}$  | 0.1~10Hz                                       |

<sup>1</sup> これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

<sup>2</sup> 「用語の説明」を参照してください。

<sup>3</sup> 温度範囲は-40~+105°C。+25°Cで測定。

# AD5678

## タイミング特性

入力信号はすべて、 $t_r = t_f = 1\text{ns}/V$  ( $V_{DD}$ の10~90%)の条件で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからのタイミングを計測しています(図2を参照)。 $V_{DD} = 2.7 \sim 5.5\text{V}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表4

| パラメータ    | $T_{MIN}$ 、 $T_{MAX}$ 時の限界値<br>$V_{DD} = 2.7 \sim 5.5\text{V}$ | 単位       | 条件/備考   |
|----------|--|----------|---|
| $t_1^1$  | 20   | ns (min) | SCLKサイクル時間  |
| $t_2$    | 8  | ns (min) | SCLKハイレベル時間   |
| $t_3$    | 8  | ns (min) | SCLKローレベル時間   |
| $t_4$    | 13   | ns (min) | $\overline{\text{SYNC}}$ からSCLKの立下がりエッジまでのセットアップ時間    |
| $t_5$    | 4  | ns (min) | データのセットアップ時間  |
| $t_6$    | 4  | ns (min) | データのホールド時間  |
| $t_7$    | 0  | ns (min) | SCLKの立下がりエッジから $\overline{\text{SYNC}}$ の立上がりエッジまでの時間 |
| $t_8$    | 15   | ns (min) | 最小の $\overline{\text{SYNC}}$ ハイレベル時間                  |
| $t_9$    | 13   | ns (min) | $\overline{\text{SYNC}}$ の立上がりエッジからSCLKの立下がりエッジまでの時間  |
| $t_{10}$ | 0  | ns (min) | SCLKの立下がりエッジから $\overline{\text{SYNC}}$ の立下がりエッジまでの時間 |
| $t_{11}$ | 10   | ns (min) | $\overline{\text{LDAC}}$ ローレベル・パルス幅                   |
| $t_{12}$ | 15   | ns (min) | SCLKの立下がりエッジから $\overline{\text{LDAC}}$ の立上がりエッジまでの時間 |
| $t_{13}$ | 5  | ns (min) | $\overline{\text{CLR}}$ ローレベル・パルス幅                    |
| $t_{14}$ | 0  | ns (min) | SCLK立下がりエッジから $\overline{\text{LDAC}}$ 立下がりエッジまでの時間   |
| $t_{15}$ | 300  | ns (typ) | $\overline{\text{CLR}}$ パルスのアクティブ時間                   |

<sup>1</sup> SCLKの最大周波数は、 $V_{DD} = 2.7 \sim 5.5\text{V}$ で50MHzです。これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

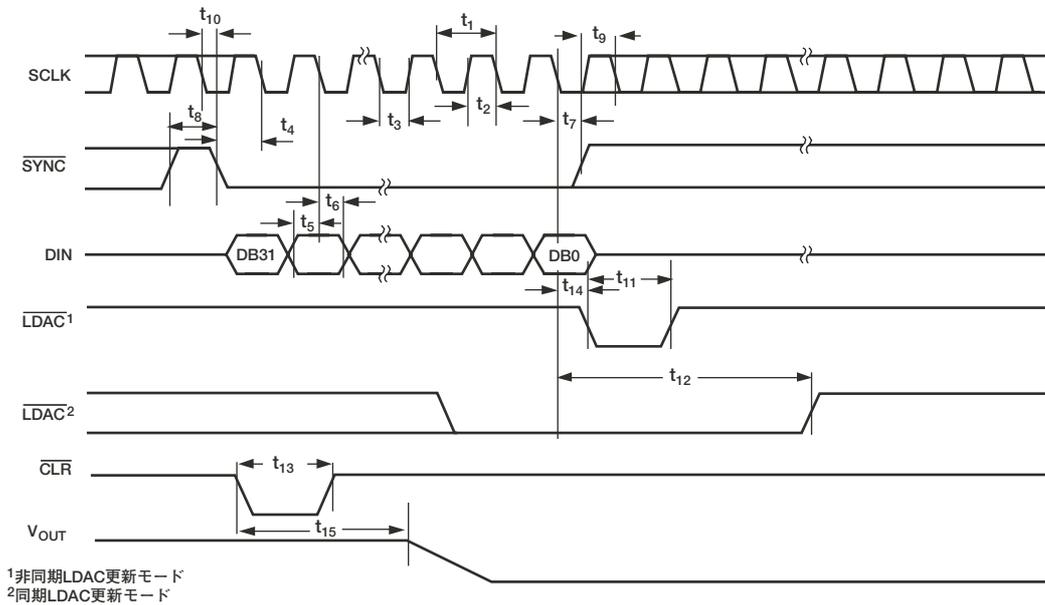


図2. シリアル書き込み動作のタイミング

200-66250

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表5

| パラメータ                           | 定格値                                   |
|---------------------------------|---------------------------------------|
| GNDに対する $V_{DD}$                | $-0.3\sim+7\text{V}$                  |
| GNDに対するデジタル入力電圧                 | $-0.3\text{V}\sim V_{DD}+0.3\text{V}$ |
| GNDに対する $V_{REFIN}/V_{REFOUT}$  | $-0.3\text{V}\sim V_{DD}+0.3\text{V}$ |
| 動作温度範囲                          |                                       |
| 工業用 (Bバージョン)                    | $-40\sim+105^{\circ}\text{C}$         |
| 保存温度範囲                          | $-65\sim+150^{\circ}\text{C}$         |
| ジャンクション温度 ( $T_{j\text{max}}$ ) | $+150^{\circ}\text{C}$                |
| TSSOPパッケージ                      |                                       |
| 消費電力                            | $(T_{j\text{MAX}}-T_A)/\theta_{JA}$   |
| $\theta_{JA}$ 熱抵抗               | $150.4^{\circ}\text{C}/\text{W}$      |
| ピン温度、ハンダ処理                      |                                       |
| SnPb                            | $240^{\circ}\text{C}$                 |
| 鉛フリー                            | $260^{\circ}\text{C}$                 |

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないうまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



# AD5678

## ピン配置と機能の説明

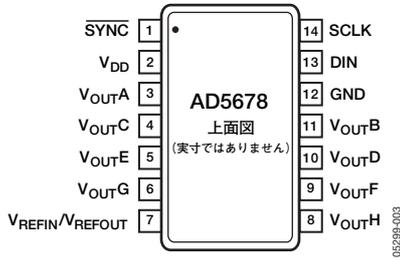


図3. 14ピンTSSOP (RU-14)

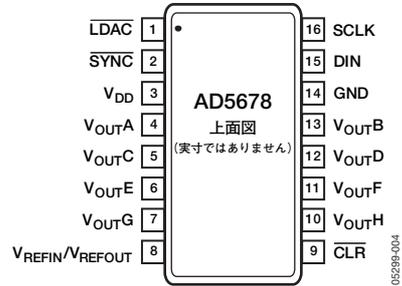


図4. 16ピンTSSOP (RU-16)

表6. ピン機能の説明

| ピン番号       |            | 記号                                   | 説明   |
|------------|------------|--------------------------------------|--|
| 14ピン TSSOP | 16ピン TSSOP |                                      |  |
| -          | 1          | $\overline{\text{LDAC}}$             | このピンをローレベルにすると、入力レジスタに新しいデータがあれば、内蔵DACレジスタのいずれかまたは全部を更新できます。この設定によって、すべてのDAC出力を同時に更新できます。ピンを常にローレベルに設定しておくこともできます。   |
| 1          | 2          | $\overline{\text{SYNC}}$             | アクティブ・ローの制御入力。これは、入力データに対するフレーム同期信号です。 $\overline{\text{SYNC}}$ がローレベルになると、 $\text{SCLK}$ および $\text{DIN}$ バッファがパワーオンし、入力シフト・レジスタがイネーブルになります。データは後続の32個のクロックの立下がりエッジで入力されます。32番目のクロックのエッジが立ち下がる前に $\overline{\text{SYNC}}$ をハイレベルに設定すると、 $\overline{\text{SYNC}}$ の立ち上がりエッジは割込みとして機能し、DACは書き込みシーケンスを無視します。 |
| 2          | 3          | $V_{\text{DD}}$                      | 電源入力。AD5678は、2.7~5.5Vで動作します。10 $\mu\text{F}$ と0.1 $\mu\text{F}$ のコンデンサを並列に接続して、GNDにデカップリングしてください。  |
| 3          | 4          | $V_{\text{OUTA}}$                    | DAC Aからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。  |
| 11         | 13         | $V_{\text{OUTB}}$                    | DAC Bからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。  |
| 4          | 5          | $V_{\text{OUTC}}$                    | DAC Cからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。  |
| 10         | 12         | $V_{\text{OUTD}}$                    | DAC Dからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。  |
| 7          | 8          | $V_{\text{REFIN}}/V_{\text{REFOUT}}$ | AD5678には、リファレンス入出力用として1本のコモン・ピンがあります。このピンは、内部リファレンスを使用する場合はリファレンス出力ピンに、外部リファレンスを使用する場合はリファレンス入力ピンになります。デフォルトではリファレンス入力ピンです。  |
| -          | 9          | $\overline{\text{CLR}}$              | 非同期クリア入力。 $\overline{\text{CLR}}$ 入力は、立下がりエッジでアクティブになります。 $\overline{\text{CLR}}$ がローレベルの場合、すべての $\overline{\text{LDAC}}$ パルスが無視されます。 $\overline{\text{CLR}}$ 入力がアクティブになると、 $\overline{\text{CLR}}$ コード・レジスタに含まれるデータで入力レジスタとDACレジスタがゼロ、ミッドスケール、フルスケールのいずれかに更新されます。デフォルトでは出力が0Vにクリアされます。                    |
| 5          | 6          | $V_{\text{OUTE}}$                    | DAC Eからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。  |
| 9          | 11         | $V_{\text{OUTF}}$                    | DAC Fからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。  |
| 6          | 7          | $V_{\text{OUTG}}$                    | DAC Gからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。  |
| 8          | 10         | $V_{\text{OUTH}}$                    | DAC Hからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。  |
| 12         | 14         | GND                                  | デバイス上の全回路に対するグラウンド基準ポイント   |
| 13         | 15         | DIN                                  | シリアル・データ入力。AD5678には、32ビットのシフト・レジスタが内蔵されています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。  |
| 14         | 16         | SCLK                                 | シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジで、入力シフト・レジスタに入力されます。データは最大50MHzのレートで転送できます。  |

## 代表的な性能特性

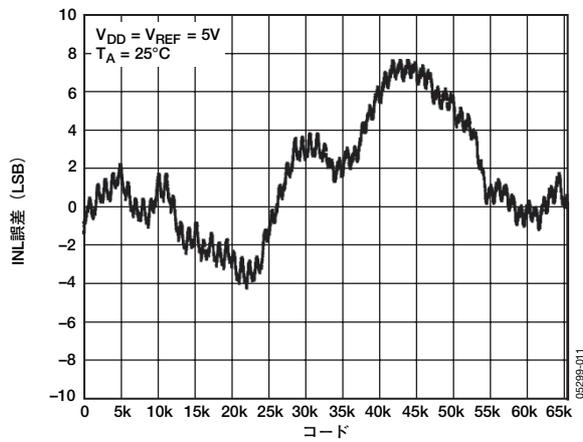


図5. INL (16ビットDAC)

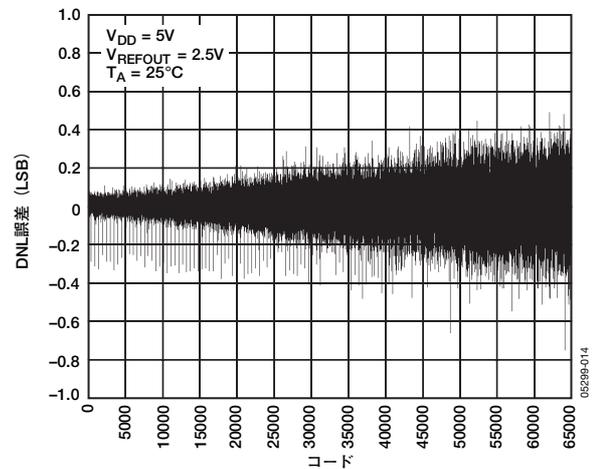


図8. DNL (16ビットDAC、2.5Vの内部リファレンス)

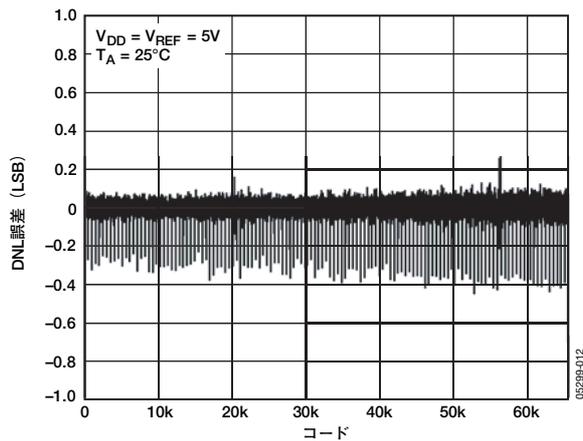


図6. DNL (16ビットDAC)

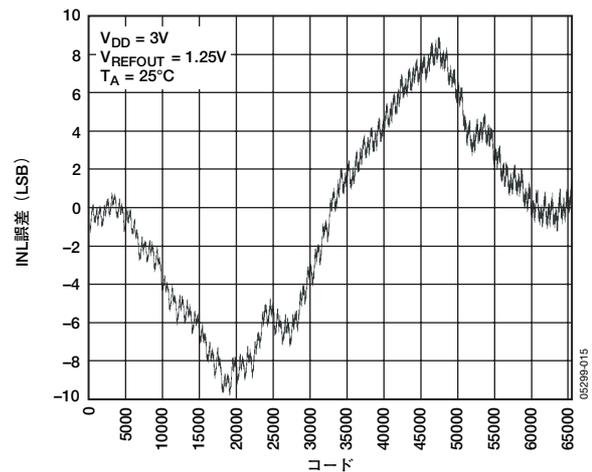


図9. INL (16ビットDAC、1.25Vの内部リファレンス)

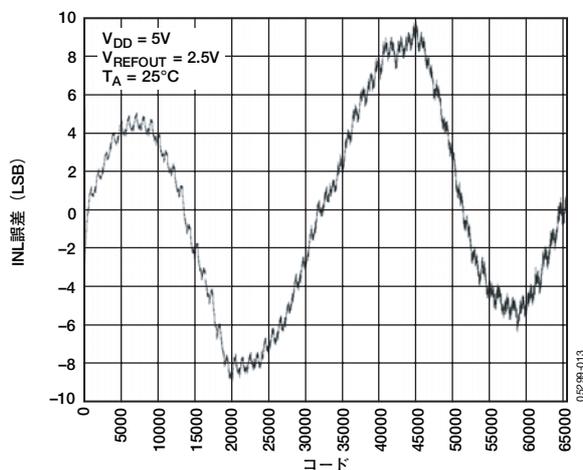


図7. INL (16ビットDAC、2.5Vの内部リファレンス)

# AD5678

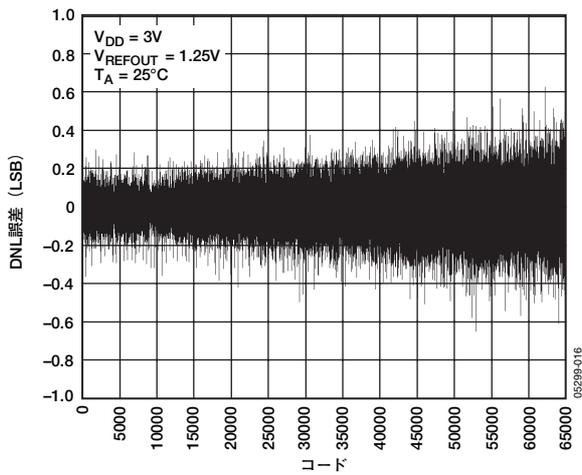


図10. DNL (16ビットDAC、1.25Vの内部リファレンス)

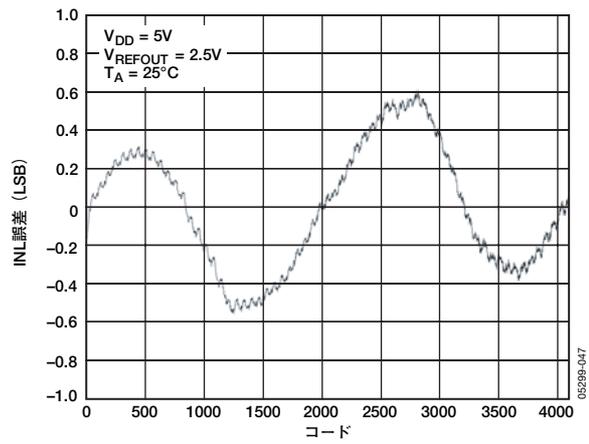


図13. INL (12ビットDAC、2.5Vの内部リファレンス)

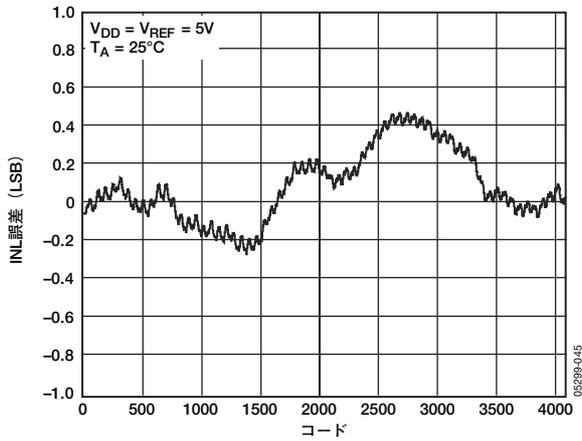


図11. INL (12ビットDAC)

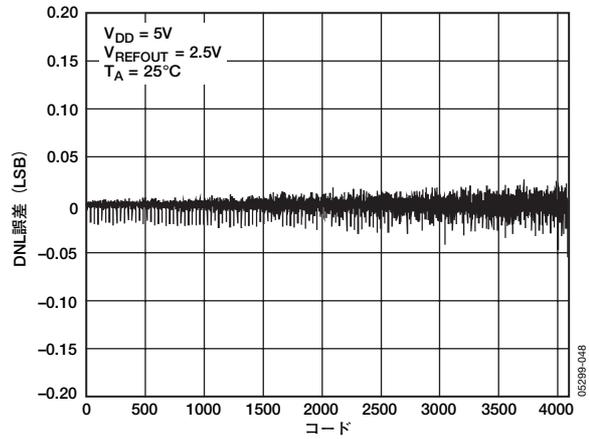


図14. DNL (12ビットDAC、2.5Vの内部リファレンス)

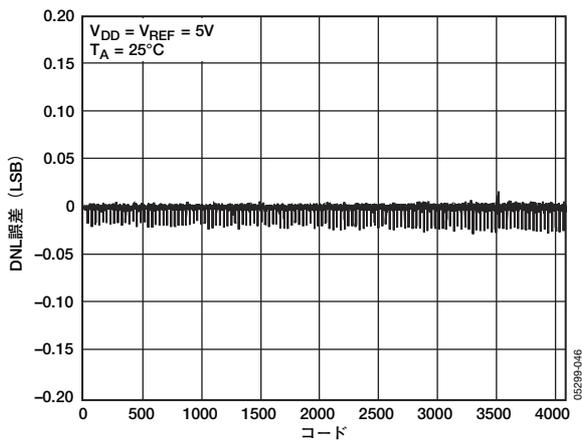


図12. DNL (12ビットDAC)

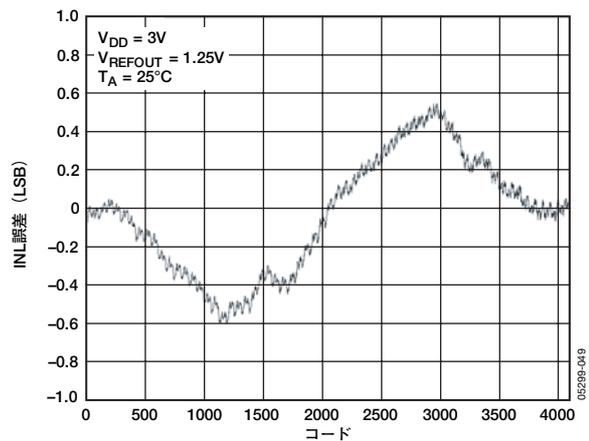


図15. INL (12ビットDAC、1.25Vの内部リファレンス)

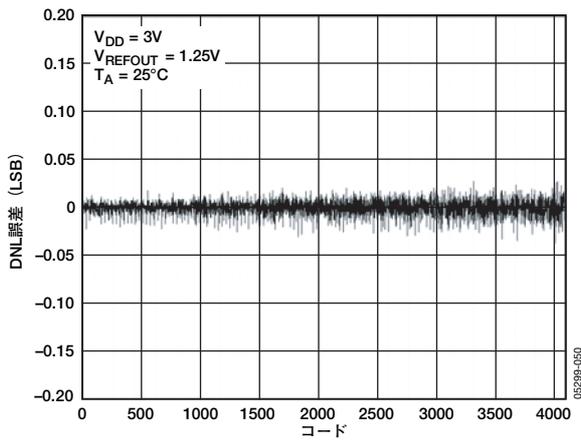


図16. DNL (12ビットDAC、1.25Vの内部リファレンス)

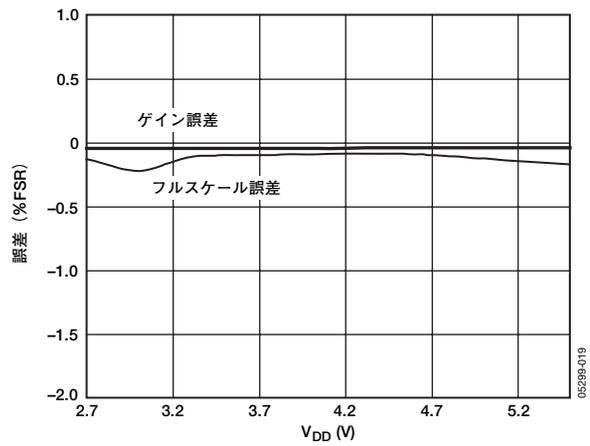


図19. 電源電圧 対 ゲイン誤差およびフルスケール誤差

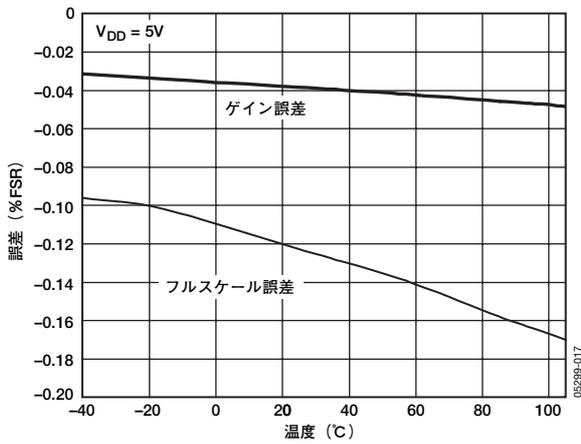


図17. ゲイン誤差とフルスケール誤差の温度特性

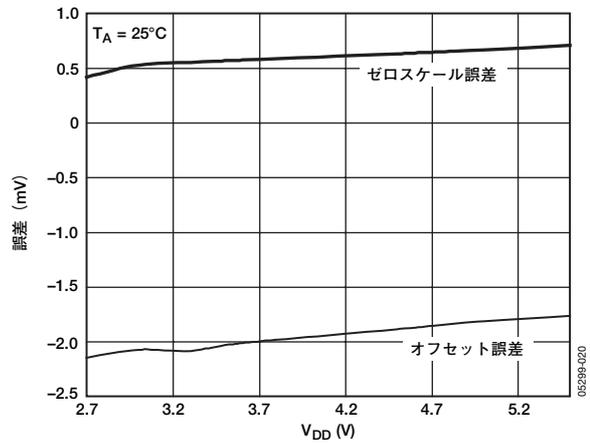


図20. 電源電圧 対 ゼロスケール誤差およびオフセット誤差

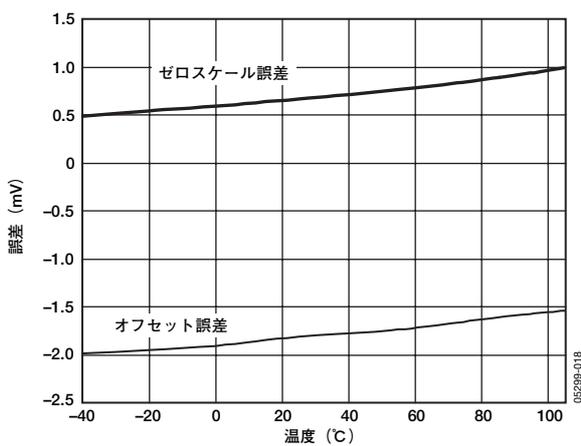


図18. ゼロスケール誤差とオフセット誤差の温度特性

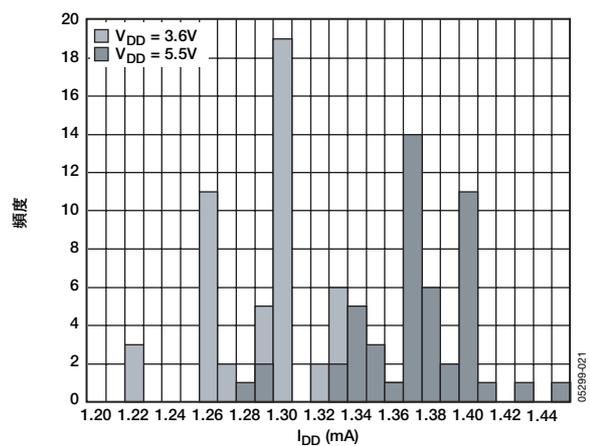


図21. 外部リファレンス使用時のIDDヒストグラム

# AD5678

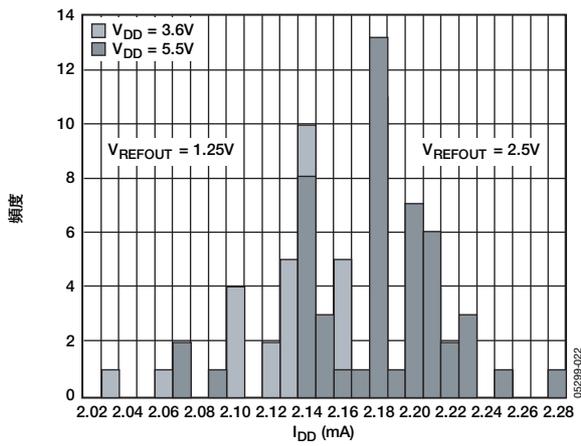


図22. 内部リファレンス使用時の $I_{DD}$ ヒストグラム

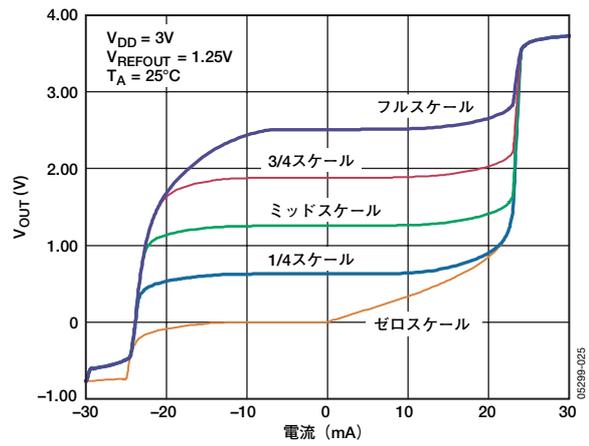


図25. ソース能力とシンク能力 (AD5678-1)

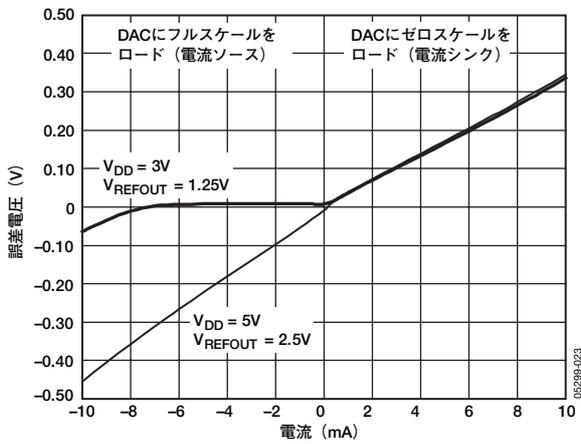


図23. ソースおよびシンク電流 対 電源レールのヘッドルーム

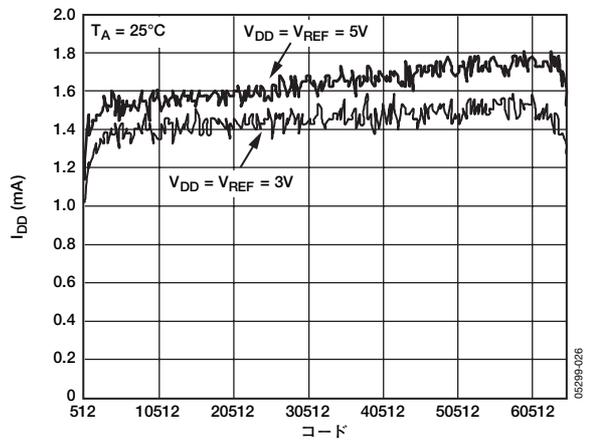


図26. コード 対 電源電流

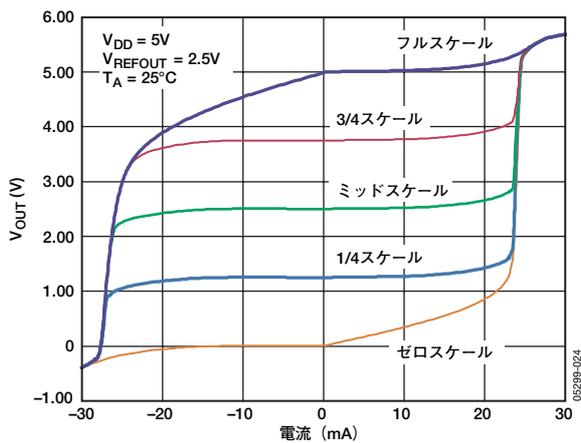


図24. ソース能力とシンク能力 (AD5678-2)

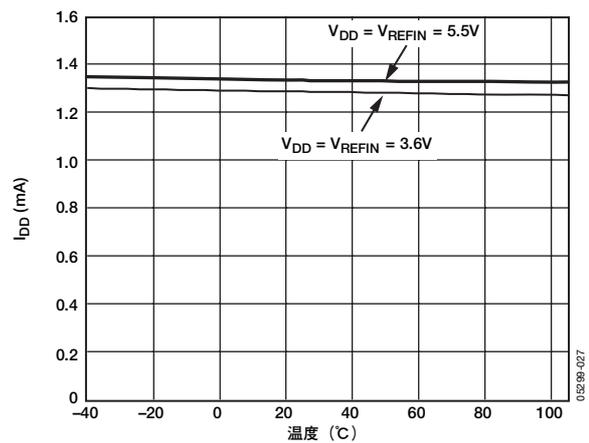


図27. 電源電流の温度特性

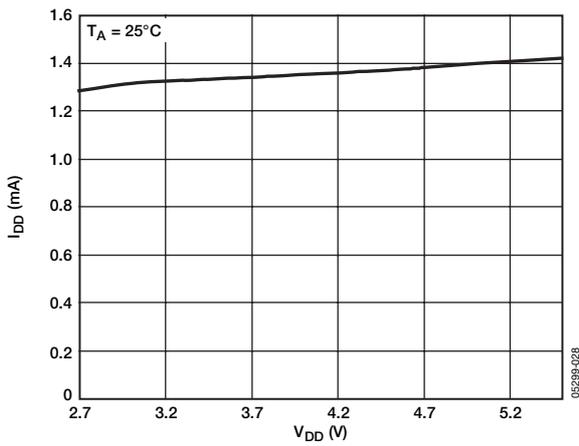


図28. 電源電圧 対 電源電流

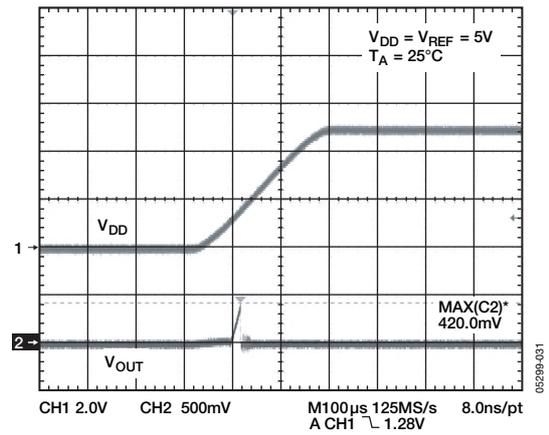


図31. パワーオン・リセット時の0V出力

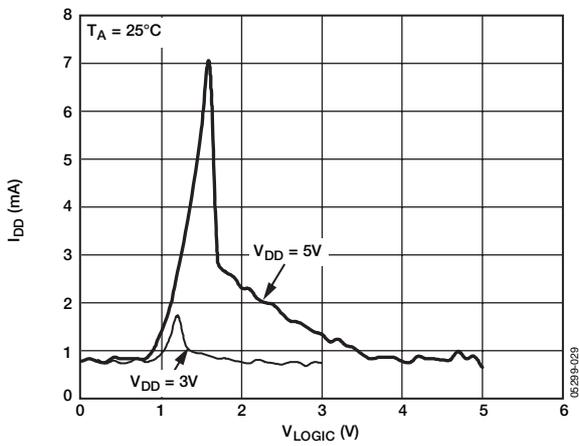


図29. ロジック入力電圧 対 電源電流

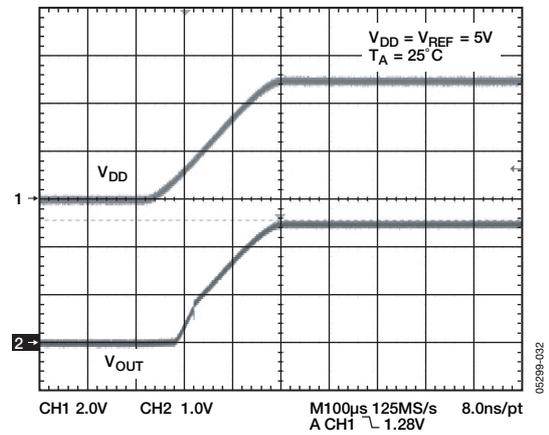


図32. パワーオン・リセット時の  
ミッドスケール出力

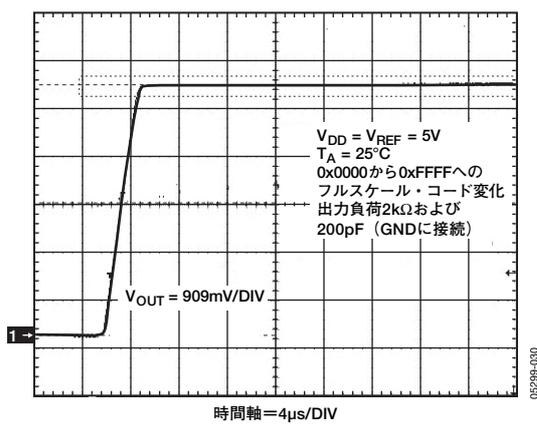


図30. フルスケール・セトリング時間 (5V)

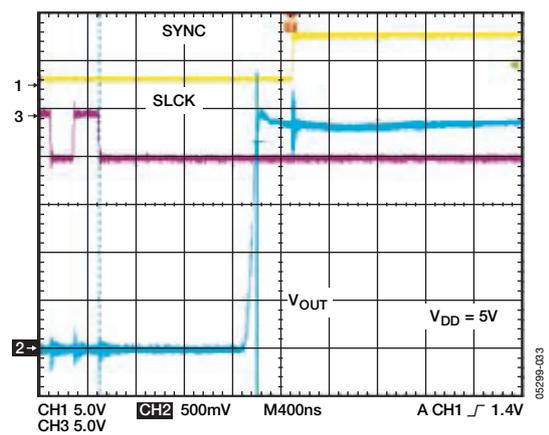


図33. パワーダウン終了後のパワーオン・  
リセット時のミッドスケール出力

# AD5678

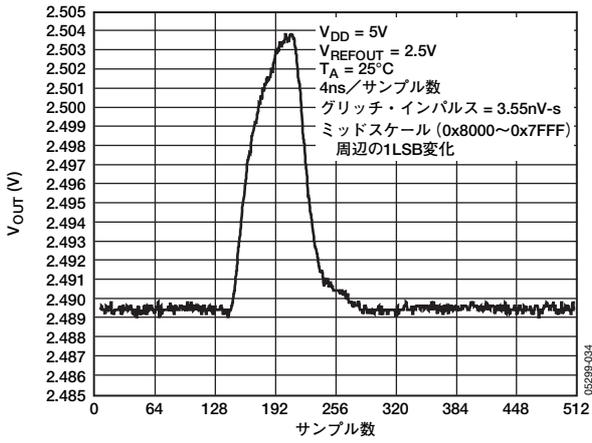


図34. デジタルからアナログへの  
グリッチ・インパルス (負極性)

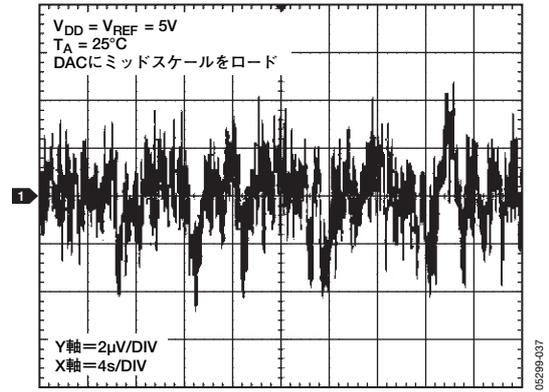


図37. 0.1~10Hz出カノイズのプロット  
(外部リファレンス使用時)

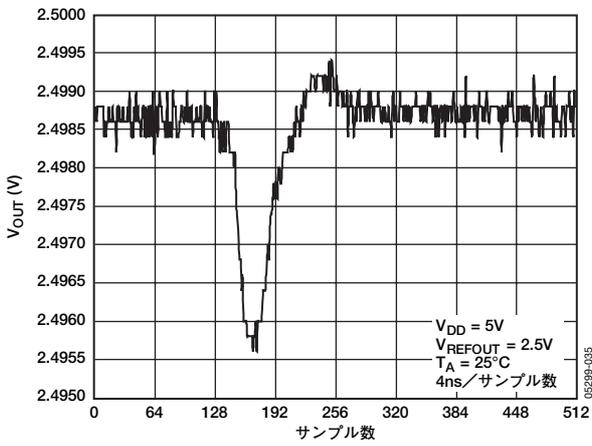


図35. アナログ・クロストーク

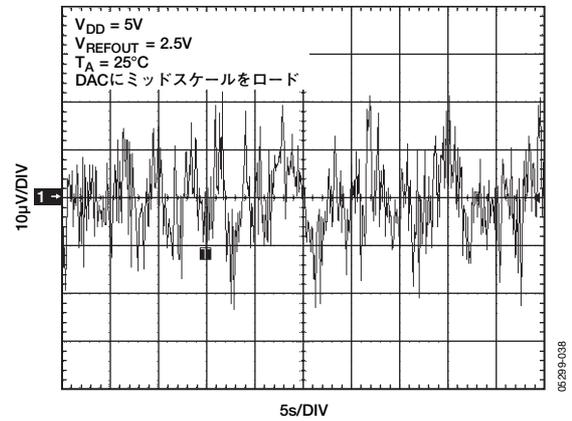


図38. 0.1~10Hz出カノイズのプロット  
(内部リファレンス使用時)

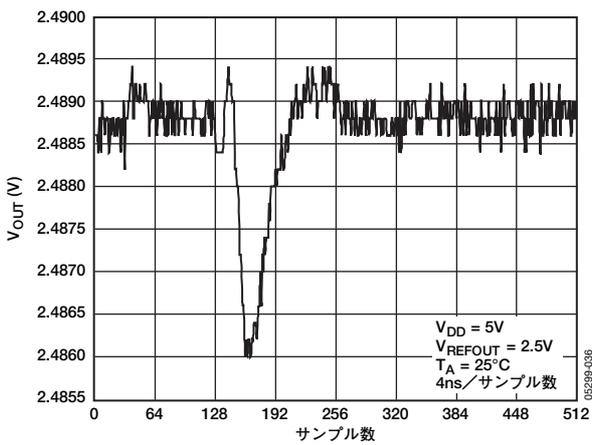


図36. DAC間クロストーク

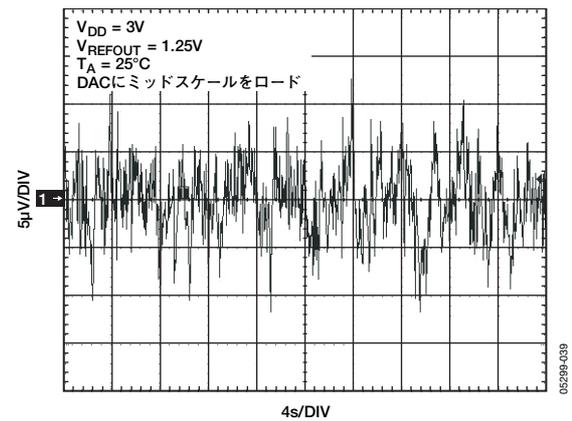


図39. 0.1~10Hz出カノイズのプロット  
(内部リファレンス使用時)

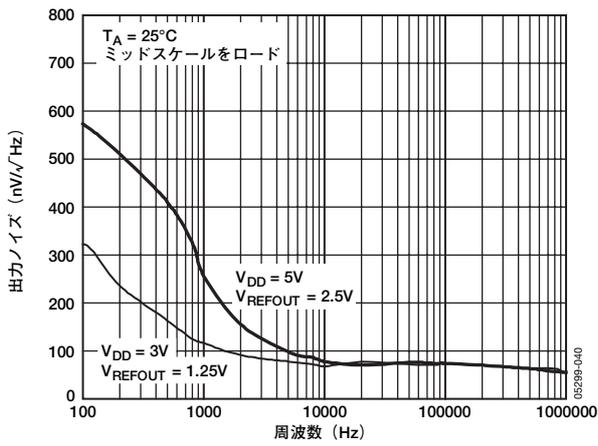


図40. ノイズ・スペクトル密度  
(内部リファレンス使用時)

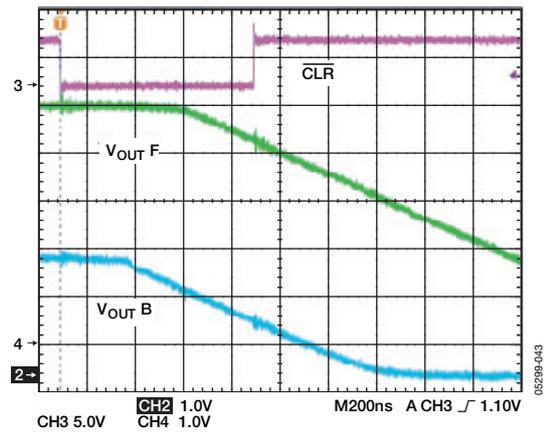


図43. ハードウェアCLR

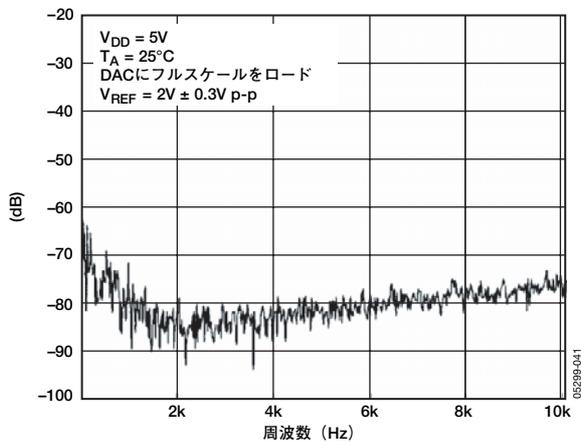


図41. 全高調波歪み

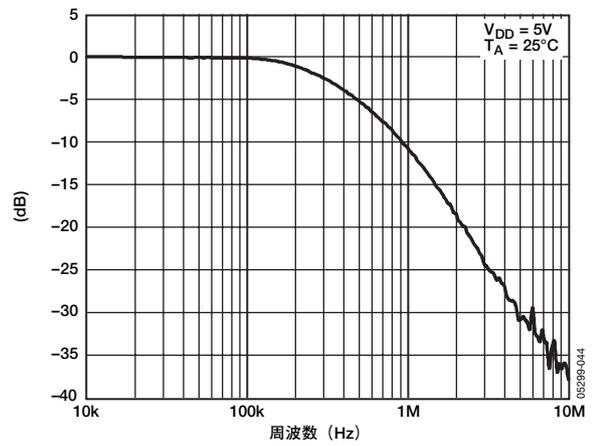


図44. 乗算帯域幅

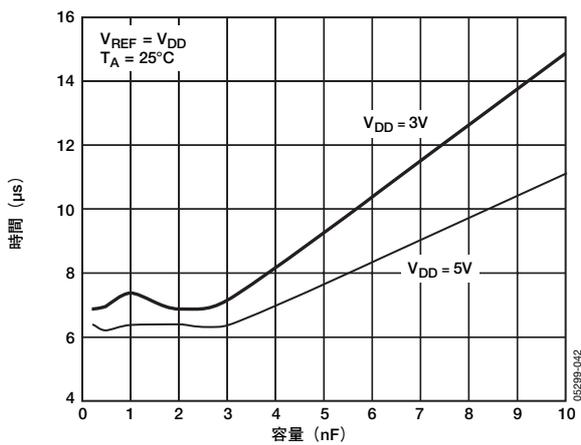


図42. 容量性負荷 対 セトリング時間

## 用語の説明

### 相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。代表的なコードとINLの関係を図5、図7、図9に示します。

### 微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が $\pm 1$ LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係を図6、図8、図10に示します。

### オフセット誤差

伝達関数の直線領域における $V_{OUT}$  (実際の出力電圧) と $V_{OUT}$  (理想的な出力電圧) との差をmVの単位で表します。AD5678のオフセット誤差は、コード512をDACレジスタにロードして測定します。これは正または負の値となります。

### ゼロコード誤差

ゼロコード (0x0000) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずですが、AD5678ではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。ゼロコード誤差の温度特性を図18に示します。

### ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

### ゼロコード誤差ドリフト

温度変化にともなうゼロコード誤差の変化を表し、 $\mu V/^\circ C$ の単位で表します。

### ゲイン誤差ドリフト

温度変化にともなうゲイン誤差の変化を表し、(フルスケール・レンジのppm) / $^\circ C$ の単位で表します。

### フルスケール誤差

フルスケール・コード (0xFFFF) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{DD} - 1$ LSBになるはずですが、フルスケール誤差は、フルスケール・レンジの%値で表します。フルスケール誤差の温度特性を図17に示します。

### デジタルからアナログへのグリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリアの遷移 (0x7FFFから0x8000) 時に、デジタル入力コードが1LSB変化したときの測定値です。図34を参照。

### DC電源電圧変動除去比 (PSRR)

電源電圧の変動がDACの出力に与える影響を示します。PSRRは、DACのフルスケール出力に関する $V_{OUT}$ の変動と $V_{DD}$ の変動の比を表します。これはdBの単位で測定します。 $V_{REF}$ を2Vに保持し、 $V_{DD}$ を $\pm 10\%$ のレンジで変動させます。

### DCクロストーク

1つのDACの出力変化に応じて別のDACで発生する出力レベルのDC変化です。これは、1つのDAC上でフルスケール出力変化が発生するとき (または、ソフト・パワーダウンおよびパワーアップ時) に、別のDACをモニタしながら測定します。これは $\mu V$ の単位で表します。

負荷電流の変化によって発生するDCクロストークは、1つのDACの負荷電流が変化するとき、これがミッドスケールに維持された別のDACに対して及ぼす影響度を測定したものです。これは $\mu V/mA$ の単位で表します。

### リファレンス・フィードスルー

DAC出力の更新が行われていない ( $\overline{LDAC}$ がハイレベル) ときのDAC出力の信号振幅とリファレンス電圧入力との比を示します。これはdBの単位で表します。

### チャンネル間絶縁

チャンネル間絶縁は、1つのDACの出力信号振幅と別のDACのリファレンス入力電圧サイン波との比です。これはdBの単位で表します。

### デジタル・フィードスルー

DACの書き込み動作が実行されていないとき ( $\overline{SYNC}$ がハイレベルに保持されているとき) に、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、デジタル入力ピン上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

### デジタル・クロストーク

1つのDACの入力レジスタでフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに、これに応じてミッドスケールで別のDACの出力に注入されるグリッチ・インパルスです。これはスタンドアロン・モードで測定し、nV-sの単位で表します。

### アナログ・クロストーク

1つのDACの出力変化によって別のDACの出力に注入されるグリッチ・インパルスです。この測定は、 $\overline{\text{LDAC}}$ をハイレベルに維持して、フルスケールのコード変化、すなわち全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」のコード遷移を1つの入力レジスタにロードし、その後 $\overline{\text{LDAC}}$ をローレベルに設定し、デジタル・コードの変化が見られないDACの出力をモニタする方法で行われます。グリッチの面積はnV-sの単位で表します。

### DAC間クロストーク

DAC間クロストークは、1つのDACのデジタル・コード変化とその後発生する出力変化によって、別のDACの出力に注入されるグリッチ・インパルスです。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。この測定は、 $\overline{\text{LDAC}}$ をローレベルに維持して、フルスケールのコード変化、すなわち全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」のコード遷移を内蔵DACのうち1つにロードし、別のDACの出力をモニタする方法で行われます。グリッチ・エネルギーはnV-sの単位で表します。

### 乗算帯域幅

DACに内蔵されるアンプの帯域幅は有限です。乗算帯域幅はそれを測定したものです。リファレンス端子に与えられたサイン波（フルスケールのコードをDACにロードした状態のとき）が出力上に現れます。乗算帯域幅は、出力振幅が入力したサイン波よりも3dB低いレベルに低下するときの周波数です。

### 全高調波歪み (THD)

DACを使用して減衰されるサイン波と理想的なサイン波との偏差です。サイン波はDACのリファレンスとして使用され、THDはDACの出力上に存在する高調波成分の測定値です。これはdBの単位で測定します。

# AD5678

## 動作原理

### DAC部

AD5678 DACは、CMOSプロセスを用いて製造されています。このアーキテクチャは、ストリングDACとその後段の出力バッファ・アンプから構成されています。このデバイスは、1.25/2.5V出力の5ppm/°Cリファレンスを内蔵しており、内部では2倍のゲインアップが行われます。DACアーキテクチャのブロック図を図45に示します。

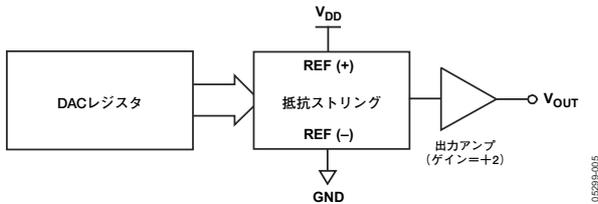


図45. DACアーキテクチャ

DACの入力コーディングはストレート・バイナリであるため、外部リファレンス使用時の理論的な出力電圧は以下の式から求められます。

$$V_{OUT} = V_{REFIN} \times \left( \frac{D}{2^N} \right)$$

内部リファレンス使用時の理論的な出力電圧は以下の式から求められます。

$$V_{OUT} = 2 \times V_{REFIN} \times \left( \frac{D}{2^N} \right)$$

ここで、 $D$ は、DACレジスタにロードされるバイナリ・コードの10進値で、次の値になります。

AD5678 (DAC C/D/E/F) (12ビット) では0~4,095

AD5678 (DAC A/B/G/H) (16ビット) では0~65,535

$N$ はDAC分解能です。

### 抵抗ストリング

抵抗ストリングの構造を図46に示します。各値が $R$ のシンプルな抵抗のストリングになっています。DACレジスタにロードされるコードにより、このストリング上のどのノードから出力アンプに電圧を供給するかが決まります。ストリングとアンプを接続しているスイッチの1つを閉じることで、電圧が出力アンプに供給されます。これは抵抗のストリングであるため、単調増加性が保証されます。

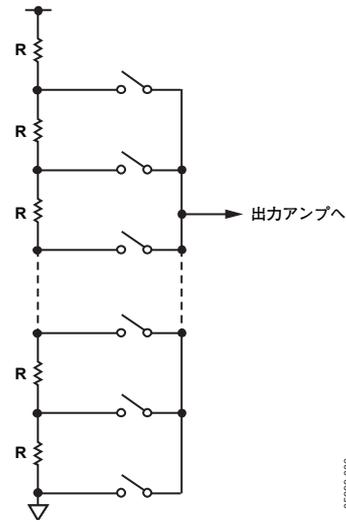


図46. 抵抗ストリング

### 内部リファレンス

AD5678は、内部ゲイン2のオンチップ・リファレンスを備えています。AD5678-1は1.25V出力の5ppm/°Cリファレンスを内蔵し、2.5Vのフルスケール出力電圧を提供します。AD5678-2は2.5V出力の5ppm/°Cリファレンスを内蔵し、5Vのフルスケール出力電圧を提供します。この内部リファレンスはパワーアップ時にオフになるため、外部リファレンスも使用できます。内部リファレンスは、コントロール・レジスタへの書込みによってイネーブルになります (表7を参照)。

各デバイスの内部リファレンスは、 $V_{REFOUT}$ ピンから外部で使用することも可能です。リファレンス出力を使用して外部負荷を駆動する場合は、バッファが必要です。内部リファレンスを使用する場合は、リファレンスを安定させるため、リファレンス出力とGNDとの間に100nFのコンデンサを配置することを推奨します。

内部リファレンスを使用する場合、DACチャンネルを個別にパワーダウンスすることはできません。

## 出力アンプ

出力バッファ・アンプは、出力でレールtoレール電圧を生成し、 $0V \sim V_{DD}$ の範囲の電圧を出力できます。このアンプは、GNDに接続された $2k\Omega$ と、これに並列接続された $1,000pF$ の負荷を駆動できます。この出力アンプのソース能力とシンク能力を図24と図25に示します。スルーレートは $1.5V/\mu s$ で、セトリング時間は1/4スケールから3/4スケールへの変化に対して $10\mu s$ です。

## シリアル・インターフェース

AD5678には、SPI、QSPI、MICROWIREの各インターフェース規格、および大半のDSPと互換性をもつ3線式シリアル・インターフェース（ $\overline{SYNC}$ 、 $SCLK$ 、 $DIN$ ）を備えています。代表的な書込みシーケンスのタイミング図については、図2を参照してください。

$\overline{SYNC}$ ラインをローレベルにすると、書込みシーケンスが開始します。 $DIN$ ラインからのデータは、 $SCLK$ の立下がりエッジで32ビットのシフト・レジスタに入力されます。シリアル・クロック周波数は最大50MHzまで対応しているため、AD5678は高速DSPと互換性があります。クロックの32番目の立下がりエッジで、最後のデータビットが入力され、プログラミングされた機能を実行します（DACレジスタ値の変更や動作モードの変更）。この時点で $\overline{SYNC}$ ラインをローレベルに保持することも、ハイレベルにすることもできます。いずれの場合でも、次の書込みシーケンスの前に15ns以上 $\overline{SYNC}$ ラインをハイレベルに保持し、 $\overline{SYNC}$ の立下がりエッジで次の書込みシーケンスを開始できるようにします。 $\overline{SYNC}$ バッファを流れる電流は $V_{IN}=0.8V$ の場合より $V_{IN}=2V$ の場合の方が大きくなるため、さらにデバイスの消費電力を削減するには、書込みシーケンスが終了してから次の書込みシーケンスが始まるまでの間も $\overline{SYNC}$ をアイドル・ローレベルに保持してください。ただし、前述のとおり次の書込みシーケンスの開始前にハイレベルに戻す必要があります。

表7. コマンドの定義

| コマンド |    |    |    | 説明                                  |
|------|----|----|----|-------------------------------------|
| C3   | C2 | C1 | C0 |                                     |
| 0    | 0  | 0  | 0  | 入力レジスタ $n$ への書込み                    |
| 0    | 0  | 0  | 1  | DACレジスタ $n$ の更新                     |
| 0    | 0  | 1  | 0  | 入力レジスタ $n$ への書込み、すべての更新（ソフトウェアLDAC） |
| 0    | 0  | 1  | 1  | DACチャンネル $n$ への書込みと更新               |
| 0    | 1  | 0  | 0  | DACのパワーダウン/パワーアップ                   |
| 0    | 1  | 0  | 1  | クリア・コード・レジスタへのロード                   |
| 0    | 1  | 1  | 0  | LDACレジスタへのロード                       |
| 0    | 1  | 1  | 1  | リセット（パワーオン・リセット）                    |
| 1    | 0  | 0  | 0  | 内部REFレジスタのセットアップ                    |
| 1    | 0  | 0  | 1  | 予備                                  |
| –    | –  | –  | –  | 予備                                  |
| 1    | 1  | 1  | 1  | 予備                                  |

表8. アドレス・コマンド

| アドレス (n) |    |    |    | 選択されるDAC<br>チャンネル |
|----------|----|----|----|-------------------|
| A3       | A2 | A1 | A0 |                   |
| 0        | 0  | 0  | 0  | DAC A (16ビット)     |
| 0        | 0  | 0  | 1  | DAC B (16ビット)     |
| 0        | 0  | 1  | 0  | DAC C (12ビット)     |
| 0        | 0  | 1  | 1  | DAC D (12ビット)     |
| 0        | 1  | 0  | 0  | DAC E (12ビット)     |
| 0        | 1  | 0  | 1  | DAC F (12ビット)     |
| 0        | 1  | 1  | 0  | DAC G (16ビット)     |
| 0        | 1  | 1  | 1  | DAC H (16ビット)     |
| 1        | 1  | 1  | 1  | すべてのDAC           |

# AD5678

## 入力シフト・レジスタ

入力シフト・レジスタは32ビット幅です。最初の4ビットはドントケア・ビットです。次の4ビットはコマンド・ビットC3～C0（表7を参照）で、その次に4ビットのDACアドレスA3～A0（表8を参照）、最後に16/12ビットのデータワードが続きます。データワードは16/12ビットの入力コードと、それに続く4ビットから構成されます（図47、図48を参照）。これらのデータビットは、SCLKの32番目の立下がりエッジでDACレジスタに転送されます。

## SYNC割込み

通常の書込みシーケンス時には、SCLKの32個の立下がりエッジの間、 $\overline{\text{SYNC}}$ ラインがローレベルに保持され、SCLKの32番目の立下がりエッジと $\overline{\text{SYNC}}$ の立上がりエッジでDACが更新されます。ただし、32番目の立下がりエッジの前に $\overline{\text{SYNC}}$ をハイレベルにすると、 $\overline{\text{SYNC}}$ は書込みシーケンスへの割込み信号として機能します。このときにシフト・レジスタがリセットされ、書込みシーケンスは無効と判断されます。DACレジスタのデータ内容は更新されず、また動作モードも変更されません（図49を参照）。

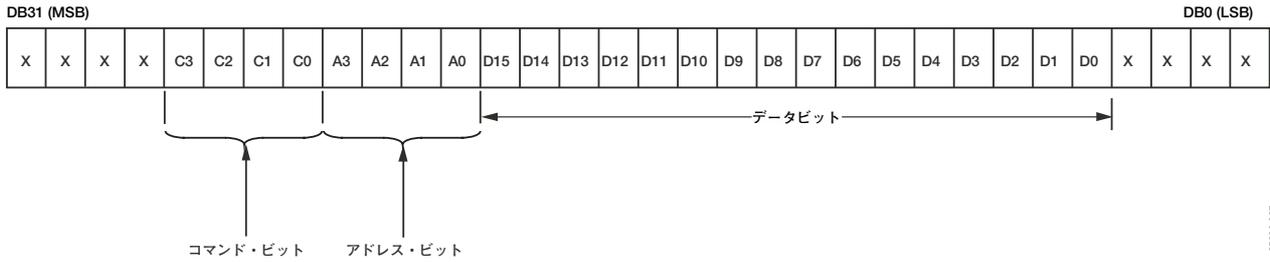


図47. 入力レジスタの内容 (DAC A/B/G/H)

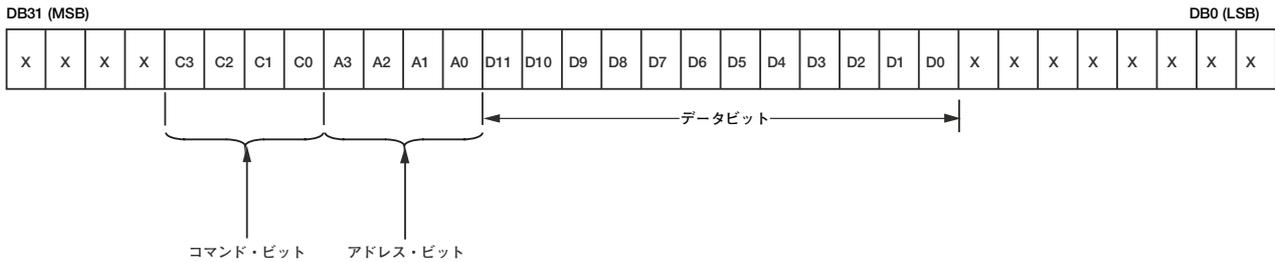


図48. 入力レジスタの内容 (DAC C/D/E/F)

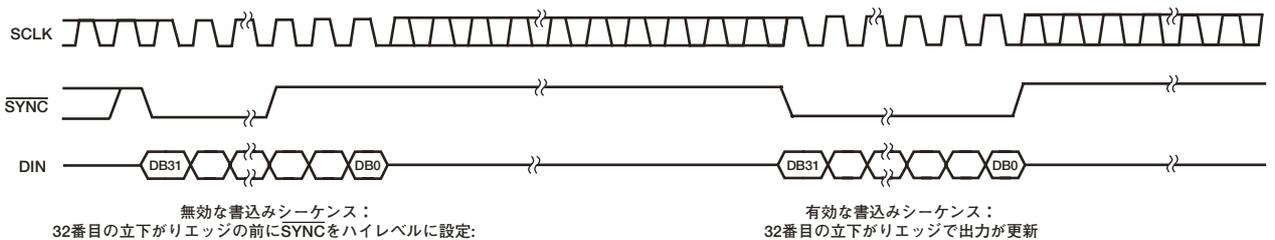


図49.  $\overline{\text{SYNC}}$ の割込み機能

## 内部リファレンス・レジスタ

内部リファレンスは、デフォルトでパワーアップ時にオフになるため、アプリケーションに応じて外部リファレンスが使用できます。ユーザ・プログラマブルの内部REFレジスタでビットDB0をハイレベルまたはローレベルに設定して、内部リファレンスをターンオンまたはターンオフできます（表9を参照）。内部REFレジスタの設定用としてコマンド1000が予約されています（表7を参照）。表11は、入力シフト・レジスタのビットの状態に対応するデバイスの動作モードを示しています。

## パワーオン・リセット

AD5678は、パワーアップ時の出力電圧を制御するパワーオン・リセット回路を内蔵しています。パワーアップ時にAD5678の出力は0Vにリセットされ、DACに有効な書き込みが行われるまでこの出力状態を維持します。この機能は、デバイスのパワーアップ時にDACの出力状態を把握しておくことが重要なアプリケーションで特に便利です。さらに、DACをパワーオン・リセット・コードにリセットするソフトウェア実行リセット機能も備えています。リセット機能用としてコマンド0111が予約されています（表7を参照）。パワーオン・リセット時にLDACまたはCLR上で発生するイベントは、すべて無視されます。

## パワーダウン・モード

AD5678には、4つの動作モードがあります。パワーダウン機能用としてコマンド0100が予約されています（表7を参照）。これらのモードは、コントロール・レジスタの2つのビット（DB9、DB8）の設定によってソフトウェアで選択できます。

この2ビットの設定に対応するデバイスの動作モードを表11に示します。該当する8ビット（DB7～DB0）を1に設定して、内蔵DACのいずれかまたは全部（DAC H～DAC A）を選択したモードにパワーダウンできます。パワーダウン/パワーアップ動作時の入力シフト・レジスタのデータ内容については、表12を参照してください。内部リファレンス使用時は、選択したモードへの全チャンネルのパワーダウンのみに対応します。

両ビットを「0」に設定すると、デバイスは5V時に1.3mAの消費電流で通常の動作を実行します。しかし、3種のパワーダウン・モードでは、電源電流が5V時に400nA（3V時には200nA）まで低下します。電源電流が低下するだけでなく、出力段も内部的にアンプの出力から切り離され、既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスがパワーダウン・モードにある間、デバイスの出力インピーダンスが既知であるという利点があります。出力は、内部で1kΩの抵抗または100kΩの抵抗を経由してGNDに接続されるか、またはオープン（スリーステート）になるかの3種類のオプションがあります。出力段を図50に示します。

パワーダウン・モードになると、選択したDACのバイアス発生器、出力アンプ、抵抗ストリング等の関連リニア回路がすべてシャットダウンされます。ただし、DACレジスタの内容はパワーダウンの間も保持されます。なお、パワーダウン・モードからの復帰時間は、 $V_{DD}=5V$ と $V_{DD}=3V$ のどちらの場合でも5μs (typ値) です（図33を参照）。

PD1とPD0の各ビットを0に設定することによって、任意の組合わせのDACをパワーアップできます（通常動作）。出力は入力レジスタの値にパワーアップするか（LDACがローレベル）、またはパワーダウンに入る前のDACレジスタの値にパワーアップします（LDACがハイレベル）。

## クリア・コード・レジスタ

AD5678は、非同期クリア入力として使用されるハードウェアCLRピンを備えています。CLR入力は、立下がりエッジでアクティブになります。このCLRラインをローレベルに引き込むと、入力レジスタとDACレジスタのデータ内容が、ユーザ設定可能なCLRレジスタに格納されているデータにクリアされ、これに従ってアナログ出力が設定されます。この機能をシステム・キャリブレーションで利用して、ゼロスケール、ミッドスケール、またはフルスケールをすべてのチャンネルにロードできます。クリア・コード値の設定は、CLRコントロール・レジスタの2つのビット（DB1、DB0）の設定によって行うことができます（表13を参照）。デフォルトでは出力が0Vにクリアされます。クリア・コード・レジスタにデータをロードするために、コマンド0101が予約されています（表7を参照）。

デバイスは、次の書き込み動作の32番目の立下がりエッジでクリア・コード・モードを終了します。書き込みシーケンス時にCLRがアクティブであれば、書き込み動作が中断されます。

CLRパルスのアクティブ時間、すなわちCLRのエッジが立ち下がった後で出力が変化し始めるまでの時間は、280ns (typ値) です。ただし、DACのリニア領域の範囲外では、CLRを実行した後で出力が変化し始めるまでに、520ns (typ値) が必要です（図43を参照）。

クリア・コード・レジスタのデータ・ロード動作時における入力シフト・レジスタのデータ内容については、表14を参照してください。

# AD5678

表9. 内部リファレンス・レジスタ

| 内部REFレジスタ (DB0) | 動作                |
|-----------------|-------------------|
| 0               | リファレンス・オフ (デフォルト) |
| 1               | リファレンス・オン         |

表10. リファレンス・セットアップ機能設定用の32ビット入力シフト・レジスタの内容

| MSB       |                  |      |      |      |                  |      |      |      |          | LSB       |  |
|-----------|------------------|------|------|------|------------------|------|------|------|----------|-----------|--|
| DB31~DB28 | DB27             | DB26 | DB25 | DB24 | DB23             | DB22 | DB21 | DB20 | DB19~DB1 | DB0       |  |
| X         | 1                | 0    | 0    | 0    | X                | X    | X    | X    | X        | 1/0       |  |
| ドントケア     | コマンド・ビット (C3~C0) |      |      |      | アドレス・ビット (A3~A0) |      |      |      | ドントケア    | 内部REFレジスタ |  |

表11. パワーダウン動作モード

| DB9 | DB8 | 動作モード                  |
|-----|-----|------------------------|
| 0   | 0   | ノーマル・モード<br>パワーダウン・モード |
| 0   | 1   | 1kΩをGNDに接続             |
| 1   | 0   | 100kΩをGNDに接続           |
| 1   | 1   | スリーステート                |

表12. パワーダウン/パワーアップ機能設定用の32ビット入力シフト・レジスタの内容

| MSB       |                  |      |      |      |                           |      |      |      |           | LSB   |            |       |   |       |       |       |       |       |       |  |
|-----------|------------------|------|------|------|---------------------------|------|------|------|-----------|-------|------------|-------|---|-------|-------|-------|-------|-------|-------|--|
| DB31~DB28 | DB27             | DB26 | DB25 | DB24 | DB23                      | DB22 | DB21 | DB20 | DB19~DB10 | DB9   | DB8        | DB7   | DB6                                     | DB5   | DB4   | DB3   | DB2   | DB1   | DB0   |  |
| X         | 0                | 1    | 0    | 0    | X                         | X    | X    | X    | X         | PD1   | PD0        | DAC H | DAC G                                   | DAC F | DAC E | DAC D | DAC C | DAC B | DAC A |  |
| ドントケア     | コマンド・ビット (C3~C0) |      |      |      | アドレス・ビット (A3~A0)<br>ドントケア |      |      |      |           | ドントケア | パワーダウン・モード |       | パワーダウン/パワーアップするチャンネルの選択<br>ビットを1に設定して選択 |       |       |       |       |       |       |  |

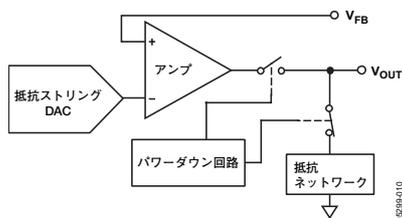


図50. パワーダウン時の出力段

表13. クリア・コード・レジスタ

| クリア・コード・レジスタ |     | クリア・コード値 |
|--------------|-----|----------|
| DB1          | DB0 |          |
| CR1          | CR0 |          |
| 0            | 0   | 0x0000   |
| 0            | 1   | 0x8000   |
| 1            | 0   | 0xFFFF   |
| 1            | 1   | 動作しない    |

表14. クリア・コード機能設定用の32ビット入力シフト・レジスタの内容

| MSB       |                  |      |      |      |                           |      |      |      |          | LSB          |     |
|-----------|------------------|------|------|------|---------------------------|------|------|------|----------|--------------|-----|
| DB31~DB28 | DB27             | DB26 | DB25 | DB24 | DB23                      | DB22 | DB21 | DB20 | DB19~DB2 | DB1          | DB0 |
| X         | 0                | 1    | 0    | 1    | X                         | X    | X    | X    | X        | CR1          | CR0 |
| ドントケア     | コマンド・ビット (C3~C0) |      |      |      | アドレス・ビット (A3~A0)<br>ドントケア |      |      |      | ドントケア    | クリア・コード・レジスタ |     |

## LDAC機能

ハードウェアLDACピンを使用して、すべてのDACの出力を同時に更新できます。

同期LDAC：新しいデータが読み出された後で、DACレジスタは32番目のSCLKパルスの立下がりエッジで更新されます。LDACを常にローレベルに固定するか、または図2に示すようなパルス設定で可能となります。

非同期LDAC：出力は、入力レジスタの書き込みと同時に更新されません。LDACがローレベルになると、DACレジスタが入力レジスタのデータ内容で更新されます。

あるいは、ソフトウェアLDAC機能を利用して、入力レジスタnに書き込みを行い、すべてのDACレジスタを更新して、DACすべての出力を同時に更新することも可能です。ソフトウェアLDAC機能用としてコマンド0011が予約されています。

LDACレジスタを使用することで、ハードウェアLDACピンを制御して柔軟な操作が可能になります。このレジスタを利用して、ハードウェアLDACピンが実行されるときに同時に更新するチャンネルの組み合わせを選択できます。1つのDACチャンネルに対して、LDACレジスタのビットを0に設定すると、このチャンネルの更新をLDACピンによって制御できます。ビットを1に設定すれば、このチャンネルは同期して更新されます（LDACピンの状態とは無関係に、新しいデータが読み出された後でDACレジスタが更新されます）。この場合、実質的にLDACピンがローレベルに設定されているものと判断されます（LDACレジスタの動作モードについては、表15を参照）。選択したチャンネルを同時に更新し、残りのチャンネルを同期して更新させるアプリケーションで、このような高い柔軟性が役立ちます。

コマンド0110を使用してDACに書き込みを行うと、8ビットのLDACレジスタ（DB7～DB0）にデータがロードされます。各チャンネルのデフォルト値は0です。すなわち、LDACピンが通常どおりに動作します。このビットを1に設定すれば、LDACピンの状態とは無関係に、DACチャンネルが更新されます。LDACレジスタのロード動作モードにおける入力シフト・レジスタのデータ内容については、表16を参照してください。

表15. LDACレジスタ

| DACレジスタのロード       |           | LDAC動作  |
|-------------------|-----------|---|
| LDACビット (DB7～DB0) | LDACピン    |   |
| 0                 | 1/0       | LDACピンによって決定<br>LDACピンを無効にして、DACチャンネルを更新。<br>DACチャンネルはLDACを0として認識 |
| 1                 | X = ドントケア |   |

表16. LDACオーバーライト機能設定用の32ビット入力シフト・レジスタの内容

| MSB               |                  |      |      |      |                           |      |      |      |                  | LSB                          |          |          |          |          |          |          |          |
|-------------------|------------------|------|------|------|---------------------------|------|------|------|------------------|------------------------------|----------|----------|----------|----------|----------|----------|----------|
| DB31<br>～<br>DB28 | DB27             | DB26 | DB25 | DB24 | DB23                      | DB22 | DB21 | DB20 | DB19<br>～<br>DB8 | DB7                          | DB6      | DB5      | DB4      | DB3      | DB2      | DB1      | DB0      |
| X                 | 0                | 1    | 1    | 0    | X                         | X    | X    | X    | X                | DAC<br>H                     | DAC<br>G | DAC<br>F | DAC<br>E | DAC<br>D | DAC<br>C | DAC<br>B | DAC<br>A |
| ドント<br>ケア         | コマンド・ビット (C3～C0) |      |      |      | アドレス・ビット (A3～A0)<br>ドントケア |      |      |      | ドント<br>ケア        | LDACビットを1に設定すると、LDACピンが無効になる |          |          |          |          |          |          |          |

## 電源のバイパスとグラウンディング

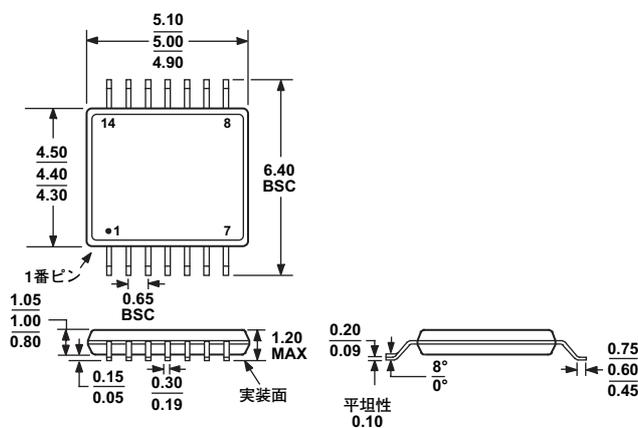
精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD5678を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5678を使用する場合は、必ず1ヵ所のみでこの接続を行ってください。グラウンド・ポイントはAD5678のできるかぎり近くに配置してください。

AD5678の電源は、10μFと0.1μFのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1μFのコンデンサは理想的にはデバイスの真上に配置してください。10μFのコンデンサはタンタルのビード型を使います。0.1μFのコンデンサは、セラミック型の等価直列抵抗（ESR）が小さく、かつ等価直列インダクタンス（ESL）が小さいものを使うことが重要です。この0.1μFのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

# AD5678

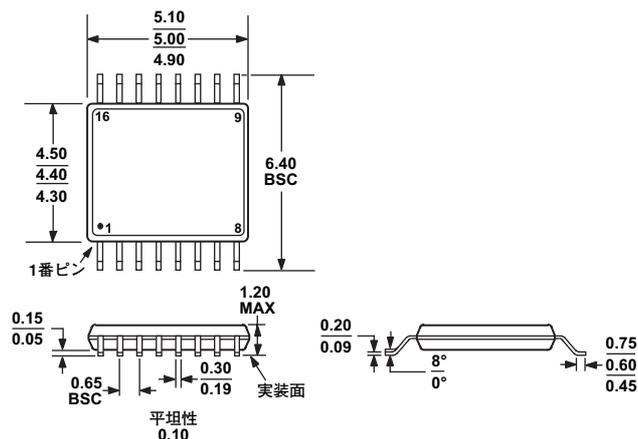
## 外形寸法



JEDEC規格MO-153-AB-1に準拠

図51. 14ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-14)

寸法単位：mm



JEDEC規格MO-153-ABに準拠

図52. 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-16)

寸法単位：mm

## オーダー・ガイド

| モデル                            | 温度範囲         | パッケージ     | パッケージ・オプション | パワーオン時にリセットされるコード | 精度         | 内部リファレンス |
|--------------------------------|--------------|-----------|-------------|-------------------|------------|----------|
| AD5678BRUZ-1 <sup>1</sup>      | -40 ~ +105°C | 14ピンTSSOP | RU-14       | ゼロ                | ±16LSB INL | 1.25V    |
| AD5678BRUZ-1REEL7 <sup>1</sup> | -40 ~ +105°C | 14ピンTSSOP | RU-14       | ゼロ                | ±16LSB INL | 1.25V    |
| AD5678BRUZ-2 <sup>1</sup>      | -40 ~ +105°C | 16ピンTSSOP | RU-16       | ゼロ                | ±16LSB INL | 2.5V     |
| AD5678BRUZ-2REEL7 <sup>1</sup> | -40 ~ +105°C | 16ピンTSSOP | RU-16       | ゼロ                | ±16LSB INL | 2.5V     |
| AD5678ARUZ-2 <sup>1</sup>      | -40 ~ +105°C | 16ピンTSSOP | RU-16       | ゼロ                | ±32LSB INL | 2.5V     |
| AD5678ARUZ-2REEL7 <sup>1</sup> | -40 ~ +105°C | 16ピンTSSOP | RU-16       | ゼロ                | ±32LSB INL | 2.5V     |

<sup>1</sup> Z=鉛フリー製品