

# プログラマブル システムオンチップ (PSoC®)

## 概要

PSoC® は、Arm® Cortex™ CPU ( シングルおよびマルチコア ) を内蔵したプログラマブル組込みシステム コントローラー ファミリ用の、拡張可能かつ再構成可能なプラットフォーム アーキテクチャです。超低消費電力 40nm プラットフォームに基づいて設計される PSoC 63 デバイス ファミリは、デュアル コア マイクロコントローラおよび低消費電力フラッシュ技術とデジタル プログラマブル ロジック、高性能アナログ - デジタルおよびデジタル - アナログ変換器、低消費電力コンパレータ、標準通信およびタイミング ペリフェラルの組合せです。PSoC 63 ファミリは、BLE 5.0 準拠のワイヤレス接続を提供します。

## 特徴

### 32 ビット デュアル コア CPU サブシステム

- シングル サイクルの乗算に対応した 150MHz Arm Cortex-M4F CPU ( 浮動小数点およびメモリ保護ユニット )
- 100MHz Cortex M0+ CPU
- ユーザー選択可能なコア ロジック動作 (1.1V または 0.9V)
- ハードウェアでサポートされるプロセッサ間の通信
- M4 と M0+ CPU のそれぞれに 8KB の 4 ウェイ セット アソシティブ命令キャッシュ
- 1.1V コア動作のアクティブ CPU 電力消費スロープ : チップ 電源電圧が 3.3V であり、内部降圧レギュレータがある場合、Cortex M4 は 40 $\mu$ A/MHz、Cortex M0+ は 20 $\mu$ A/MHz
- 0.9V コア動作のアクティブ CPU 電力消費スロープ : チップ 電源電圧が 3.3V であり、内部降圧レギュレータがある場合、Cortex M4 は 22 $\mu$ A/MHz、Cortex M0+ は 15 $\mu$ A/MHz
- それぞれ 16 チャネルずつの 2 つの DMA コントローラー

### フラッシュ メモリ サブシステム

- 32KB EEPROM 領域と 32KB セキュア フラッシュを含む 1MB アプリケーション フラッシュ
- 128 ビット幅 フラッシュ アクセスによる消費電力削減
- フラッシュ読み出し中に フラッシュ 更新を可能にする フラッシュ Read-While-Write (RWW)
- 保持粒度が選択可能な SRAM
- 288KB 内蔵 SRAM
- 32KB 保持境界 (32K ステップで 32K ~ 288K 保持可能)
- 検証およびセキュリティのためのワンタイム プログラマブル (OTP) E-Fuse メモリ

### Bluetooth Low Energy (Bluetooth Smart) BT 5.0 サブシステム

- 50Ω アンテナ駆動に対応する 2.4GHz RF トランシーバ
- デジタル PHY
- マスターとスレーブ モードに対応した Link Layer エンジン
- 最大 4dBm のプログラマブル出力パワー
- RX 感度 : -95dBm
- RSSI: 4dB 分解能
- 5.7mA TX (0dBm) と 6.7mA RX (2Mbps) 電流、3.3V バッテリ および 内部 SIMO 降圧コンバータを備える
- 4 つの接続を同時にサポートする Link Layer エンジン
- 2Mbps LE データ速度をサポート

### 低消費電力 (1.7V ~ 3.6V) 動作

- 細かい電源管理用のアクティブ、低消費電力アクティブ、スリープ、低消費電力スリープ、ディープ スリープ および ハイバネート モード
- 3.3V の外部電源と内部降圧レギュレータで、64K SRAM 保持 のディープ スリープ モード 電流は 7 $\mu$ A
- オンチップ Single In Multiple Out (SIMO) DC-DC 降圧コンバータ、1 $\mu$ A 未満の静止電流
- 64 バイト メモリとリアルタイムクロックを備えるバックアップ ドメイン

### 柔軟なクロッキング オプション

- オンチップ 水晶発振器 (4 ~ 33MHz の高速水晶および 32kHz 時計用水晶)
- クロック周波数遙倍用の位相ロック ループ (PLL)
- 精度が  $\pm 1\%$  の 8MHz 内部主発振器 (IMO)
- 精度が  $\pm 10\%$  の 超低消費電力の 32kHz 内部低速発振器 (ILO)
- 精度向上のために 32kHz WCO 入力にロック可能な IMO
- IMO 周波数遙倍用の周波数ロック ループ (FLL)

### シリアル通信

- 9 個の独立した実行時再設定可能なシリアル通信ブロック (SCB)。それぞれ I<sup>2</sup>C、SPI または UART としてソフトウェアで設定可能

### タイミングおよびパルス幅変調

- 32 個の 16 ビット タイマー／カウンター パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似ランダム モード
- キル信号のコンパレータ ベースのトリガ

### 最大 78 個のプログラマブル GPIO

- 駆動モード、駆動強度およびスルーレートはプログラム可能
- 6 本の過電圧耐性 (OVT) ピン

### パッケージ

- PSoC 6 と BLE 無線を備えた 116-BGA と 104-MCSP パッケージ

エラッタ : シリコン チップ エラッタに関する情報については、63 ページの「エラッタ」をご参照ください。詳細には、トリガー条件、影響を受けるデバイス、および提案する回避策が含まれています。

## オーディオ サブシステム

- I2S インターフェース。最大 192ksps ワード クロック
- ステレオ デジタル マイク用の 2 本の PDM チャネル

## QSPI インターフェース

- 外部 Quad-SPI フラッシュから直接実行 (Execute-In-Place、XIP)
- オンザフライの暗号化と復号化
- 低い消費電力でXIP性能を向上させる4KBのQSPIキャッシュ
- 1、2、4 およびデュアル - クアッド インターフェースに対応

## プログラマブル アナログ

- 差動とシングルエンド モードおよび信号加算平均に対応したチャネルシーケンサを備えた 12 ビットの 1Msps SAR ADC
- セトリング時間が 5μs 未満の 1 個の 12 ビット電圧モード DAC
- 低消費電力動作モードの 2 個のオペアンプ
- ディープスリープ モードおよびハイバネート モードで動作する 2 個の低消費電力コンバーラータ
- ADC に接続される内蔵の温度センサー

## プログラマブル デジタル

- 12 個のプログラマブルロジック ブロック、それぞれに 8 つのマクロセルと 1 つの 8 ビット データ パス (ユニバーサル デジタル ブロック (UDB) と呼ばれる)
- ドラッグ アンド ドロップ ブール プリミティブ (ゲート、レジスタ)、または Verilog プログラマブル ブロックとして使用可能
- サイプレス提供のペリフェラル コンポーネント ライブラリで UDB を使用し、通信ペリフェラル (LIN、UART、SPI、I<sup>2</sup>C、S/PDIF や他のプロトコル)、波形ジェネレータ、疑似ランダム シーケンス (PRS) などの機能が実装可能
- GPIO ピンを入出力とする信号に対するブール演算を可能にする Smart I/O (プログラマブル I/O) ブロック
- ディープスリープ中に利用可能な、Smart\_IO ブロックを備えた 2 つのポート

## 静電容量センシング

- クラス最高の SNR、耐水性および近接センシングを提供するサイプレスの静電容量シグマ - デルタ (CSD)
- 自己容量と相互容量の両方を動的に使用する相互静電容量センシング (サイプレス CSX)
- 非常に低い電流によるウェイク オン タッチ
- 静電容量センシングの設計を迅速かつ容易にするサイプレス 提供のソフトウェア コンポーネント
- 自動のハードウェア チューニング (SmartSense™)

## エネルギー プロファイラー

- 異なる電力モードに費やした時間の履歴を提供するブロック
- 消費エネルギーの監視および最適化用にソフトウェア エネルギー プロファイリングが可能

## PSoC Creator 設計環境

- 回路図設計の入力とアナログとデジタルの自動配線によるビルト、およびコード開発とデバッグを提供する統合開発環境
- すべての固定機能とプログラマブル ペリフェラル向けの アプリケーション プログラミング インターフェース (API コンポーネント)
- アプリケーション レベル関数の呼び出しおよびプロファイルを備えた Bluetooth Smart コンポーネント (BLE4.2 準拠 プロトコル スタック)

## 業界標準ツールとの互換性

- 回路図の入力後、開発は Arm ベースの業界標準開発ツールで行うことが可能
- PSoC Creator で設定してから、コード開発とデバッグのために Arm / Keil または IAR IDE ヘクスポート
- 業界標準の Arm トレース エミュレーション トレース モジュールに対応

## プラットフォーム アーキテクチャに組み込まれたセキュリティ

- ROM ベースの信頼のルートに基づく多面的なセキュア アーキテクチャ
- システム保護属性が確立するまで、セキュア ブートは割込み不可
- ハードウェア ハッシュを使用したブート時認証
- 実行イメージの段階的な認証
- 保護されたルーチンのために実行専用モードでのコードのセキュア実行
- すべてのデバッグとテスト イングレス パスは無効にできる

## 暗号化アクセラレータ

- 対称および非対称暗号メソッド (AES、3DES、RSA、ECC) およびハッシュ関数 (SHA-512、SHA-256) のハードウェア アクセラレーション
- 真の乱数生成器 (TRNG) 機能

## 詳細情報

サイプレスは、[www.cypress.com](http://www.cypress.com) に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、迅速かつ効率的にデザインに統合する手助けをしています。以下は PSoC 6 MCU のリソースの要約です。

### ■ 概要: PSoC ポートフォリオ、PSoC ロードマップ

### ■ 製品セレクタ: PSoC 6 MCU ページ

### ■ アプリケーション ノート: 基本レベルから上級レベルまでの幅広いトピックを提供します。

- [AN210781](#): Getting Started with PSoC 6 MCU BLE
- [AN218241](#): PSoC 6 MCU Hardware Design Considerations
- [AN213924](#): PSoC 6 MCU Bootloader Guide
- [AN215656](#): PSoC 6 MCU Dual-Core CPU System Design
- [AN219434](#): Importing PSoC Creator Code into an IDE
- [AN219528](#): PSoC 6 MCU Power Reduction Techniques
- [AN221111](#): PSoC 6 MCU: Creating a Secure System

### PSoC Creator

PSoC Creator は無料で利用できる Windows ベースの統合設計環境 (IDE) です。このツールにより、お客様は PSoC 6 MCU のハードウェアとファームウェアシステムを同時に設計できます。PSoC Creator を使用すれば、以下のことができます。

1. 200 以上のコンポーネントを含むライブラリを利用
2. コンポーネントをドラッグ アンド ドロップして、メイン デザイン ワークスペースでハードウェアシステムデザインを構築
3. コンポーネント コンフィギュレーション ツールおよびコンポーネント データシートを使ってコンポーネントを設定

### ■ サンプル コード: 様々な製品機能と用途のために PSoC Creator サンプル プロジェクトを提供します。

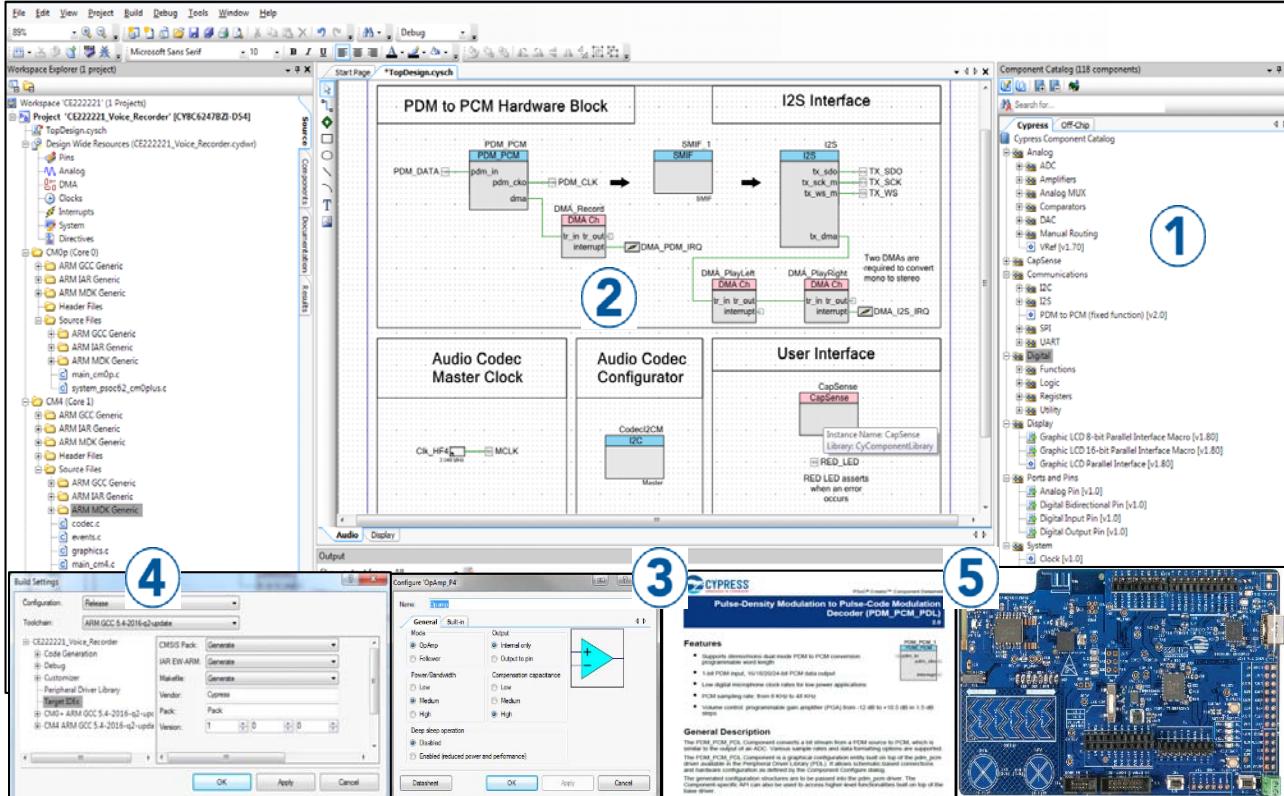
### ■ テクニカル リファレンス マニュアル (TRM): PSoC 6 MCU アーキテクチャとレジスタの詳細な説明をします。

### ■ 開発ツール

- [CY8CKIT-062-Wi-Fi-BT](#): WiFi および Bluetooth 接続を備えた PSoC 62 シリーズ MCU に対応します。
- [CY8CKIT-062-BLE](#): Bluetooth Low-Energy (BLE) を備えた PSoC 63 シリーズ MCU に対応します。

### ■ トレーニングビデオ: PSoC Creator に関する幅広いビデオトレーニング リソースは [www.cypress.com/training](http://www.cypress.com/training) をご覧ください。

図 1. PSoC Creator の回路図入力およびコンポーネント



## 目次

ブロックおよび機能 .....	5
機能の説明 .....	6
CPU およびメモリ サブシステム .....	6
システム リソース .....	6
BLE 無線およびサブシステム .....	7
アナログ ブロック .....	7
プログラマブル デジタル .....	8
固定機能デジタル .....	8
GPIO .....	9
特殊機能ペリフェラル .....	9
ピン配置 .....	10
電源 .....	20
開発サポート .....	22
ドキュメント .....	22
オンライン .....	22
ツール .....	22
電気的仕様 .....	23
絶対最大定格 .....	23
デバイス レベルの仕様 .....	23
アナログ ペリフェラル .....	31
デジタル ペリフェラル .....	39
メモリ .....	41
システム リソース .....	42
注文情報 .....	54
パッケージ .....	56
略号 .....	59
本書の表記法 .....	62
測定単位 .....	62
正誤表 .....	63
改訂履歴 .....	68
セールス、ソリューションおよび法律情報 .....	69
ワールドワイド販売と設計サポート .....	69
製品 .....	69
PSoC® ソリューション .....	69
サイプレス開発者コミュニティ .....	69
テクニカル サポート .....	69

## ブロックおよび機能

PSoC 63 のブロック図を図 2 に示します。主なサブシステムは、CPU サブシステム、BLE サブシステム、システム リソース、ペリフェラル ブロックおよび I/O の 5 つのサブシステムです。

図 2. ブロック図

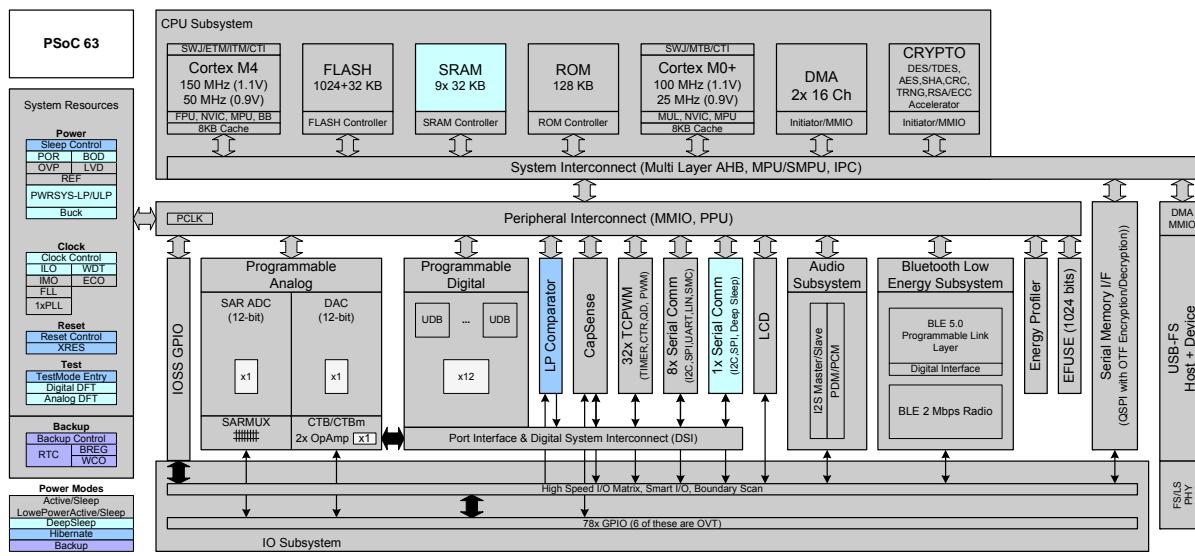


図 2 はチップのサブシステム、およびそれらの相互接続の非常に簡略化した図を示しています（実際には多層 AHB が使用されています）。カラーコーディングは、特定のブロックがまだ機能できる最低消費電力モードを示します（たとえば、LP コンパレータはディープ スリープ モードで機能します）。

PSoC 63 デバイスは、ハードウェアとファームウェアの両方についてプログラミング、テスト、デバッグおよびトレースの幅広いサポートを備えています。

デバッグオンチップ (DoC) 機能により、標準の量産デバイスを使用した最終システムでデバイスの完全なデバッグ処理が可能になります。専用のインターフェースやデバッグギング ポッド、シミュレータ、エミュレータは不要です。デバッグをサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator 統合開発環境 (IDE) は、PSoC 63 デバイス用の完全に統合されたプログラミングとデバッグのサポートを提供します。SWJ (SWD および JTAG) インターフェースは、業界標準のサードパーティ製プローブと完全互換です。PSoC 63 ファミリは、デバッグ機能を無効にすることができます、非常に堅牢なフラッシュ保護に対応し、カスタマ独自の機能がオンチップ プログラマブル ブロックに実装できるようにするために、非常に高いセキュリティ レベルを提供します。

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にすることができます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護をクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュ プログラミング シーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイスインターフェースを恒久的に無効にすることができます。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテスト インターフェースは無効にされます。セキュリティ レベルは、トレード オフの関係で利用できます。

## 機能の説明

### CPU およびメモリ サブシステム

#### CPU

PSoC 63 の CPU サブシステムは、2 つの Arm Cortex コアとその関連バスとメモリで構成されています。浮動小数点ユニットおよびメモリ保護ユニット (FPU および MPU) を備えた M4 および MPU を備えた M0+ です。Cortex M4 と M0+ には、8KB の 4 ウェイ セットアソシエイティブ命令キャッシュ (L1-Cache) があります。このサブシステムには、それぞれ 32 チャネルの独立 DMA コントローラー、暗号アクセラレータ ブロック、1MB のオンチップ フラッシュ、288KB の SRAM、および 128KB の ROM も含まれています。Cortex M0+ は、セキュアで割込み不可能なブート機能を提供します。これにより、ブート後にシステムの整合性は保護され、特権は適用されます。共有リソースは通常の Arm マルチレイヤバス アービトリエーションにてアクセスでき、排他アクセスはハードウェア セマフォおよび保護を実装するプロセッサ間通信 (IPC) スキームによってサポートされます。チップ電源電圧が 3.3V であり (内部降圧レギュレータが有効)、内部電源が 0.9V の場合、Cortex M4 と Cortex M0+ のアクティブ時消費電力はそれぞれ 26 $\mu$ A/MHz と 17 $\mu$ A/MHz です。

#### DMA コントローラー

それぞれ 16 チャネルの DMA コントローラーが 2 つあります。これらは、AHB マルチレイヤバスを使用して、ペリフェラルへの独立したアクセスをサポートします。

#### フラッシュ

PSoC 63 は 1MB のフラッシュ モジュール、長時間の保持のために EEPROM エミュレーションに使用できる追加の 32K のフラッシュ メモリ、および安全にロックでき、変更できない (ワンタイム プログラマブル) キーロックのみによりアクセスできる別個の 32KB のフラッシュ ブロックを搭載します。フラッシュ ブロックは、CPU がアクティブである間にフラッシュ 更新が実行できるように、RWW (Read-While-Write) 動作をサポートします。

#### 保持粒度 (Retention Granularity) が 32KB の SRAM

完全に保持されるか、またはユーザー指定の 32KB ブロック単位で保持できる 288 KB の SRAM メモリがあります。

#### SRAM

ブートおよびコンフィギュレーション ルーチンを含む監視 128KB ROM も提供されます。この ROM は、ユーザー フラッシュ の認証が必要な場合にセキュア ブートを保証します。

#### ワンタイム プログラマブル (OTP) eFuse

1024 ビットの OTP メモリは、チップごとに一意で変更不可能な識別子を提供できます。この変更不可能なキーは、セキュア フラッシュにアクセスするために使用されます。

## システム リソース

### 電源システム

電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルを達成するまでモードへの移行を遅延させる (例えば、パワーオン リセット (POR) の時)、または電源が指定されたレベルを下回った場合にリセットを発生させます (電圧低下検出 (BOD))。このデザインは、電源電圧が規定されたレベル (例えば、1.7V) を下回ってからリセットが発生するまで安全なチップ動作を保証します。電圧シーケンスの要件はありません。VDD コア ロジック電源 (1.7 ~ 3.6V) は、1.1V または 0.9V のコア ロジック電源を生成するチップ搭載降圧レギュレータに供給します。動作周波数に応じて、降圧コンバータの静止電流は 1 $\mu$ A 未満になります。バックアップと呼ばれる個別の電源ドメインは備えられています。しかし、それは電源モードではありません。このドメインは VBACKUP ドメインから電力供給され、32kHz WCO、RTC およびバックアップ レジスタを含みます。バックアップ ドメインとして使用されない場合、VDD に接続されます。ポート 0 はこの電源から供給されます。ポート 0 のピン 5 (P0.5) は PMIC ウェイクアップ出力として設定できます (RTC によりクロック供給)。デフォルトで、P0.5 は抵抗プルアップ モードに駆動されます。

### クロック システム

PSoC 63 のクロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロック ソース間で切り替えることを担当します。また、クロック システムはメタステーブル状態が発生しないように保証します。

PSoC 63 のクロック システムは、内蔵主発振器 (IMO)、内蔵速発振器 (ILO)、水晶発振器 (ECO および WCO)、PLL、FLL および外部クロック用の予備ピンから構成されます。PLL はスペクトラム拡散動作をサポートします。FLL は、PLL ロック イベント (最大 50 $\mu$ sかかる) を待つことなく、高速クロックで高速ウェイクアップを実現します。クロックはバッファリングされ、Smart I/O ポートのピンに引き出されます。

32kHz 発振器は、より高精度のクロックを使用して 2ppm 以内に調整可能です。ECO は  $\pm 20$ ppm の精度を提供し、外部水晶を使用します。

#### IMO クロック ソース

IMO は、PSoC 63 の内部クロックの第一供給源です。仕様の精度を達成するために出荷試験中に調整されます。デフォルト IMO 周波数は 8MHz です。IMO の許容誤差は  $\pm 1\%$  で、その電流消費は 10 $\mu$ A 未満です。より高い精度を得るために、IMO をより正確なクロック ソースにロックすることができます。32kHz WCO にロックすると、0.25% の精度が得られます。

#### ILO クロック ソース

ILO は超低消費電力発振器 (公称 32kHz) であり、ディープ スリープ モードでペリフェラルの動作用にクロックを生成するために使用することができます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正することができます。サイクロスは、校正を実行するソフトウェア コンポーネントを提供しています。

### ウォッチドッグ タイマー

ウォッチドッグ タイマーは、ILO または WCO をクロック ソースとして動作するクロック ブロックに実装されます。これにより、ウォッチドッグがディープ スリープ モードでも動作でき、タイムアウトが発生する前にウォッチドッグが処理されなかつた場合にリセットが生成されます。ウォッチドッグ リセットはリセット原因レジスタに記録されます。

### クロック分周器

ペリフェラルの使用とタイミングの目的で、整数と分数のクロック分周器が用意されています。クロック分周器は、非常に細かいクロック制御を可能にするために、長さが 16 および 24 ビットです。

### リセット

PSoC 63 は、ソフトウェア リセットを含む様々なソースからリセットできます。リセット イベントは非同期であり、デバイスを既知の状態に復帰させることが保証されています。リセットの原因は、リセット中にも保持され、ソフトウェアがリセットの原因を判断できるようにレジスタに記録されます。電源投入または再設定中にコンフィギュレーションおよび複数のピン機能に伴う複雑さを避けるために、XRES ピンが外部リセット用に確保されています。

### BLE 無線およびサブシステム

PSoC 63 は、物理層 (PHY) エンジンと Link Layer (LL) エンジンを含む Bluetooth Smart サブシステムおよび組み込みセキュリティ エンジンを内蔵しています。物理層は、Bluetooth Smart Bluetooth 仕様 5.0 に準拠している 2.4GHz ISM バンドを介して 2Mbps で GFSK パケットを送受信するデジタル PHY と RF トランシーバーからなります。ベースバンド コントローラーは、マスターとスレーブ モードの両方に対応する複合ハードウェアとファームウェア実装です。HCI やリンク制御などの重要なプロトコル要素はファームウェアに実装されます。暗号化、CRC、データ ホワイトニング、アクセス コード相関などのタイム クリティカルな機能ブロックはハードウェア (LL エンジン内) に実装されます。

RF トランシーバーは、マッチング/フィルタリング ネットワークを介して 50Ω アンテナを駆動するシングルエンド RF ポートピンを提供する集積バランを備えています。受信ではこのブロックで GFSK 復調を行って、アンテナからの RF 信号をデジタル ビット ストリームに変換します。送信ではこのブロックで GFSK 変調を行った後、デジタル ベースバンド信号を無線周波数に変換しアンテナから送信します。

BLESS の主な特長は以下の通りです：

- 論理リンク制御と適応プロトコル (L2CAP)、属性プロトコル (ATT)、セキュリティ マネージャ (SM) プロトコルに対応するマスターとスレーブ シングルモード プロトコル スタック
- 一般属性プロファイル (GATT)、一般アクセス プロファイル (GAP) および L2CAP への API アクセス
- L2CAP 接続向けチャネル (Bluetooth 4.1 の機能)
- GAP 機能
  - ブロードキャスター、オブザーバー、ペリフェラル、セントラルの役割
  - セキュリティ モード 1: レベル 1, 2, 3

- ユーザー定義の通知データ
- 複数の接続に対応

#### ■ GATT 機能

- GATT クライアントとサーバー
- GATT サブプロシージャに対応
- 32 ビット ユニバーサル 意識別子 (UUID)  
(Bluetooth 4.1 機能)

#### ■ セキュリティ マネージャ (SM)

- ペアリング方式: Just works、Passkey Entry、Out of Band
- LE セキュア コネクション ペアリング モデル
- 認証済みの中間者攻撃 (MITM) 保護とデータ署名

#### ■ リンク層 (LL)

- マスターとスレーブの役割
- 128 ビット AES エンジン
- 低デューティ比通知
- LE Ping

#### ■ SIG が採用したすべての BLE プロファイルに対応

- Adv (1.28s, 31 バイト, 0dBm) と Con (300ms, 0byte, 0dBm) の電力レベルはそれぞれ 42 $\mu$ W と 70 $\mu$ W です。

### アナログ ブロック

#### 12 ビット SAR ADC

12 ビットかつ 1Msps の SAR ADC は 18MHz の最大クロックレートで動作でき、12 ビット変換を行なうためにその周波数で少なくとも 18 クロックを必要とします。

ユーザー向けにブロック機能を拡張するために、それにリファレンス バッファを追加し (±1% まで調整可能)、また  $V_{DD}$ 、 $V_{DD}/2$ 、 $V_{REF}$  の 3 つの内部基準電圧オプション (定格電圧が 1.024V) および GPIO ピンを介した外部基準電圧を選択できるようにします。サンプル ホールド (S/H) のアーチャがプログラマ可能であるため、SAR 入力を駆動するアンプのセトリング時間を規定するゲイン帯域幅要件を必要に応じて緩和することができます。適切なリファレンス電圧が使用され、システム ノイズ レベルが許す限り、システム性能は真の 12 ビット精度で 65dB です。ノイズの多い条件で性能を改善するために、内部リファレンス アンプに外部バイパス コンデンサを (固定したピン位置に) 用意することができます。

SAR は 8 入力シーケンサを介して、決められたピンに接続されます。シーケンサは、スイッチング オーバーヘッドの必要はなく、選択されたチャネルを自律的に巡回します (シーケンサ スキヤン) (つまり、合計サンプリング帯域幅は、単一のチャネルか複数のチャネルであるかにかかわらず 1Msps です)。シーケンサの切り替えは、スタート マシンまたはファームウェアによる切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割込みサービスの要件を軽減するための各チャネルのバッファリングです。信号を様々なソース インピーダンスと周波数に適合させるために、チャネル毎に異なるサンプリング時間をプログラムすることができます。また、数値化された値がプログラムされた範囲を超えた場合、上限と下限のレンジ レジスタにより信号範囲を指定することにより、対応する範囲外の割込みとして処理されます。これにより、シーケンサ スキヤンが完了した後で CPU が値を読み出し、ソフトウェアにより値が範囲内であるかの確認を待たずに、範囲外の値を早く検出することができます。

SAR は、校正およびその他の温度に依存する機能のために、内蔵温度センサーの出力を数値化することができます。SAR は高速クロック（最大 18MHz）を必要とするため、ディープスリープとハイバネート モードに対応していません。SAR 動作範囲は 1.71V ~ 3.6V です。

#### 温度センサー

PSoC 63 は 1 個の温度センサーを内蔵しています。これは電流源によってバイアスされたダイオードからなります。この電流源は電力を節約するために無効にできます。温度センサーは ADC に接続されています。ここで校正と直線化を含むサイプレスが提供したソフトウェアを使用し、温度センサーの電圧を数値化し、温度の値を生成します。

#### 12 ビットのデジタル アナログ変換器

チップには、5μs 以内で安定する 12 ビット電圧モードの DAC が内蔵されています。DAC はユーザー定義の波形を生成するために DMA コントローラーによって駆動されます。チップからの DAC 出力は、抵抗ラダー出力（グランド近傍で高度にリニア）またはバッファ付き出力のいずれかです。

#### 2 個のオペアンプのある連続時間ブロック (CTBm)

このブロックは 2 つのオペアンプで構成されます。それらは入力と出力が固定ピンに接続され、3 つの電力モードとコンパレータ モードを備えています。これらのオペアンプの出力は、SAR 入力のバッファとして使用できます。これらのオペアンプの非反転入力は 2 つのピンのいずれかに接続することができ、従って、独立したセンサーを異なる時間に使用することができます。ピンの選択はファームウェアを使って行われます。オペアンプは 4 つの電力レベルのいずれかに設定できます。最低レベルは、ディープスリープ モードで低性能連続時間機能を実行できるようにディープスリープ モードでの動作を可能にします。DAC 出力はオペアンプにてバッファリングすることができます。

#### 低消費電力コンパレータ

PSoC 63 は、ディープスリープとハイバネート モードで動作できる低消費電力コンパレータの一対を内蔵しています。これにより、ディープスリープおよびハイバネート モード中に外部電圧レベルを監視する能力を維持しながらアナログシステム ブロックを無効にすることができます。コンパレータ出力は、システム ウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになる非同期電力モード（ハイバネート）で動作する場合を除き、準安定状態を避けるため、通常同期化されています。

#### プログラマブル デジタル

##### Smart I/O

チップのサブシステムから GPIO ピンへの信号、またはチップに入力される信号に対してブール演算を可能にする 2 つの Smart I/O ブロックがあります。動作は同期または非同期であり、ブロックはディープスリープおよびハイバネートなどの低消費電力モードで動作します。これにより、例えば、より多くの電力を消費し、偽のウェイクアップを生成する可能性がある一般的な I/O 割込みでウェイクアップする代わりに、CPU がウェイクアップすべき論理条件の検出が可能になります。

##### ユニバーサル デジタル ブロック (UDB) およびポート インターフェース

PSoC 6 A-BLE は 12 個の UDB を内蔵しています。また UDB アレイは、通信と制御用にペリフェラルとポートからの信号を UDB に、また UDB を介して送信することを可能にする切り替えられたデジタルシステム相互接続 (DSI) ファブリックを提供しています。

#### 固定機能デジタル

##### タイマー／カウンター／PWM ブロック

タイマー／カウンター／PWM ブロックは、ユーザーがプログラム可能な周期長の 32 個のカウンターから構成されます。キャプチャレジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止、または自動的にリロードします。比較レジスタは、PWM デューティ比の出力として使用される比較値信号を生成します。ブロックは真出力とコンプリメンタリー出力（それらの間のオフセットがプログラム可能）も提供しており、これらをプログラム可能なデッドバンド付きコンプリメンタリー PWM 出力として使用することを可能にします。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態となり FET を駆動している PWM をソフトウェアの介入なしに直ちに止める必要がある時、キル入力が使用されます。8 個の 32 ビット カウンターと 24 個の 16 ビット カウンターがあります。

##### シリアル通信ブロック (SCB)

PSoC 63 は 9 個の SCB を内蔵しています。それぞれ I<sup>2</sup>C、UART、または SPI インターフェースを実装できます。1 つの SCB はディープスリープで動作し、外部クロックによりクロック供給されます。この SCB はスレーブ モードでのみ動作します（外部クロックが必要）。

**I<sup>2</sup>C モード** : ハードウェア I<sup>2</sup>C ブロックは、完全なマルチマスターとスレーブ インターフェースを実装します（マルチマスターのアービトレーションが可能）。このブロックは、最大 1Mbps (ファースト モード プラス) で動作でき、CPU 用の割込みオーバヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。また、PSoC 63 のメモリでメールボックス アドレス範囲を作り、メモリ アレイへの読み出しと書き込みの I<sup>2</sup>C 通信を効果的に削減する EzI<sup>2</sup>C にも対応しています。更に、ブロックは送受信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す一定の時間を増加することで、時間通りに CPU が読み出すデータがないことに起因したクロック ストレッチの必要性を大幅に低減します。FIFO モードはすべてのチャネルに対応し、DMA がない場合に非常に有用です。

I<sup>2</sup>C ペリフェラルは、NXP I<sup>2</sup>C バス仕様とユーザー マニュアル (UM10204) で定義された通りに I<sup>2</sup>C 標準モード、ファースト モード、ファースト モード プラスのデバイスと互換性があります。I<sup>2</sup>C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

**UART モード** : これは最大 1Mbps で動作するフル機能の UART です。基本の UART プロトコルから少し発展した車載向けシングルワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレーク検出、フレーム エラーなどの一般的な UART 機能がサポートされています。深さ 8 の FIFO は、非常に大きい CPU サービス レイテンシを許容します。

**SPI モード** : SPI モードは Motorola SPI、TI セキュア シンプルペアリング (SSP) (SPI コーデックの同期化用の開始パルスを本質的に追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用することができます、データ交換がメモリ内のアレイへの読み書きまで簡略化された EzSPI モードにも対応しています。SPI インターフェースは 48MHz の SPI クロックで動作します。

USB フルスピード デュアル ロール ホストおよびデバイス インターフェース

PSoC 6A-BLE-2 には、デュアル ロール USB ホストおよびデバイス インターフェースが搭載されます。デバイスは、最大 8 つのエンドポイントを持つことができます。512 バイトの SRAM バッファが用意され、DMA がサポートされます。

#### QSPI インターフェース

80MHz で動作する Quad-SPI (QSPI) インターフェース (1,2 または 4 ビット幅に選択可能) も備えています。また、このブロックでは、適度な速度で直接実行の動作をサポートするために動作中の暗号化と復号化も用意されます。

#### GPIO

PSoC 63 は最大 104 の GPIO があります。GPIO ブロックは以下を実装します：

■ 8 つの駆動強度モード：

- アナログ入力モード (入力と出力バッファが無効)
- 入力のみ
- 弱プルアップ、強プルダウン
- 強プルアップ、弱プルダウン
- オープンドレイン、強プルダウン
- オープンドレイン、強プルアップ
- 強プルアップ、強プルダウン
- 弱プルアップ、弱プルダウン

■ 入力閾値選択 (CMOS または LVTTL)

■ 前のステートをラッチするためのホールド モード (ディープスリープ モードとハイバネート モードで I/O ステートを維持するため)

■ EMI を改善するために、dV/dt に起因するノイズを制御するために選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されています。電源投入とリセットの間、入力に過電流を与える、過剰なターンオン電流を発生させないために、ブロックは無効状態にされます。高速 I/O マトリックス (HSIOM) として知られている多重化ネットワークは、I/O ピンに接続できる複数の信号間を多重化するのに使用されます。データ出力とピンステートレジスタは、それぞれピン上で駆動される値とそれらのピンの状態を格納します。

各 I/O ピンは有効になった場合に割込みを生成でき、各 I/O ポートにはそれに対応する割込み要求 (IRQ) と割込みサービスルーチン (ISR) ベクタがあります。6 つの GPIO ピンは、入力電圧が VDD よりも高い過電圧耐性 (OVT) 動作に対応することができます。これらのピンは、機能に影響を与えることなく、動作中の I<sup>2</sup>C バスへの物理接続を維持しながらチップの電源を切るために I<sup>2</sup>C 機能に使用される場合があります。

GPIO ピンは、16mA またはそれ以上の電流を吸い込むために連結することができます。GPIO ピンは 3.6V より高くプルアップすることができません。

#### 特殊機能ペリフェラル

##### CapSense

CapSense は、アナログ マルチプレクサ バスに接続できる CapSense シグマ - デルタ (CSD) ブロックにより、PSoC 63 のすべてのピンでサポートされています。どの GPIO ピンもアナログ スイッチを介してこの AMUX バスに接続できます。従って、CapSense 機能はソフトウェアで制御されて、システム内のいかなる使用可能なピンやピン グループに提供することができます。使い易さのために、サイプレスは CapSense ブロックのソフトウェア コンポーネントを提供しています。

シールド電圧は、耐水機能を実現するために他の多重化バス上で駆動することができます。耐水性は、シールド電極を検知電極と同位相で駆動して提供されます。その検知電極はシールド静電容量が検知された入力を減衰させることを防ぐためのものです。近接センシングも実装することができます。

CapSense ブロックは高性能で、低ノイズのプログラマブル ブロックです (感度と柔軟性を向上させるためにリファレンス電圧と電流源の範囲をプログラム可能)。さらに、外部リファレンス電圧も利用できます。VDDA およびグランドのセンシングを代替し、消費電力関連ノイズをゼロにする全波 CSD モードがあります。

CapSense ブロックは、2 個の 7 ビット IDAC を備えています。これらは、CapSense を使用しない (両方の IDAC とも使用可能) 場合、または CapSense の耐水機能を利用しない場合 (どちらか一方の IDAC が使用可能)、一般用途に使用することができます。IDAC の 1 つを使用することにより、(低速の) 10 ビット スロープ ADC を実現できます。

このブロックは、スワイプ、タップ、タッチによるウェイクアップ (1.8V で 3 $\mu$ A 未満)、相互容量、および他のタイプなどのセンシング機能を実装することができます。

##### オーディオ サブシステム

このサブシステムは、I2S ブロックと 2 つの PDM チャネルで構成されています。PDM チャネルは、PDM マイクのビットストリーム出力とインターフェースします。PDM 処理チャネルはドループ補正を提供し、384kHz ~ 3.072MHz のクロック速度で動作でき、最大 48ksps のオーディオサンプリング速度で 16 ~ 24 ビットのワード長を生成します。

I2S インターフェースは、最大 192ksps のワード クロック レート (8 ビット ~ 32 ビットのワード) でマスター モードとスレーブ モードの両方をサポートします。

## ピン配置

表1. 116-BGA と 104-MCSP パッケージのピン配置

104-MCSP-BLE		116-BGA-BLE	
ピン	名称	ピン	名称
C7	VCCD	A2	VCCD
C6	VDDD	B1	VDDD
C9	VBACKUP	C1	VBACKUP
D8	P0.0	C2	P0.0
E6	P0.1	D3	P0.1
D9	P0.2	E4	P0.2
E7	P0.3	E3	P0.3
E8	P0.4	F3	P0.4
E9	P0.5	D2	P0.5
E5	XRES	E2	XRES
F5	P1.0	G3	P1.0
F6	P1.1	F2	P1.1
		J5	P1.2
F9	P1.3	J4	P1.3
F8	P1.4	J3	P1.4
F7	P1.5	J2	P1.5
G9	VDD_NS	H3	VDD_NS
G8	VIND1	F1	VIND1
H8	VIND2	G1	VIND2
J8	VBUCK1	G2	VBUCK1
H9	VRF	H1	VRF
L9	VDDR1	L2	VDDR1
N9	VSSR	J1、K2、K3、K4、K5、L1、L3、L4、L5、M3、M8	
M9	ANT	K1	ANT
M9	ANT	K1	ANT
K2	P6.1	J8	P6.1
M2	P6.2	L9	P6.2
L1	P6.3	K9	P6.3
J2	P6.4	J9	P6.4
K1	P6.5	M10	P6.5
N2	P6.6	L10	P6.6
M1	P6.7	K10	P6.7

104-MCSP-BLE		116-BGA-BLE	
ピン	名称	ピン	名称
N9	VSSR	J1、K2、K3、K4、K5、L1、L3、L4、L5、M3、M8	
P9	VDDR2	M1	VDDR2
P6,P7	VSSR	J1、K2、K3、K4、K5、L1、L3、L4、L5、M3、M8	
P8	VDDR3	M2	VDDR3
P1	VSS	J1、K2、K3、K4、K5、L1、L3、L4、L5、M3、M8	
M5	XI	M4	XI
P5	XO	M5	XO
M3	VSSR	J1、K2、K3、K4、K5、L1、L3、L4、L5、M3、M8	
M4	DVDD	M6	DVDD
P1	VSS	J1、K2、K3、K4、K5、L1、L3、L4、L5、M3、M8	
P4	VDCDC	M7	VDCDC
P2	NC		
P3	VSSR	J1、K2、K3、K4、K5、L1、L3、L4、L5、M3、M8	
L2	VDDR_HVL	L7	VDDR_HVL
J7	P5.0	L6	P5.0
J5	P5.1	K6	P5.1
J6	P5.2	J6	P5.2
H7	P5.3	K7	P5.3
H6	P5.4	J7	P5.4
J4	P5.5	L8	P5.5
K3	P5.6	M9	P5.6
K4	P5.7		
L2	VDDR_HVL	L7	VDDR_HVL
L2	VDDR_HVL	L7	VDDR_HVL
J3	P6.0	K8	P6.0
B2	P10.1	A8	P10.1
C3	P10.2	F6	P10.2
E4	P10.3	E6	P10.3
A2	P10.4	D6	P10.4
A3	P10.5	B7	P10.5
D5	P10.6	A7	P10.6
B3	P10.7		

**表1. 116-BGA と 104-MCSP パッケージのピン配置(続き)**

104-MCSP-BLE		116-BGA-BLE	
ピン	名称	ピン	名称
N1	P7.0	J10	P7.0
G6	P7.1	H10	P7.1
H4	P7.2	H8	P7.2
G5	P7.3	H7	P7.3
H3	P7.4	H6	P7.4
H2	P7.5	G9	P7.5
G3	P7.6	G8	P7.6
G2	P7.7	G7	P7.7
D1	VDDIO1	G10	VDDIO1
G4	P8.0	F10	P8.0
G1	P8.1	F9	P8.1
F3	P8.2	F8	P8.2
F2	P8.3	F7	P8.3
F1	P8.4	G6	P8.4
E3	P8.5	E9	P8.5
E1	P8.6	E8	P8.6
E2	P8.7	E7	P8.7
A1	VDDA	A9	VDDA
D2	P9.0	D10	P9.0
C1	P9.1	D9	P9.1
D3	P9.2	D8	P9.2
B1	P9.3	D7	P9.3
		C10	P9.4
		C9	P9.5
		C8	P9.6
		C7	P9.7

104-MCSP-BLE		116-BGA-BLE	
ピン	名称	ピン	名称
C4	P11.0	F5	P11.0
C5	P11.1	E5	P11.1
D6	P11.2	D5	P11.2
		B10	VREF
A1	VDDA	A9	VDDA
A1	VDDA	A9	VDDA
C2	P10.0	B8	P10.0
B4	P11.3	C6	P11.3
A4	P11.4	B6	P11.4
B5	P11.5	A6	P11.5
A5	P11.6	B5	P11.6
A6	P11.7	A5	P11.7
B6	VDDIO0	B3	VDDIO0
D7、D4、F4、G7	VSS	B2、B9、H2、H9、D1	VSS
B7	P12.0	A4	P12.0
A7	P12.1	B4	P12.1
B8	P12.2	C4	P12.2
A8	P12.3	A3	P12.3
C8	P12.4	C5	P12.4
		D4	P12.5
		G5	P12.6
		H5	P12.7
A9	P13.0	H4	P13.0
B9	P13.1	G4	P13.1
		F4	P13.6
		C3	P13.7

パッケージ タイプに応じたポートへの電源の対応は次のとおりです。

- P0: VBACKUP
- P1: VDDD。ポート 1 のピンは過電圧耐性 (OVT) です。
- P5、P6、P7、P8: VDDIO1
- P9、P10: VDDA
- P11、P12、P13: VDDIO0

各ポートピンには複数の代替機能があります。表 2 に示します。

表 2. 複数の代替機能

ポート／ピン	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P0.0	tcpwm[0].line[0]:0	tcpwm[1].line[0]:0		srss.ext_clk:0				scb[0].spi_select1:0			peri.tr_io_input[0]:0						
P0.1	tcpwm[0].line_compl[0]:0	tcpwm[1].line_compl[0]:0						scb[0].spi_select2:0			peri.tr_io_input[1]:0					cpuss.swj_trstn	
P0.2	tcpwm[0].line[1]:0	tcpwm[1].line[1]:0			scb[0].uart_rx:0	scb[0].i2c_scl:0	scb[0].spi_miso:0										
P0.3	tcpwm[0].line_compl[1]:0	tcpwm[1].line_compl[1]:0			scb[0].uart_tx:0	scb[0].i2c_sda:0	scb[0].spi_miso:0										
P0.4	tcpwm[0].line[2]:0	tcpwm[1].line[2]:0			scb[0].uart_rts:0		scb[0].spi_clk:0				peri.tr_io_output[0]:2						
P0.5	tcpwm[0].line_compl[2]:0	tcpwm[1].line_compl[2]:0		srss.ext_clk:1	scb[0].uart_cts:0		scb[0].spi_select0:0				peri.tr_io_output[1]:2						
P1.0	tcpwm[0].line[3]:0	tcpwm[1].line[3]:0			scb[7].uart_rx:0	scb[7].i2c_scl:0	scb[7].spi_miso:0			peri.tr_io_input[2]:0							
P1.1	tcpwm[0].line_compl[3]:0	tcpwm[1].line_compl[3]:0			scb[7].uart_tx:0	scb[7].i2c_sda:0	scb[7].spi_miso:0			peri.tr_io_input[3]:0							
P1.2	tcpwm[0].line[4]:4	tcpwm[1].line[12]:1			scb[7].uart_rts:0		scb[7].spi_clk:0										
P1.3	tcpwm[0].line_compl[4]:4	tcpwm[1].line_compl[12]:1			scb[7].uart_cts:0		scb[7].spi_select0:0										
P1.4	tcpwm[0].line[5]:4	tcpwm[1].line[13]:1					scb[7].spi_select1:0										
P1.5	tcpwm[0].line_compl[5]:4	tcpwm[1].line_compl[14]:1					scb[7].spi_select2:0										
P5.0	tcpwm[0].line[4]:0	tcpwm[1].line[4]:0			scb[5].uart_rx:0	scb[5].i2c_scl:0	scb[5].spi_miso:0		audioss.clk_i2s_if	peri.tr_io_input[10]:0							
P5.1	tcpwm[0].line_compl[4]:0	tcpwm[1].line_compl[4]:0			scb[5].uart_tx:0	scb[5].i2c_sda:0	scb[5].spi_miso:0		audioss.tx_sck	peri.tr_io_input[11]:0							
P5.2	tcpwm[0].line[5]:0	tcpwm[1].line[5]:0			scb[5].uart_rts:0		scb[5].spi_clk:0		audioss.tx_ws								
P5.3	tcpwm[0].line_compl[5]:0	tcpwm[1].line_compl[5]:0			scb[5].uart_cts:0		scb[5].spi_select0:0		audioss.tx_sdo								
P5.4	tcpwm[0].line[6]:0	tcpwm[1].line[6]:0					scb[5].spi_select1:0		audioss.rx_sck								
P5.5	tcpwm[0].line_compl[6]:0	tcpwm[1].line_compl[6]:0					scb[5].spi_select2:0		audioss.rx_ws								

表 2. 複数の代替機能 ( 続き )

ポート／ ピン	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6	
P5.6	tcpwm[0].i ne[7]:0	tcpwm[1].line [7]:0						scb[5].spi _select3:0		audioss.rx _sdi								
P5.7	tcpwm[0].i ne_comp [7]:0	tcpwm[1].line _compl[7]:0						scb[3].spi _select3:0										
P6.0	tcpwm[0].i ne[0]:1	tcpwm[1].line [8]:0	scb[8].i2 c_scl:0			scb[3].ua rt_rx:0	scb[3].i2 c_scl:0	scb[3].spi _mosi:0				cpuss.fault _out[0]				scb[8].spi _mosi:0		
P6.1	tcpwm[0].i ne_comp [0]:1	tcpwm[1].line _compl[8]:0	scb[8].i2 c_sda:0			scb[3].ua rt_tx:0	scb[3].i2 c_sda:0	scb[3].spi _miso:0				cpuss.fault _out[1]				scb[8].spi _miso:0		
P6.2	tcpwm[0].i ne[1]:1	tcpwm[1].line [9]:0				scb[3].ua rt_rts:0		scb[3].spi _clk:0								scb[8].spi _clk:0		
P6.3	tcpwm[0].i ne_comp [1]:1	tcpwm[1].line _compl[9]:0				scb[3].ua rt_cts:0		scb[3].spi _select0:0								scb[8].spi _select0:0		
P6.4	tcpwm[0].i ne[2]:1	tcpwm[1].line [10]:0	scb[8].i2 c_scl:1			scb[6].ua rt_rx:2	scb[6].i2 c_scl:2	scb[6].spi _mosi:2			peri.tr_io_i nput[12]:0	peri.tr_io output[0]:1				cpuss.swj_ swo_tdo	scb[8].spi _mosi:1	
P6.5	tcpwm[0].i ne_comp [2]:1	tcpwm[1].line _compl[10]:0	scb[8].i2 c_sda:1			scb[6].ua rt_tx:2	scb[6].i2 c_sda:2	scb[6].spi _miso:2			peri.tr_io_i nput[13]:0	peri.tr_io output[1]:1				cpuss.swj_ swdoe_tdi	scb[8].spi _miso:1	
P6.6	tcpwm[0].i ne[3]:1	tcpwm[1].line [11]:0				scb[6].ua rt_rts:2		scb[6].spi _clk:2								cpuss.swj_ swdio_tms	scb[8].spi _clk:1	
P6.7	tcpwm[0].i ne_comp [3]:1	tcpwm[1].line _compl[11]:0				scb[6].ua rt_cts:2		scb[6].spi _select0:2								cpuss.swj_ swclk_tclk	scb[8].spi _select0:1	
P7.0	tcpwm[0].i ne[4]:1	tcpwm[1].line [12]:0				scb[4].ua rt_rx:1	scb[4].i2 c_scl:1	scb[4].spi _mosi:1			peri.tr_io_i nput[14]:0		cpuss.trace_- clock					
P7.1	tcpwm[0].i ne_comp [4]:1	tcpwm[1].line _compl[12]:0				scb[4].ua rt_tx:1	scb[4].i2 c_sda:1	scb[4].spi _miso:1			peri.tr_io_i nput[15]:0							
P7.2	tcpwm[0].i ne[5]:1	tcpwm[1].line [13]:0				scb[4].ua rt_rts:1		scb[4].spi _clk:1										
P7.3	tcpwm[0].i ne_comp [5]:1	tcpwm[1].line _compl[13]:0				scb[4].ua rt_cts:1		scb[4].spi _select0:1										
P7.4	tcpwm[0].i ne[6]:1	tcpwm[1].line [14]:0						scb[4].spi _select1:1					bless.ext_l- na_rx_ctl_out	cpuss.trac e_data[3]:2				
P7.5	tcpwm[0].i ne_comp [6]:1	tcpwm[1].line _compl[14]:0						scb[4].spi _select2:1					bless.ext_pa_t x_ctl_out	cpuss.trac e_data[2]:2				
P7.6	tcpwm[0].i ne[7]:1	tcpwm[1].line [15]:0						scb[4].spi _select3:1					bless.ext_pa_l- na_chip_en_ou t	cpuss.trac e_data[1]:2				
P7.7	tcpwm[0].i ne_comp [7]:1	tcpwm[1].line _compl[15]:0						scb[3].spi _select1:0	cpuss.clk_ fm_pump					cpuss.trac e_data[0]:2				

表 2. 複数の代替機能 ( 続き )

ポート／ ピン	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P8.0	tcpwm[0].i ne[0]:2	tcpwm[1].line [16]:0				scb[4].ua rt_rx:0	scb[4].i2 c_scl:0	scb[4].spi _mosi:0			peri.tr_i o_i nput[16]:0						
P8.1	tcpwm[0].i ne_comp [0]:2	tcpwm[1].line _compl[16]:0				scb[4].ua rt_tx:0	scb[4].i2 c_sda:0	scb[4].spi _miso:0			peri.tr_i o_i nput[17]:0						
P8.2	tcpwm[0].i ne[1]:2	tcpwm[1].line [17]:0				scb[4].ua rt_rts:0		scb[4].spi _clk:0									
P8.3	tcpwm[0].i ne_comp [1]:2	tcpwm[1].line _compl[17]:0				scb[4].ua rt_cts:0		scb[4].spi _select0:0									
P8.4	tcpwm[0].i ne[2]:2	tcpwm[1].line [18]:0						scb[4].spi _select1:0									
P8.5	tcpwm[0].i ne_comp [2]:2	tcpwm[1].line _compl[18]:0						scb[4].spi _select2:0									
P8.6	tcpwm[0].i ne[3]:2	tcpwm[1].line [19]:0						scb[4].spi _select3:0									
P8.7	tcpwm[0].i ne_comp [3]:2	tcpwm[1].line _compl[19]:0						scb[3].spi _select2:0									
P9.0	tcpwm[0].i ne[4]:2	tcpwm[1].line [20]:0				scb[2].ua rt_rx:0	scb[2].i2 c_scl:0	scb[2].spi _mosi:0			peri.tr_i o_i nput[18]:0			cpuss.trac e_data[3]:0			
P9.1	tcpwm[0].i ne_comp [4]:2	tcpwm[1].line _compl[20]:0				scb[2].ua rt_tx:0	scb[2].i2 c_sda:0	scb[2].spi _miso:0			peri.tr_i o_i nput[19]:0			cpuss.trac e_data[2]:0			
P9.2	tcpwm[0].i ne[5]:2	tcpwm[1].line [21]:0				scb[2].ua rt_rts:0		scb[2].spi _clk:0		pass.dsi_ct b_cmp0:1				cpuss.trac e_data[1]:0			
P9.3	tcpwm[0].i ne_comp [5]:2	tcpwm[1].line _compl[21]:0				scb[2].ua rt_cts:0		scb[2].spi _select0:0		pass.dsi_ct b_cmp1:1				cpuss.trac e_data[0]:0			
P9.4	tcpwm[0].i ne[7]:5	tcpwm[1].line [0]:2						scb[2].spi _select1:0									
P9.5	tcpwm[0].i ne_comp [7]:5	tcpwm[1].line _compl[0]:2						scb[2].spi _select2:0									
P9.6	tcpwm[0].i ne[0]:6	tcpwm[1].line [1]:2						scb[2].spi _select3:0									
P9.7	tcpwm[0].i ne_comp [0]:6	tcpwm[1].line _compl[1]:2															
P10.0	tcpwm[0].i ne[6]:2	tcpwm[1].line [22]:0				scb[1].ua rt_rx:1	scb[1].i2 c_scl:1	scb[1].spi _mosi:1			peri.tr_i o_i nput[20]:0			cpuss.trac e_data[3]:1			
P10.1	tcpwm[0].i ne_comp [6]:2	tcpwm[1].line _compl[22]:0				scb[1].ua rt_tx:1	scb[1].i2 c_sda:1	scb[1].spi _miso:1			peri.tr_i o_i nput[21]:0			cpuss.trac e_data[2]:1			

表 2. 複数の代替機能 ( 続き )

ポート／ ピン	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P10.2	tcpwm[0].i ne[7]:2	tcpwm[1].line [23]:0			scb[1].ua rt_rts:1		scb[1].spi _clk:1							cpuss.trac e_data[1]:1			
P10.3	tcpwm[0].i ne_comp [7]:2	tcpwm[1].line _compl[23]:0			scb[1].ua rt_cts:1		scb[1].spi _select0:1							cpuss.trac e_data[0]:1			
P10.4	tcpwm[0].i ne[0]:3	tcpwm[1].line [0]:1					scb[1].spi _select1:1	audioss.p dm_clk									
P10.5	tcpwm[0].i ne_comp [0]:3	tcpwm[1].line _compl[0]:1					scb[1].spi _select2:1	audioss.p dm_data									
P10.6	tcpwm[0].i ne[1]:6	tcpwm[1].line [2]:2					scb[1].spi _select3:1										
P10.7	tcpwm[0].i ne_comp [1]:6	tcpwm[1].line _compl[2]:2															
P11.0	tcpwm[0].i ne[1]:3	tcpwm[1].line [1]:1			smif.spi _select2	scb[5].ua rt_rx:1	scb[5].i2 c_scl:1	scb[5].spi _mosi:1			peri.tr.io.i nput[22]:0						
P11.1	tcpwm[0].i ne_comp [1]:3	tcpwm[1].line _compl[1]:1			smif.spi _select1	scb[5].ua rt_tx:1	scb[5].i2 c_sda:1	scb[5].spi _miso:1			peri.tr.io.i nput[23]:0						
P11.2	tcpwm[0].i ne[2]:3	tcpwm[1].line [2]:1			smif.spi _select0	scb[5].ua rt_rts:1		scb[5].spi _clk:1									
P11.3	tcpwm[0].i ne_comp [2]:3	tcpwm[1].line _compl[2]:1			smif.spi _data3	scb[5].ua rt_cts:1		scb[5].spi _select0:1				peri.tr.io.o utput[0]:0					
P11.4	tcpwm[0].i ne[3]:3	tcpwm[1].line [3]:1			smif.spi _data2			scb[5].spi _select1:1				peri.tr.io.o utput[1]:0					
P11.5	tcpwm[0].i ne_comp [3]:3	tcpwm[1].line _compl[3]:1			smif.spi _data1			scb[5].spi _select2:1									
P11.6					smif.spi _data0			scb[5].spi _select3:1									
P11.7					smif.spi _clk												
P12.0	tcpwm[0].i ne[4]:3	tcpwm[1].line [4]:1			smif.spi _data4	scb[6].ua rt_rx:0	scb[6].i2 c_scl:0	scb[6].spi _mosi:0			peri.tr.io.i nput[24]:0						
P12.1	tcpwm[0].i ne_comp [4]:3	tcpwm[1].line _compl[4]:1			smif.spi _data5	scb[6].ua rt_tx:0	scb[6].i2 c_sda:0	scb[6].spi _miso:0			peri.tr.io.i nput[25]:0						
P12.2	tcpwm[0].i ne[5]:3	tcpwm[1].line [5]:1			smif.spi _data6	scb[6].ua rt_rts:0		scb[6].spi _clk:0									
P12.3	tcpwm[0].i ne_comp [5]:3	tcpwm[1].line _compl[5]:1			smif.spi _data7	scb[6].ua rt_cts:0		scb[6].spi _select0:0									
P12.4	tcpwm[0].i ne[6]:3	tcpwm[1].line [6]:1			smif.spi _select3			scb[6].spi _select1:0	audioss.p dm_clk								

**表 2. 複数の代替機能 ( 続き )**

ポート／ ピン	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P12.5	tcpwm[0].l ine_comp [6]:3	tcpwm[1].line _compl[6]:1						scb[6].spi _select2:0	audioss.p dm_data								
P12.6	tcpwm[0].l ine[7]:3	tcpwm[1].line [7]:1						scb[6].spi _select3:0									
P12.7	tcpwm[0].l ine_comp [7]:3	tcpwm[1].line _compl[7]:1															
P13.0	tcpwm[0].l ine[0]:4	tcpwm[1].line [8]:1			scb[6].ua rt_rx:1	scb[6].i2 c_scl:1	scb[6].spi _mosi:1			peri.tr_io_i nput[26]:0							
P13.1	tcpwm[0].l ine_comp [0]:4	tcpwm[1].line _compl[8]:1			scb[6].ua rt_tx:1	scb[6].i2 c_sda:1	scb[6].spi _miso:1			peri.tr_io_i nput[27]:0							
P13.2	tcpwm[0].l ine[1]:4	tcpwm[1].line [9]:1			scb[6].ua rt_rts:1		scb[6].spi _clk:1										
P13.3	tcpwm[0].l ine_comp [1]:4	tcpwm[1].line _compl[9]:1			scb[6].ua rt_cts:1		scb[6].spi _select0:1										
P13.4	tcpwm[0].l ine[2]:4	tcpwm[1].line [10]:1					scb[6].spi _select1:1										
P13.5	tcpwm[0].l ine_comp [2]:4	tcpwm[1].line _compl[10]:1					scb[6].spi _select2:1										
P13.6	tcpwm[0].l ine[3]:4	tcpwm[1].line [11]:1					scb[6].spi _select3:1										
P13.7	tcpwm[0].l ine_comp [3]:4	tcpwm[1].line _compl[11]:1															

アナログ、Smart I/O および DSI 代替ポートピン機能を表 3 に示されます。

表 3. ポート ピン アナログ、Smart I/O および DSI 機能

ポート／ピン	名称	アナログ	デジタル HV	DSI	SMARTIO	USB
P0.0	P0.0	wco_in		dsi[0].port_if[0]		
P0.1	P0.1	wco_out		dsi[0].port_if[1]		
P0.2	P0.2			dsi[0].port_if[2]		
P0.3	P0.3			dsi[0].port_if[3]		
P0.4	P0.4		pmic_wakeup_in hibernate_wakeup[1]	dsi[0].port_if[4]		
P0.5	P0.5		pmic_wakeup_out	dsi[0].port_if[5]		
P1.0	P1.0			dsi[1].port_if[0]		
P1.1	P1.1			dsi[1].port_if[1]		
P1.2	P1.2			dsi[1].port_if[2]		
P1.3	P1.3			dsi[1].port_if[3]		
P1.4	P1.4		hibernate_wakeup[0]	dsi[1].port_if[4]		
P1.5	P1.5			dsi[1].port_if[5]		
P14.0	USBDP					usb.usb_dp_pad
P14.1	USBDM					usb.usb_dm_pad
P2.0	P2.0			dsi[2].port_if[0]		
P2.1	P2.1			dsi[2].port_if[1]		
P2.2	P2.2			dsi[2].port_if[2]		
P2.3	P2.3			dsi[2].port_if[3]		
P2.4	P2.4			dsi[2].port_if[4]		
P2.5	P2.5			dsi[2].port_if[5]		
P2.6	P2.6			dsi[2].port_if[6]		
P2.7	P2.7			dsi[2].port_if[7]		
P3.0	P3.0					
P3.1	P3.1					
P3.2	P3.2					
P3.3	P3.3					
P3.4	P3.4					
P3.5	P3.5					
P4.0	P4.0			dsi[0].port_if[6]		
P4.1	P4.1			dsi[0].port_if[7]		
P4.2	P4.2			dsi[1].port_if[6]		
P4.3	P4.3			dsi[1].port_if[7]		
P5.0	P5.0			dsi[3].port_if[0]		
P5.1	P5.1			dsi[3].port_if[1]		
P5.2	P5.2			dsi[3].port_if[2]		
P5.3	P5.3			dsi[3].port_if[3]		
P5.4	P5.4			dsi[3].port_if[4]		
P5.5	P5.5			dsi[3].port_if[5]		
P5.6	P5.6	lpcomp.inp_comp0		dsi[3].port_if[6]		
P5.7	P5.7	lpcomp.inn_comp0		dsi[3].port_if[7]		

**表3. ポート ピン アナログ、Smart I/O および DSI 機能 ( 続き )**

ポート／ ピン	名称	アナログ	デジタル HV	DSI	SMARTIO	USB
P6.0	P6.0			dsi[4].port_if[0]		
P6.1	P6.1			dsi[4].port_if[1]		
P6.2	P6.2	lpcomp.inp_comp1		dsi[4].port_if[2]		
P6.3	P6.3	lpcomp.inn_comp1		dsi[4].port_if[3]		
P6.4	P6.4			dsi[4].port_if[4]		
P6.5	P6.5			dsi[4].port_if[5]		
P6.6	P6.6		swd_data	dsi[4].port_if[6]		
P6.7	P6.7		swd_clk	dsi[4].port_if[7]		
P7.0	P7.0			dsi[5].port_if[0]		
P7.1	P7.1	csd.cmodpadd csd.cmodpads		dsi[5].port_if[1]		
P7.2	P7.2	csd.csh_tankpadd csd.csh_tankpads		dsi[5].port_if[2]		
P7.3	P7.3	csd.vref_ext		dsi[5].port_if[3]		
P7.4	P7.4			dsi[5].port_if[4]		
P7.5	P7.5			dsi[5].port_if[5]		
P7.6	P7.6			dsi[5].port_if[6]		
P7.7	P7.7	csd.cshieldpads		dsi[5].port_if[7]		
P8.0	P8.0			dsi[11].port_if[0]	smartio[8].io[0]	
P8.1	P8.1			dsi[11].port_if[1]	smartio[8].io[1]	
P8.2	P8.2			dsi[11].port_if[2]	smartio[8].io[2]	
P8.3	P8.3			dsi[11].port_if[3]	smartio[8].io[3]	
P8.4	P8.4			dsi[11].port_if[4]	smartio[8].io[4]	
P8.5	P8.5			dsi[11].port_if[5]	smartio[8].io[5]	
P8.6	P8.6			dsi[11].port_if[6]	smartio[8].io[6]	
P8.7	P8.7			dsi[11].port_if[7]	smartio[8].io[7]	
P9.0	P9.0	ctb_oa0+		dsi[10].port_if[0]	smartio[9].io[0]	
P9.1	P9.1	ctb_oa0-		dsi[10].port_if[1]	smartio[9].io[1]	
P9.2	P9.2	ctb_oa0_out		dsi[10].port_if[2]	smartio[9].io[2]	
P9.3	P9.3	ctb_oa1_out		dsi[10].port_if[3]	smartio[9].io[3]	
P9.4	P9.4	ctb_oa1-		dsi[10].port_if[4]	smartio[9].io[4]	
P9.5	P9.5	ctb_oa1+		dsi[10].port_if[5]	smartio[9].io[5]	
P9.6	P9.6	ctb_oa0+		dsi[10].port_if[6]	smartio[9].io[6]	
P9.7	P9.7	ctb_oa1+ または ext_vref		dsi[10].port_if[7]	smartio[9].io[7]	
P10.0	P10.0	sarmux[0]		dsi[9].port_if[0]		
P10.1	P10.1	sarmux[1]		dsi[9].port_if[1]		
P10.2	P10.2	sarmux[2]		dsi[9].port_if[2]		
P10.3	P10.3	sarmux[3]		dsi[9].port_if[3]		
P10.4	P10.4	sarmux[4]		dsi[9].port_if[4]		
P10.5	P10.5	sarmux[5]		dsi[9].port_if[5]		

**表3. ポート ピン アナログ、Smart I/O および DSI 機能 ( 続き )**

ポート／ ピン	名称	アナログ	デジタル HV	DSI	SMARTIO	USB
P10.6	P10.6	sarmux[6]		dsi[9].port_if[6]		
P10.7	P10.7	sarmux[7]		dsi[9].port_if[7]		
P11.0	P11.0			dsi[8].port_if[0]		
P11.1	P11.1			dsi[8].port_if[1]		
P11.2	P11.2			dsi[8].port_if[2]		
P11.3	P11.3			dsi[8].port_if[3]		
P11.4	P11.4			dsi[8].port_if[4]		
P11.5	P11.5			dsi[8].port_if[5]		
P11.6	P11.6			dsi[8].port_if[6]		
P11.7	P11.7			dsi[8].port_if[7]		
P12.0	P12.0			dsi[7].port_if[0]		
P12.1	P12.1			dsi[7].port_if[1]		
P12.2	P12.2			dsi[7].port_if[2]		
P12.3	P12.3			dsi[7].port_if[3]		
P12.4	P12.4			dsi[7].port_if[4]		
P12.5	P12.5			dsi[7].port_if[5]		
P12.6	P12.6	srss.eco_in		dsi[7].port_if[6]		
P12.7	P12.7	srss.eco_out		dsi[7].port_if[7]		
P13.0	P13.0			dsi[6].port_if[0]		
P13.1	P13.1			dsi[6].port_if[1]		
P13.2	P13.2			dsi[6].port_if[2]		
P13.3	P13.3			dsi[6].port_if[3]		
P13.4	P13.4			dsi[6].port_if[4]		
P13.5	P13.5			dsi[6].port_if[5]		
P13.6	P13.6			dsi[6].port_if[6]		
P13.7	P13.7			dsi[6].port_if[7]		

## 電源

電源システム図 (図 3 を参照) は、PSoC 63 の電源ピンの一般的な要件を示します。この図には、デカッピングが必要な無線ピンも示されています。PSoC 63 の電源スキームにより、異なる VDDIO と VDDA の接続が可能になります。シーケンス要件を分析および指定する必要がないため、ユーザーは電源を任意の順序で提供することができ、電源システムは動作を開始する前にすべてのドメインで電力が良好であることを保証する責任を負います。VDDIO、VDDA および VDDIO は、チップ上にオーミック接続されていない別個のネットである場合があります。異なるパッケージ要件に応じて、これらはチップ外で接続する必要があります。

電源システムは LDO に加えて降圧レギュレータを備えています。複数の出力を備えた単入力多出力 (SIMO) 降圧レギュレータにより、インダクタを使用しなくてもよく、無線ブロックに高効率の電源を供給することができます。

図 3 に示します。

図 3. 無線ブロックとの SOC 電源接続 (104-CSP および 116-BGA パッケージ)

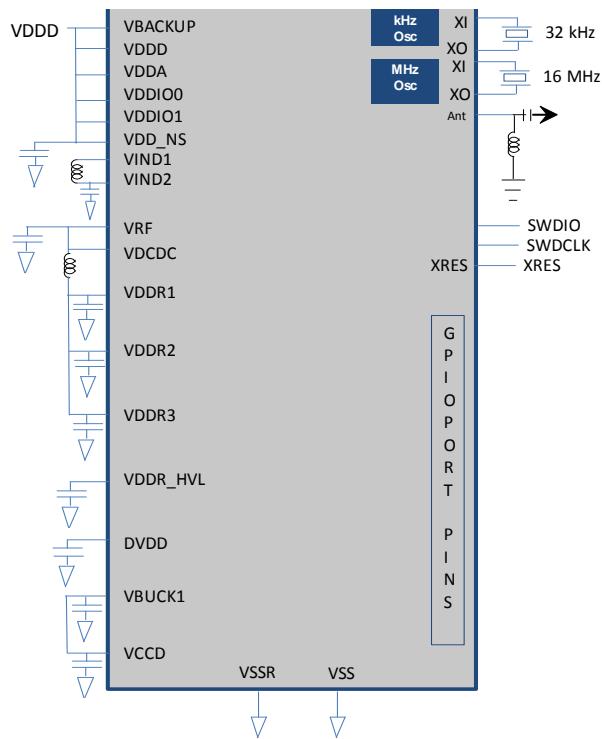


図 3 は、PSoC への電源ピンおよび PSoC と無線ブロックとの接続を示します。また、どのピンにバイパス コンデンサが必要かを示します。

電源ピンの説明は以下の通りです。

1. VBACKUP はバックアップ ドメインへの電源です。バックアップ ドメインは、32kHz WCO、RTC およびバックアップ レジスタを含み、RTC タイマーまたは外部入力によりチップにウェイクアップ割込みを生成することができます。RTC タイマーまたは外部入力により、ウェイクアップ 割り込みをチップに生成できます。また、外部回路をウェイクアップするための出力も生成することもできます。別のバッテリ バックアップ ドメインとして使用されない場合、VDDD に接続されます。VBACKUP はポート 0 に電源供給します。
2. VDDD は主デジタル電源入力 (1.7 ~ 3.6V) であり、内部レギュレータとポート 1 への入力を提供します。
3. VDDA はアナログ ペリフェラルの電源です (1.7 ~ 3.6V)。これは PCB 上の VDDIOA に接続する必要があります。
4. VDDIOA はポート 9 と 10 への電源です。提供される場合、PCB 上の VDDA に接続する必要があります。VDDIOA が提供されない場合、ポート 9 および 10 は VDDA によって給電されます。
5. VDD\_NS は降圧レギュレータへの電源入力であり、VDDD と同じ電位でなければなりません。VDD\_NS とグランド間のバイパス コンデンサは  $10\mu\text{F}$  でなければなりません。
6. VDDIO0 は、提供される場合、ポート 11 ~ 13 の電源です。そうでない場合、これらのポートは VDDD によって供給されます。
7. VDDIO1 は、提供される場合、ポート 5 ~ 8 の電源です。そうでない場合、これらのポートは VDDA によって供給されます。
8. VDDIOR は BGA 124 でのみポート 2 ~ 4 の電源です。

図 3 に示すように、上記のピンはすべて VDDD に短絡可能です。

9. VRF は無線ブロックへの SIMO 降圧レギュレータの出力であり、VDCDC に接続してデカップリングする必要があります。

10. VDCDC は無線ブロックへのデジタル電源入力で、VRF に接続する必要があります。
11. VDDR1、VDDR2 および VDDR3 ピンは無線ブロックのサブシステムに使用されますが、個別にデカップリングし、高周波電源ノイズをフィルタリングするためにビーズを介して VDCDC に接続する必要があります。
12. VDDR\_HVL は、PSoC 63 サブシステムからの無線ブロックへの調整された出力であり、デカップリングする必要があります。
13. DVDD は、無線ブロックからのデジタル LDO 出力であり、デカップリングする必要があります。
14. VBUCK1 は、内部コア ロジックへの SIMO 降圧レギュレータ出力であり、VCCD に接続する必要があります。
15. VCCD は内部コア ロジックであり、VBUCK1 に接続してデカップリングする必要があります。

電源電圧範囲は 1.71V ~ 3.6V で、すべての機能と回路がその範囲において動作します。すべてのグランド ピンを PCB 上で短絡する必要があります。バイパス コンデンサは、VDDD と VDDA からグランド および 図に示されているとおり使用する必要があります。この周波数範囲でのシステムの標準的な値は、 $10\mu\text{F}$  レンジのコンデンサをより小さいコンデンサ ( 例えば  $0.1\mu\text{F}$  ) と並列で使用します。これらは単に経験則であり、重要なアプリケーションに対しては、設計に最適なバイパスを得るために、PCB レイアウト、リード インダクタンス、バイパス コンデンサ寄生容量をシミュレートする必要があることにご留意ください。降圧レギュレータ出力コンデンサの推奨値は  $\text{Vrf}$  の場合に  $10\mu\text{F}$ 、VBUCK1 の場合に  $4.7\mu\text{F}$  です。Vind2 に接続されるコンデンサは  $100\text{nF}$  である必要があります。すべてのコンデンサは  $\pm 20\%$  またはそれより高精度のもので、インダクタの推奨値は  $2.2\mu\text{H} \pm 20\%$  です。

( 例えば、TDK MLP2012H2R2MT0S1)。

## 開発サポート

PSoC 63 ファミリには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については <http://www.cypress.com/products/32-bit-arm-cortex-m4-psoc-6> をご覧ください。

### ドキュメント

PSoC 63 ファミリはユーザーが疑問点に対する答えを素早く見つけることができるよう、ドキュメント一式が用意されています。重要なドキュメントの幾つかを本節にリストアップします。

**ソフトウェア ユーザー ガイド** : PSoC Creator の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルド プロセスの詳細、PSoC Creator を用いたソース制御の使い方などが記載されています。

**コンポーネント データ シート** : PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成することができます。コンポーネント データ シートには、特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュメント、推奨コード例、AC/DC 仕様を含んで全て記載されています。

**テクニカル リファレンス マニュアル** : テクニカル リファレンス マニュアル (TRM) には、すべての PSoC レジスタの詳細な説明など、PSoC デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は <http://www.cypress.com/products/32-bit-arm-cortex-m4-psoc-6> の「ドキュメント」セクションにあります。

### オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

### ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた PSoC 63 ファミリは、開発ツール エコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサード パーティのコンパイラ、プログラマ、デバッガおよび開発キットの最新情報については、サイプレスのウェブサイト [www.cypress.com/products/psoc-creator-integrated-design-environment-ide](http://www.cypress.com/products/psoc-creator-integrated-design-environment-ide) をご覧ください。

## 電気的仕様

注：これらの情報は暫定版であり、変更される可能性があります。

### 絶対最大定格

表 4. 絶対最大定格<sup>[1]</sup>

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID1	$V_{DD\_ABS}$	$V_{SS}$ を基準としたアナログまたはデジタルの電源 ( $V_{SSD}=V_{SSA}$ )	-0.5	—	4	V	絶対最大値
SID2	$V_{CCD\_ABS}$	$V_{SSD}$ を基準とした直接デジタルコア電圧入力	-0.5	—	1.2	V	絶対最大値
SID3	$V_{GPIO\_ABS}$	GPIO 電圧。 $V_{DDD}$ または $V_{DDA}$	-0.5	—	$V_{DD}+0.5$	V	絶対最大値
SID4	$I_{GPIO\_ABS}$	GPIO ごとの電流	-25	—	25	mA	絶対最大値
SID5	$I_{GPIO\_injection}$	ピン毎の GPIO 注入電流	-0.5	—	0.5	mA	絶対最大値
SID3A	ESD_HBM	静電気放電 (人体モデル)	2200	—	—	V	絶対最大値
SID3B	ESD_HBM_ANT	静電気放電 (人体モデル)。アンテナ ピン	500	—	—	V	絶対最大値。RF ピン
SID4A	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	—	—	V	絶対最大値
SID4B	ESD_CDM_ANT	静電気放電 (デバイス帯電モデル)。アンテナ ピン	200	—	—	V	絶対最大値。RF ピン
SID5A	LU	ラッチアップフリー動作のピン電流	-100	—	100	mA	絶対最大値

### デバイス レベルの仕様

すべての仕様は、注記した場合を除いて、 $-40^{\circ}\text{C} \leq \text{TA} \leq 85^{\circ}\text{C}$  および  $1.71\text{V} \sim 3.6\text{V}$  の条件で有効です。

表 5. 電源範囲、CPU 電流および遷移時間の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>DC 仕様</b>							
SID6	$V_{DDD}$	内部レギュレータとポート 1 GPIO 電源	1.7	—	3.6	V	56-QFN でポート 0 にも電源供給
SID7	$V_{DDA}$	アナログ電源電圧。PCB 上で $V_{DDIOA}$ に短絡	1.7	—	3.6	V	内部で安定化されない電源
SID7A	$V_{DDIO1}$	提供される場合、ポート 5 ~ 8 用の GPIO 電源	1.7	—	3.6	V	$V_{DDIO\_1} \geq V_{DDA}$
SID7B	$V_{DDIO0}$	提供される場合、ポート 11 ~ 13 用の GPIO 電源	1.7	—	3.6	V	
SID7E	$V_{DDIO0}$	E-Fuse プログラミング用の電源	2.38	2.5	2.62	V	E-Fuse プログラミング電圧
SID7C	$V_{DDIOR}$	BGA 124 でのみ、ポート 2 ~ 4 用の GPIO 電源	1.7	—	3.6	V	
SID7D	$V_{DDIOA}$	ポート 9 ~ 10 用の GPIO 電源。PCB 上で $V_{DDA}$ に短絡	1.7	—	3.6	V	56-QFN でポート 5 ~ 7 にも電源供給
SID7F	$V_{DDUSB}$	提供される場合、ポート 14 (USB または GPIO) 用の電源	1.7	—	3.6	V	Min は 2.85V (USB 用)
SID6B	$V_{BACKUP}$	提供される場合、バックアップ電源および GPIO ポート 0 電源	1.7	—	3.6	V	Min は 1.4V (バックアップモード)
SID8	$V_{CCD1}$	出力電圧 (コア ロジック バイパス)	—	1.1	—	V	ハイスピード モード

注：

- 表 4 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103, High Temperature Storage Life」に準拠した  $150^{\circ}\text{C}$  です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しないことがあります。

**表 5. 電源範囲、CPU 電流および遷移時間の仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID9	$V_{CCD2}$	出力電圧 (コア ロジック バイパス)	—	0.9	—	V	ULP モード。-20 ~ 85°C で有効
SID10	$C_{EFC}$	外部レギュレータ電圧 ( $V_{CCD}$ ) バイパス	3.8	4.7	5.6	$\mu F$	X5R セラミックまたはこれより良質のもの
SID11	$C_{EXC}$	電源デカッピング コンデンサ	—	10	—	$\mu F$	X5R セラミックまたはこれより良質のもの
<b>LP 範囲電源の仕様 (<math>V_{CCD}=1.1V</math> ; 降圧レギュレータと LDO を仕様)</b>							
<b>Cortex M4。アクティブ モード</b>							
<b>キャッシング無効時に実行 ( フラッシュを使用 )</b>							
SIDF1	$I_{DD1}$	キャッシングから実行。CM4 アクティブ 50MHz、CM0+ スリープ 25MHz IMO、FLL を使用。While(1)	—	2.3	3.2	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	3.1	3.6		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
			—	4.2	5.1		$V_{DDD}=1.8V \sim 3.3V$ 、LDO、60°C で最大値
SIDF2	$I_{DD2}$	キャッシングから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。IMO を使用。While(1)	—	0.9	1.5	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	1.2	1.6		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
			—	1.6	2.4		$V_{DDD}=1.8V \sim 3.3V$ 、LDO、60°C で最大値
<b>キャッシング有効時に実行</b>							
SIDC1	$I_{DD3}$	キャッシングから実行。CM4 アクティブ 150MHz、CM0+ スリープ 75MHz。IMO、FLL を使用。ドライストーン	—	6.3	7	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	9.7	11.2		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
			—	13.2	13.7		$V_{DDD}=1.8V \sim 3.3V$ 、LDO、60°C で最大値
SIDC2	$I_{DD4}$	キャッシングから実行。CM4 アクティブ 100MHz、CM0+ スリープ 100MHz。IMO、FLL を使用。ドライストーン	—	4.8	5.8	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	7.4	8.4		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
			—	10.1	10.7		$V_{DDD}=1.8V \sim 3.3V$ 、LDO、60°C で最大値
SIDC3	$I_{DD5}$	キャッシングから実行。CM4 アクティブ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用。ドライストーン	—	2.4	3.4	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	3.7	4.1		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
			—	5.1	5.8		$V_{DDD}=1.8V \sim 3.3V$ 、LDO、60°C で最大値
SIDC4	$I_{DD6}$	キャッシングから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。IMO を使用。ドライストーン	—	0.90	1.5	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	1.27	1.75		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
			—	1.8	2.6		$V_{DDD}=1.8V \sim 3.3V$ 、LDO、60°C で最大値

**表 5. 電源範囲、CPU 電流および遷移時間の仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>Cortex M0+。アクティブ モード</b>							
<b>キャッシング無効時に実行 ( フラッシュを使用 )</b>							
SIDF3	I <sub>DD7</sub>	キャッシングから実行。CM4 オフ、CM0+ アクティブ 50MHz。IMO、FLL を使用。While(1)	—	2.4	3.3	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			—	3.2	3.7		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			—	4.1	4.8		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
SIDF4	I <sub>DD8</sub>	キャッシングから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。While(1)	—	0.8	1.5	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			—	1.1	1.6		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			—	1.45	1.9		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
<b>キャッシング有効時に実行</b>							
SIDC5	I <sub>DD9</sub>	キャッシングから実行。CM4 オフ、CM0+ アクティブ 100MHz。IMO、FLL を使用。ドライストーン	—	3.8	4.5	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			—	5.9	6.5		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			—	7.7	8.2		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
SIDC6	I <sub>DD10</sub>	キャッシングから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。ドライストーン	—	0.80	1.3	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			—	1.2	1.7		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			—	1.41	2		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
<b>Cortex M4。スリープ モード</b>							
SIDS1	I <sub>DD11</sub>	CM4 スリープ 100MHz、CM0+ スリープ 25MHz。IMO、FLL を使用	—	1.5	2.2	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			—	2.2	2.7		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			—	2.9	3.5		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
SIDS2	I <sub>DD12</sub>	CM4 スリープ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用	—	1.20	1.9	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			—	1.70	2.2		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			—	2.20	2.8		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
SIDS3	I <sub>DD13</sub>	CM4 スリープ 8MHz、CM0+ スリープ 8MHz。IMO を使用	—	0.7	1.3	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			—	0.96	1.5		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			—	1.22	2		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値

**表 5. 電源範囲、CPU 電流および遷移時間の仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>Cortex M0+。スリープ モード</b>							
SIDS4	I <sub>DD14</sub>	CM4 オフ、CM0+ スリープ 50MHz。 IMO、FLL を使用	–	1.3	2	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			–	1.94	2.4		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			–	2.57	3.2		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
SIDS5	I <sub>DD15</sub>	CM4 オフ、CM0+ スリープ 8MHz。 IMO を使用	–	0.7	1.3	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			–	0.95	1.5		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			–	1.25	2		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
<b>Cortex M4。低消費電力アクティブ (LPA) モード</b>							
SIDLPA1	I <sub>DD16</sub>	フラッシュから実行。CM4 LPA 8MHz、 CM0+ スリープ 8MHz。IMO を使用 While(1)	–	0.85	1.5	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			–	1.18	1.65		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			–	1.63	2.4		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
SIDLPA2	I <sub>DD17</sub>	キャッシュから実行。CM4 LPA 8MHz、 CM0+ スリープ 8MHz。IMO を使用。 ドライストーン	–	0.90	1.5	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			–	1.27	1.75		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			–	1.77	2.5		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値
<b>Cortex M0+。低消費電力スリープ (LPS) モード</b>							
SIDLPS1	I <sub>DD20</sub>	CM4 LPS 8MHz、CM0+ LPS 8MHz。IMO を使用	–	0.65	1.1	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値
			–	0.95	1.5		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値
			–	1.31	2.1		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値

**表 5. 電源範囲、CPU 電流および遷移時間の仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件			
<b>Cortex M0+。低電力スリープ (LPS) モード</b>										
SIDLPS3	I <sub>DD22</sub>	CM4 オフ、CM0+ LPS 8 MHz。IMO を使用	—	0.64	1.1	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	0.93	1.45		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			
			—	1.29	2		V <sub>DDD</sub> =1.8V ~ 3.3V、LDO、60°C で最大値			
<b>ULP 範囲電源仕様 (V<sub>CCD</sub>=0.9V、降圧レギュレータを使用)。ULP モードは -20 ~ +85°C で有効</b>										
<b>Cortex M4。アクティブ モード</b>										
<b>キャッシュ無効時に実行 ( フラッシュを使用 )</b>										
SIDF5	I <sub>DD3</sub>	フラッシュから実行。CM4 アクティブ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用。While(1)	—	1.7	2.2	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	2.1	2.4		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			
SIDF6	I <sub>DD4</sub>	フラッシュから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。IMO を使用。While(1)	—	0.56	0.8	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	0.75	1		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			
<b>キャッシュ有効時に実行</b>										
SIDC8	I <sub>DD10</sub>	キャッシュから実行。CM4 アクティブ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用。ドライストーン	—	1.6	2.2	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	2.4	2.7		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			
SIDC9	I <sub>DD11</sub>	キャッシュから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。IMO を使用。ドライストーン	—	0.65	0.8	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	0.8	1.1		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			
<b>Cortex M0+。アクティブ モード</b>										
<b>キャッシュ無効時に実行 ( フラッシュを使用 )</b>										
SIDF7	I <sub>DD16</sub>	フラッシュから実行。CM4 オフ、CM0+ アクティブ 25MHz。IMO、FLL を使用。Write(1)	—	1.00	1.4	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	1.34	1.6		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			
SIDF8	I <sub>DD17</sub>	フラッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。While(1)	—	0.54	0.75	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	0.73	1		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			
<b>キャッシュ有効時に実行</b>										
SIDC10	I <sub>DD18</sub>	キャッシュから実行。CM4 オフ、CM0+ アクティブ 25MHz。IMO、FLL を使用。ドライストーン	—	0.91	1.25	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	1.34	1.6		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			
SIDC11	I <sub>DD19</sub>	キャッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。ドライストーン	—	0.51	0.72	mA	V <sub>DDD</sub> =3.3V、降圧レギュレータ ON、60°C で最大値			
			—	0.73	0.95		V <sub>DDD</sub> =1.8V、降圧レギュレータ ON、60°C で最大値			

**表 5. 電源範囲、CPU 電流および遷移時間の仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>Cortex M4。スリープ モード</b>							
SIDS7	$I_{DD21}$	CM4 スリープ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用	—	0.76	1.1	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	1.1	1.4		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
SIDS8	$I_{DD22}$	CM4 スリープ 8MHz、CM0+ スリープ 8MHz。IMO を使用	—	0.42	0.65	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.59	0.8		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
<b>Cortex M0+。スリープ モード</b>							
SIDS9	$I_{DD23}$	CM4 オフ、CM0+ スリープ 25MHz。IMO、FLL を使用。	—	0.62	0.9	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.88	1.1		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
SIDS10	$I_{DD24}$	CM4 オフ、CM0+ スリープ 8MHz。IMO を使用	—	0.41	0.6	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.58	0.8		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
<b>Cortex M4。超低消費電力アクティブ (ULPA) モード</b>							
SIDLPA5	$I_{DD25}$	フラッシュから実行。CM4 ULPA 8MHz、CM0+ ULPS 8MHz。IMO を使用。While(1)	—	0.52	0.75	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.76	1		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
SIDLPA6	$I_{DD26}$	キヤッシュから実行。CM4 ULPA 8MHz、CM0+ ULPS 8MHz。IMO を使用。ドライストーン	—	0.54	0.76	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.78	1		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
<b>Cortex M0+。超低消費電力アクティブ (ULPA) モード</b>							
SIDLPA7	$I_{DD27}$	フラッシュから実行。CM4 オフ、CM0+ ULPA 8MHz。IMO を使用。While(1)	—	0.51	0.75	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.75	1		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
SIDLPA8	$I_{DD28}$	キヤッシュから実行。CM4 オフ、CM0+ ULPA 8MHz。IMO を使用。ドライストーン	—	0.48	0.7	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.7	0.95		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
<b>Cortex M4。超低消費電力スリープ (ULPS) モード</b>							
SIDLPS5	$I_{DD29}$	CM4 ULPS 8MHz、CM0 ULPS 8MHz。IMO を使用	—	0.4	0.6	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.57	0.8		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値
<b>Cortex M0+。超低消費電力スリープ (ULPS) モード</b>							
SIDLPS7	$I_{DD31}$	CM4 オフ、CM0+ ULPS 8MHz。IMO を使用	—	0.39	0.6	mA	$V_{DDD}=3.3V$ 、降圧レギュレータ ON、60°C で最大値
			—	0.56	0.8		$V_{DDD}=1.8V$ 、降圧レギュレータ ON、60°C で最大値

**表 5. 電源範囲、CPU 電流および遷移時間の仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>ディープスリープモード</b>							
SIDDS1	$I_{DD33A}$	内部降圧レギュレータ有効、64K SRAM 保持	—	7	—	$\mu A$	最大値は 85°C
SIDDS1_B	$I_{DD33A\_B}$	内部降圧レギュレータ有効、64K SRAM 保持	—	7	—	$\mu A$	最大値は 60°C
SIDDS2	$I_{DD33B}$	内部降圧レギュレータ有効、256K SRAM 保持	—	9	—	$\mu A$	最大値は 85°C
SIDDS2_B	$I_{DD33B\_B}$	内部降圧レギュレータ有効、256K SRAM 保持	—	9	—	$\mu A$	最大値は 60°C
<b>ハイバネートモード</b>							
SIDHIB1	$I_{DD34}$	$V_{DDD}=1.8V$	—	300	—	nA	クロック実行なし
SIDHIB2	$I_{DD34A}$	$V_{DDD}=3.3V$	—	800	—	nA	クロック実行なし
<b>消費電力モード遷移時間</b>							
SID12	$T_{LPACT\_ACT}$	低消費電力アクティブからアクティブまでの遷移時間	—	—	35	$\mu s$	PLL ロック時間を含む
SID13 <sup>[2]</sup>	$T_{DS\_LPACT}$	ディープスリープから LP アクティブまでの遷移時間	—	—	25	$\mu s$	設計上保証
SID13A <sup>[3]</sup>	$T_{DS\_ACT}$	ディープスリープからアクティブまでの遷移時間	—	—	25	$\mu s$	設計上保証
SID14	$T_{HIB\_ACT}$	ハイバネートからアクティブまでの遷移時間	—	500	—	$\mu s$	PLL ロック時間を含む

XRES

**表 6. XRES**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>XRES ( アクティブ LOW ) 仕様</b>							
<b>XRES の AC 仕様</b>							
SID15	$T_{XRES\_ACT}$	POR または XRES 解放からアクティブまでの遷移時間	—	700	—	$\mu s$	通常モード、50MHz M0+
SID16	$T_{XRES\_PW}$	XRES パルス幅	5	—	—	$\mu s$	
<b>XRES の DC 仕様</b>							
SID17	$T_{XRES\_IDD}$	XRES アサート時の IDD	—	300	—	nA	$V_{DDD}=1.8V$
SID17A	$T_{XRES\_IDD\_1}$	XRES アサート時の IDD	—	800	—	nA	$V_{DDD}=3.3V$
SID77	$V_{IH}$	入力電圧 HIGH 閾値	$0.7^* V_{DD}$	—	—	V	CMOS 入力
SID78	$V_{IL}$	入力電圧 LOW 閾値	—	—	$0.3^* V_{DD}$	V	CMOS 入力
SID80	$C_{IN}$	入力容量	—	3	—	pF	
SID81	$V_{HYSXRES}$	入力電圧ヒステリシス	—	100	—	mV	
SID82	$I_{DIODE}$	保護ダイオードを通って $V_{DD} / V_{SS}$ に流れる電流	—	—	100	$\mu A$	

注 :

2. サイプレス提供のソフトウェア ウェイクアップ ルーチンはアプリケーション コードに遷移する前に、ハードウェア ウェイクアップ後 (25 $\mu s$ )、約 180 CPU クロック サイクル掛かる。8MHz CPU クロック (LP アクティブ) の場合、ユーザ コードが実行されるまでの時間は (25 + 22.5 = 47.5 $\mu s$ ) です。
3. サイプレス提供のソフトウェア ウェイクアップ ルーチンはアプリケーション コードに遷移する前に、ハードウェア ウェイクアップ後 (25 $\mu s$ )、約 180 CPU クロック サイクル掛かる。25MHz CPU クロック (FLL) の場合、ユーザ コードが実行されるまでの時間は (25 + 7.2 = 32.2 $\mu s$ ) です。100MHz CPU クロックの場合、その時間は (25 + 1.8 = 26.8 $\mu s$ ) です。

**GPIO**
**表 7. GPIO 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>GPIO の DC 仕様</b>							
SID57	$V_{IH}$	入力電圧 HIGH 閾値	$0.7*V_{DD}$	—	—	V	CMOS 入力
SID57A	$I_{IHS}$	パッド電圧が OVT 入力の VDDIO より高い場合の入力電流	~	—	10	μA	$I^2C$ の仕様による
SID58	$V_{IL}$	入力電圧 LOW 閾値	—	—	$0.3*V_{DD}$	V	CMOS 入力
SID241	$V_{IH}$	LVTTL 入力、 $V_{DD} < 2.7V$	$0.7*V_{DD}$	—	—	V	
SID242	$V_{IL}$	LVTTL 入力、 $V_{DD} < 2.7V$	—	—	$0.3*V_{DD}$	V	
SID243	$V_{IH}$	LVTTL 入力、 $V_{DD} \geq 2.7V$	2.0	—	—	V	
SID244	$V_{IL}$	LVTTL 入力、 $V_{DD} \geq 2.7V$	—	—	0.8	V	
SID59	$V_{OH}$	出力 HIGH 電圧	$V_{DD}-0.5$	—	—	V	$I_{OH}=8mA$
SID62A	$V_{OL}$	出力 LOW 電圧	—	—	0.4	V	$I_{OL}=8mA$
SID63	$R_{PULLUP}$	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	kΩ	
SID65	$I_{IL}$	入力リーケ電流 ( 絶対値 )	—	—	2	nA	$25^{\circ}C$ 、 $V_{DD}=3.0V$
SID65A	$I_{IL\_CTBM}$	CTBm 入力ピン上の入力リーケ電流	—	—	4	nA	
SID66	$C_{IN}$	入力容量	—	—	5	pF	
SID67	$V_{HYSTTLL}$	入力ヒステリシス LVTTL $V_{DD} > 2.7V$	100	0	-	mV	
SID68	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05*V_{DD}$	—	-	mV	
SID69	$I_{DIODE}$	保護ダイオードを通って $V_{DD} / V_{SS}$ に流れる電流	—	—	100	μA	
SID69A	$I_{TOT\_GPIO}$	チップの最大合計ソースまたはシンク電流	—	—	200	mA	
<b>GPIO の AC 仕様</b>							
SID70	$T_{RISEF}$	高速ストロング モードでの立ち上がり時間。 $V_{DD}$ の 10% ~ 90%	—	—	2.5	ns	$C_{load}=15pF$ 、 8mA 駆動強度
SID71	$T_{FALLF}$	高速ストロング モードでの立ち下がり時間。 $V_{DD}$ の 10% ~ 90%	—	—	2.5	ns	$C_{load}=15pF$ 、 8mA 駆動強度
SID72	$T_{RISES\_1}$	低速ストロング モードでの立ち上がり時間。 $V_{DD}$ の 10% ~ 90%	52	—	142	ns	$C_{load}=15pF$ 、8mA 駆動強度、 $V_{DD} \leq 2.7V$
SID72A	$T_{RISES\_2}$	低速ストロング モードでの立ち上がり時間。 $V_{DD}$ の 10% ~ 90%	48	—	102	ns	$C_{load}=15pF$ 、8mA 駆動 強度、 $2.7V < V_{DD} \leq 3.6V$
SID73	$T_{FALLS\_1}$	低速ストロング モードでの立ち下がり時間。 $V_{DD}$ の 10% ~ 90%	44	—	211	ns	$C_{load}=15pF$ 、8mA 駆動 強度、 $V_{DD} \leq 2.7V$
SID73A	$T_{FALLS\_2}$	低速ストロング モードでの立ち下がり時間。 $V_{DD}$ の 10% ~ 90%	42	—	93	ns	$C_{load}=15pF$ 、8mA 駆動 強度、 $2.7V < V_{DD} \leq 3.6V$
SID73G	$T_{FALL\_I2C}$	低速ストロング モードでの立ち下がり時間 ( $V_{DD}$ の 30% ~ 70%)	$20*V_{DDIO}/5.5$	—	250	ns	$C_{load}=10pF \sim 400pF$ 、 8mA 駆動強度
SID74	$F_{GPIOOUT1}$	GPIO Fout。高速ストロング モード	—	—	100	MHz	90/10%、15pF 負荷、 60/40 デューティ比
SID75	$F_{GPIOOUT2}$	GPIO Fout。低速ストロング モード	—	—	16.7	MHz	90/10%、15pF 負荷、 60/40 デューティ比
SID76	$F_{GPIOOUT3}$	GPIO Fout；高速ストロング モード	—	—	7	MHz	90/10%、25pF 負荷、 60/40 デューティ比
SID245	$F_{GPIOOUT4}$	GPIO Fout。低速ストロング モード	—	—	3.5	MHz	90/10%、25pF 負荷、 60/40 デューティ比

**表 7. GPIO 仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID246	$f_{GPIOIN}$	GPIO 入力動作周波数。 $1.71V \leq V_{DD} \leq 5.5V$	—	—	100	MHz	90/10% $V_{IO}$

### アナログ ペリフェラル

#### オペアンプ

**表 8. オペアンプの仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
	$I_{DD}$	オペアンプ ブロック電流。 負荷なし	—	—	—		—
SID269	$I_{DD\_HI}$	電力 = 高	—	1300	1500	$\mu A$	—
SID270	$I_{DD\_MED}$	電力 = 中	—	450	600	$\mu A$	—
SID271	$I_{DD\_LOW}$	電力 = 低	—	250	350	$\mu A$	—
	GBW	負荷 = $20pF$ 、 $0.1mA$ 。 $V_{DDA}=2.7V$	—	—	—		—
SID272	$G_{BW\_HI}$	電力 = 高	6	—	—	MHz	—
SID273	$G_{BW\_MED}$	電力 = 中	4	—	—	MHz	—
SID274	$G_{BW\_LO}$	電力 = 低	—	1	—	MHz	—
	$I_{OUT\_MAX}$	$V_{DDA} \geq 2.7V$ 、 電源電圧より $500mV$ 内側	—	—	—		—
SID275	$I_{OUT\_MAX\_HI}$	電力 = 高	10	—	—	$mA$	—
SID276	$I_{OUT\_MAX\_MID}$	電力 = 中	10	—	—	$mA$	—
SID277	$I_{OUT\_MAX\_LO}$	電力 = 低	—	5	—	$mA$	—
	$I_{OUT}$	$V_{DDA}=1.71V$ 、 電源電圧より $500mV$ 内側	—	—	—		—
SID278	$I_{OUT\_MAX\_HI}$	電力 = 高	4	—	—	$mA$	—
SID279	$I_{OUT\_MAX\_MID}$	電力 = 中	4	—	—	$mA$	—
SID280	$I_{OUT\_MAX\_LO}$	電力 = 低	—	2	—	$mA$	—
SID281	$V_{IN}$	入力電圧範囲	0	—	$V_{DDA}-0.2$	V	—
SID282	$V_{CM}$	入力同相電圧	0	—	$V_{DDA}-0.2$	V	—
	$V_{OUT}$	$V_{DDA} \geq 2.7V$	—	—	—		—
SID283	$V_{OUT\_1}$	電力 = 高、 $I_{load}=10mA$	0.5	—	$V_{DDA}-0.5$	V	—
SID284	$V_{OUT\_2}$	電力 = 高、 $I_{load}=1mA$	0.2	—	$V_{DDA}-0.2$	V	—
SID285	$V_{OUT\_3}$	電力 = 中、 $I_{load}=1mA$	0.2	—	$V_{DDA}-0.2$	V	—
SID286	$V_{OUT\_4}$	電力 = 低、 $I_{load}=0.1mA$	0.2	—	$V_{DDA}-0.2$	V	—
SID287	$V_{OS\_UNTR}$	オフセット電圧 ( 未調整 )	—	—	—	$mV$	—
SID288	$V_{OS\_TR}$	オフセット電圧 ( トリム後 )	-1	$\pm 0.5$	—	$mV$	高電力モード、 $0.2 \sim V_{DDA}-0.2$
SID288A	$V_{OS\_TR}$	オフセット電圧 ( 調整後 )	—	$\pm 1$	—	$mV$	中消費電力モード
SID288B	$V_{OS\_TR}$	オフセット電圧 ( 調整後 )	—	$\pm 2$	—	$mV$	低電力モード
SID289	$V_{OS\_DR\_UNTR}$	オフセット電圧 ドリフト ( 未調整 )	—	—	—	$\mu V/^\circ C$	—
SID290	$V_{OS\_DR\_TR}$	オフセット電圧 ドリフト ( 調整後 )	-10	$\pm 3$	10	$\mu V/^\circ C$	高電力モード、 $0.2 \sim V_{DDA}-0.2$

**表8. オペアンプの仕様( 続き )**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID290A	$V_{OS\_DR\_TR}$	オフセット電圧ドリフト (調整後)	—	$\pm 10$	—	$\mu V/^\circ C$	中電力モード
SID290B	$V_{OS\_DR\_TR}$	オフセット電圧ドリフト (調整後)	—	$\pm 10$	—	$\mu V/^\circ C$	低電力モード
SID291	CMRR	DC 同相信号除去比	67	80	—	dB	$V_{DDA}=3.3V$
SID292	PSRR	1kHz、10mV リップル時の電源電圧変動除去比	70	85	—	dB	$V_{DDA}=3.3V$
<b>ノイズ</b>			—	—	—		—
SID293	VN1	入力換算、1Hz ~ 1GHz、電力 = 高	—	100	—	$\mu V_{rms}$	—
SID294	VN2	入力基準、1kHz、電力 = 高	—	180	—	$nV/rtHz$	—
SID295	VN3	入力基準、10kHz、電力 = 高	—	70	—	$nV/rtHz$	—
SID296	VN4	入力基準、100kHz、電力 = 高	—	38	—	$nV/rtHz$	—
SID297	CLOAD	最大負荷まで安定。 50pF で性能仕様を満たす	—	—	125	pF	—
SID298	SLEW_RATE	出力スルーレート	6	—	—	V/ $\mu$ s	$C_{load}=50pF$ 、消費電力 = 高、 $V_{DDA} \geq 2.7V$
SID299	T_OP_WAKE	無効から有効までの時間。 外付け RC 無し	—	25	—	$\mu$ s	—
	COMP_MODE	コンパレータ モード。 50mV オーバードライブ、 $T_{rise}=T_{fall}$ (おおよそ)	—	—	—		—
SID300	T <sub>PD1</sub>	応答時間。電力 = 高	—	150	—	ns	—
SID301	T <sub>PD2</sub>	応答時間。電力 = 中	—	400	—	ns	—
SID302	T <sub>PD3</sub>	応答時間。電力 = 低	—	2000	—	ns	—
SID303	$V_{HYST\_OP}$	ヒステリシス	—	10	—	mV	—
<b>ディープスリープモード</b>		モード 2 は最低電流範囲。 モード 1 はより高いGBWを持つ					ディープスリープモード動作。 $V_{DDA} \geq 2.7V$ 。 $V_{IN}$ は 0.2 ~ $V_{DDA}-1.5$
SID_DS_1	$I_{DD\_HI\_M1}$	モード 1、高電流	—	1300	1500	$\mu$ A	25°C Typ
SID_DS_2	$I_{DD\_MED\_M1}$	モード 1、中電流	—	460	600	$\mu$ A	25°C Typ
SID_DS_3	$I_{DD\_LOW\_M1}$	モード 1、低電流	—	230	350	$\mu$ A	25°C Typ
SID_DS_4	$I_{DD\_HI\_M2}$	モード 2、高電流	—	120	—	$\mu$ A	25°C
SID_DS_5	$I_{DD\_MED\_M2}$	モード 2、中電流	—	60	—	$\mu$ A	25°C
SID_DS_6	$I_{DD\_LOW\_M2}$	モード 2、低電流	—	15	—	$\mu$ A	25°C
SID_DS_7	GBW_HI_M1	モード 1、高電流	—	4	—	MHz	25°C
SID_DS_8	GBW_MED_M1	モード 1、中電流	—	2	—	MHz	25°C
SID_DS_9	GBW_LOW_M1	モード 1、低電流	—	0.5	—	MHz	25°C
SID_DS_10	GBW_HI_M2	モード 2、高電流	—	0.5	—	MHz	20pF 負荷、DC 負荷なし、 0.2V ~ $V_{DDA}-1.5V$
SID_DS_11	GBW_MED_M2	モード 2、中電流	—	0.2	—	MHz	20pF 負荷、DC 負荷なし、 0.2V ~ $V_{DDA}-1.5V$

**表 8. オペアンプの仕様 ( 続き )**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID_DS_12	GBW_LOW_M2	モード 2、低電流	–	0.1	–	MHz	20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA}$ -1.5V
SID_DS_13	$V_{OS\_HI\_M1}$	モード 1、高電流	–	5	–	mV	調整 25°C、0.2V ~ $V_{DDA}$ -1.5V
SID_DS_14	$V_{OS\_MED\_M1}$	モード 1、中電流	–	5	–	mV	調整 25°C、0.2V ~ $V_{DDA}$ -1.5V
SID_DS_15	$V_{OS\_LOW\_M1}$	モード 1、低電流	–	5	–	mV	調整 25°C、0.2V ~ $V_{DDA}$ -1.5V
SID_DS_16	$V_{OS\_HI\_M2}$	モード 2、高電流	–	5	–	mV	調整 25°C、0.2V ~ $V_{DDA}$ -1.5V
SID_DS_17	$V_{OS\_MED\_M2}$	モード 2、中電流	–	5	–	mV	調整 25°C、0.2V ~ $V_{DDA}$ -1.5V
SID_DS_18	$V_{OS\_LOW\_M2}$	モード 2、低電流	–	5	–	mV	調整 25°C、0.2V ~ $V_{DDA}$ -1.5V
SID_DS_19	$I_{OUT\_HI\_M1}$	モード 1、高電流	–	10	–	mA	出力は 0.5V ~ $V_{DDA}$ -0.5V
SID_DS_20	$I_{OUT\_MED\_M1}$	モード 1、中電流	–	10	–	mA	出力は 0.5V ~ $V_{DDA}$ -0.5V
SID_DS_21	$I_{OUT\_LOW\_M1}$	モード 1、低電流	–	4	–	mA	出力は 0.5V ~ $V_{DDA}$ -0.5V
SID_DS_22	$I_{OUT\_HI\_M2}$	モード 2、高電流	–	1	–	mA	出力は 0.5V ~ $V_{DDA}$ -0.5V
SID_DS_23	$I_{OUT\_MED\_M2}$	モード 2、中電流	–	1	–	mA	出力は 0.5V ~ $V_{DDA}$ -0.5V
SID_DS_24	$I_{OUT\_LOW\_M2}$	モード 2、低電流	–	0.5	–	mA	出力は 0.5V ~ $V_{DDA}$ -0.5V

**表 9. 低消費電力 (LP) コンパレータの仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>LP コンパレータの DC 仕様</b>							
SID84	$V_{OFFSET1}$	COMP1 の入力オフセット電圧。 通常の電力モード	-10	–	10	mV	COMP0オフセットは±25mV
SID85A	$V_{OFFSET2}$	入力オフセット電圧。 低電力モード	-25	±12	25	mV	–
SID85B	$V_{OFFSET3}$	入力オフセット電圧。 超低電力モード	-25	±12	25	mV	–
SID86	$V_{HYST1}$	通常モードで有効時のヒステリシス	–	–	60	mV	–
SID86A	$V_{HYST2}$	低電力モードで有効時のヒステリシス	–	–	80	mV	–
SID87	$V_{ICM1}$	低電力モードでの入力同相電圧	0	–	$V_{DDIO1}$ -0.1	V	–
SID247	$V_{ICM2}$	低電力モードでの入力同相電圧	0	–	$V_{DDIO1}$ -0.1	V	–
SID247A	$V_{ICM3}$	超低電力モード入力同相電圧	0	–	$V_{DDIO1}$ -0.1	V	–
SID88	CMRR	通常モードでの同相信号除去比	50	–	–	dB	–
SID89	$I_{CMP1}$	通常モードでのブロック電流	–	–	150	$\mu$ A	–
SID248	$I_{CMP2}$	低電力モードでのブロック電流	–	–	10	$\mu$ A	–
SID259	$I_{CMP3}$	ブロック電流、超低電力モード	–	0.3	0.85	$\mu$ A	–
SID90	ZCMP	コンパレータの DC 入力インピーダンス	35	–	–	MΩ	–
<b>LP コンパレータの AC 仕様</b>							
SID91	$T_{RESP1}$	通常モードでの応答時間、 100mV オーバードライブ	–	–	100	ns	–

**表 9. 低消費電力 (LP) コンパレータの仕様 ( 続き )**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID258	T <sub>RESP2</sub>	低電力モードでの応答時間、100mV オーバードライブ	–	–	1000	ns	–
SID92	T <sub>RESP3</sub>	超低電力モードでの応答時間、100mV オーバードライブ	–	–	20	μs	–
SID92E	T_CMP_EN1	有効化から動作までの時間	–	–	10	μs	通常と低電力モード
SID92F	T_CMP_EN2	有効化から動作までの時間	–	–	50	μs	超低電力モード

**表 10. 温度センサー仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID93	T <sub>SENSACC</sub>	温度センサー精度	-5	±1	5	°C	-40°C ~ +85°C

**表 11. 内部基準電圧の仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID93R	V <sub>REFBG</sub>	–	1.188	1.2	1.212	V	–

SAR ADC

**表 12. 12 ビット SAR ADC の DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID94	A_RES	SAR ADC 分解能	–	–	12	ビット	–
SID95	A_CHNLS_S	チャネル数—シングル エンド	–	–	16	–	8 個のフルスピード チャネル
SID96	A_CHNKS_D	チャネル数—差動	–	–	8	–	差動チャネルの入力は隣接する I/O を使用
SID97	A-MONO	単調増加性	–	–	–	–	有
SID98	A_GAINERR	ゲイン誤差	–	–	±0.2	%	外部基準電圧有り
SID99	A_OFFSET	入力オフセット電圧	–	–	2	mV	1V 基準電圧で測定
SID100	A_ISAR_1	1Msps での消費電流	–	–	1	mA	1Msps 時。外部バイパス コンデンサあり
SID100A	A_ISAR_2	1Msps での消費電流。リファレンス 電圧 = V <sub>DD</sub>	–	–	1.25	mA	1Msps 時。外部バイパス コンデンサあり
SID101	A_VINS	入力電圧範囲 - シングル エンド	V <sub>ss</sub>	–	V <sub>DDA</sub>	V	–
SID102	A_VIND	入力電圧範囲 - 差動	V <sub>ss</sub>	–	V <sub>DDA</sub>	V	–
SID103	A_INRES	入力抵抗	~	–	2.2	kΩ	–
SID104	A_INCAP	入力容量	–	–	10	pF	–

**表 13. 12 ビット SAR ADC の AC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>12 ビット SAR ADC の AC 仕様</b>							
SID106	A_PSRR	電源電圧変動除去比	70	–	–	dB	
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1V で測定
<b>1 メガサンプル毎秒のモード :</b>							

**表 13. 12 ビット SAR ADC の AC 仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID108	A_SAMP_1	外付けリファレンスバイパスコンデンサがある場合のサンプリング速度	—	—	1	MspS	
SID108A	A_SAMP_2	バイパスコンデンサがない場合のサンプリング速度。基準電圧 = $V_{DD}$	—	—	250	KspS	
SID108B	A_SAMP_3	バイパスコンデンサがない場合のサンプリング速度。内部基準電圧	—	—	100	KspS	
SID109	A_SINAD	信号対雑音および歪み比 (SINAD)。 $V_{DDA}=2.7 \sim 3.6V$ 、1MspS	64	—	—	dB	$f_{in} = 10\text{kHz}$
SID111A	A_INL	積分非直線性。 $V_{DDA}=2.7 \sim 3.6V$ 、1MspS	-2	—	2	LSB	内部 $V_{REF}=1.2V$ およびバイパスコンデンサありで測定
SID111B	A_INL	積分非直線性。 $V_{DDA}=2.7 \sim 3.6V$ 、1MspS	-4	—	4	LSB	外部 $V_{REF} \geq 1V$ および $V_{IN}$ コモンモード $< 2^*V_{ref}$ で測定
SID112A	A_DNL	微分非直線性。 $V_{DDA}=2.7 \sim 3.6V$ 、1MspS	-1	—	1.4	LSB	内部 $V_{REF}=1.2V$ およびバイパスコンデンサありで測定
SID112B	A_DNL	微分非直線性。 $V_{DDA}=2.7 \sim 3.6V$ 、1MspS	-1	—	1.7	LSB	外部 $V_{REF} \geq 1V$ および $V_{IN}$ コモンモード $< 2^*V_{ref}$ で測定
SID113	A_THD	全高調波歪み。 $V_{DDA}=2.7 \sim 3.6V$ 、1MspS	—	—	-65	dB	$f_{in} = 10\text{kHz}$

**表 14. 12 ビット DAC の仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>12 ビット DAC の DC 仕様</b>							
SID108D	DAC_RES	DAC 分解能	—	—	12	ビット	
SID111D	DAC_INL	積分非直線性	-4	—	4	LSB	
SID112D	DAC_DNL	微分非直線性	-2	—	2	LSB	11 ビットの単調増加
SID99D	DAC_OFFSET	出力電圧ゼロ オフセット誤差	-10	—	10	mV	000 (16 進数)
SID103D	DAC_OUT_RES	DAC 出力抵抗	—	15	—	kΩ	
SID100D	DAC_IDD	DAC 電流	—	—	125	μA	
SID101D	DAC_QIDD	DAC 停止時の DAC 電流	—	—	1	μA	
<b>12 ビット DAC の AC 仕様</b>							
SID109D	DAC_CONV	DAC セトリング時間	—	—	2	μs	CTBm バッファから駆動。負荷 25pF
SID110D	DAC_Wakeup	有効化から変換できるまでの時間	—	—	10	μs	

**CSD**
**表 15. CapSense シグマデルタ (CSD) の仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>CSD V2 仕様</b>							
SYS.PER#3	V <sub>DD_RIPPLE</sub>	電源の最大許容リップル (DC ~ 10MHz 帯域)	-	-	±50	mV	V <sub>DDA</sub> >2V (リップルあり)、25°C T <sub>A</sub> 、感度 =0.1pF
SYS.PER#16	V <sub>DD_RIPPLE_1.8</sub>	電源の最大許容リップル (DC ~ 10MHz 帯域)	-	-	±25	mV	V <sub>DDA</sub> >1.75V (リップルあり)、25°C T <sub>A</sub> 、寄生容量 (C <sub>P</sub> )<20pF、感度 ≥0.4pF
SID.CSD.BLK	I <sub>CSD</sub>	最大ブロック電流			4500	μA	
SID.CSD#15	V <sub>REF</sub>	CSD およびコンパレータ用の基準電圧	0.6	1.2	V <sub>DDA</sub> -0.6	V	V <sub>DDA</sub> -0.6、いずれか低い方
SID.CSD#15A	V <sub>REF_EXT</sub>	CSD およびコンパレータ用の外部基準電圧	0.6		V <sub>DDA</sub> -0.6	V	V <sub>DDA</sub> -0.6、いずれか低い方
SID.CSD#16	I <sub>DAC1IDD</sub>	IDAC1 (7 ビット) ブロック電流	-	-	1900	μA	
SID.CSD#17	I <sub>DAC2IDD</sub>	IDAC2 (7 ビット) ブロック電流	-	-	1900	μA	
SID308	V <sub>CSD</sub>	動作電圧範囲	1.7	-	3.6	V	1.71 ~ 3.6V
SID308A	V <sub>COMPIDAC</sub>	IDAC の最大電圧範囲	0.6	-	V <sub>DDA</sub> -0.6	V	V <sub>DDA</sub> -0.6、いずれか低い方
SID309	I <sub>DAC1DNL</sub>	DNL	-1	-	1	LSB	
SID310	I <sub>DAC1INL</sub>	INL	-3	-	3	LSB	V <sub>DDA</sub> <2V の場合、LSB は 2.4μA 以下
SID311	I <sub>DAC2DNL</sub>	DNL	-1	-	1	LSB	
SID312	I <sub>DAC2INL</sub>	INL	-3	-	3	LSB	V <sub>DDA</sub> <2V の場合、LSB は 2.4μA 以下
<b>以下の SNRC は指の信号とノイズのカウント比。特性評価で保証</b>							
SID313_1A	SNRC_1	SRSS 基準。IMO+FLL クロックソース。感度 0.1pF	5	-	-	比率	最大 9.5pF の静電容量
SID313_1B	SNRC_2	SRSS 基準。IMO+FLL クロックソース。感度 0.3pF	5	-	-	比率	最大 31pF の静電容量
SID313_1C	SNRC_3	SRSS 基準。IMO+FLL クロックソース。感度 0.6pF	5	-	-	比率	最大 61pF の静電容量
SID313_2A	SNRC_4	PASS 基準。IMO+FLL クロックソース。感度 0.1pF	5	-	-	比率	最大 12pF の静電容量
SID313_2B	SNRC_5	PASS 基準。IMO+FLL クロックソース。感度 0.3pF	5	-	-	比率	最大 47pF の静電容量
SID313_2C	SNRC_6	PASS 基準。IMO+FLL クロックソース。感度 0.6pF	5	-	-	比率	最大 86pF の静電容量
SID313_3A	SNRC_7	PASS 基準。IMO+PLL クロックソース。感度 0.1pF	5	-	-	比率	最大 27pF の静電容量
SID313_3B	SNRC_8	PASS 基準。IMO+PLL クロックソース。感度 0.3pF	5	-	-	比率	最大 86pF の静電容量
SID313_3C	SNRC_9	PASS 基準。IMO+PLL クロックソース。感度 0.6pF	5	-	-	比率	最大 168pF の静電容量
SID314	I <sub>DAC1CRT1</sub>	低域での IDAC1 (7 ビット) の出力電流	4.2		5.7	μA	LSB=37.5nA (Typ)

**表 15. CapSense シグマデルタ (CSD) の仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID314A	$I_{DAC1CRT2}$	中域での IDAC1(7 ビット) の出力電流	34		46	$\mu A$	LSB = 300nA (Typ)
SID314B	$I_{DAC1CRT3}$	高域での IDAC1(7 ビット) の出力電流	270		365	$\mu A$	LSB=2.4 $\mu A$ (Typ)
SID314C	$I_{DAC1CRT12}$	低域での IDAC1(7 ビット) の出力電流、2X モード	8		11.4	$\mu A$	LSB=37.5nA (Typ)。 2X モード時の出力
SID314D	$I_{DAC1CRT22}$	中域での IDAC1(7 ビット) の出力電流、2X モード	67		91	$\mu A$	LSB = 300nA (Typ)。 2X モード時の出力
SID314E	$I_{DAC1CRT32}$	高域での IDAC1(7 ビット) の出力電流、2X モード。 $V_{DDA}>2V$	540		730	$\mu A$	LSB=2.4 $\mu A$ (Typ)。 2X モード時の出力
SID315	$I_{DAC2CRT1}$	低域での IDAC2(7 ビット) の出力電流	4.2		5.7	$\mu A$	LSB=37.5nA (Typ)
SID315A	$I_{DAC2CRT2}$	中域での IDAC2(7 ビット) の出力電流	34		46	$\mu A$	LSB = 300nA (Typ)
SID315B	$I_{DAC2CRT3}$	高域での IDAC2(7 ビット) の出力電流	270		365	$\mu A$	LSB=2.4 $\mu A$ (Typ)
SID315C	$I_{DAC2CRT12}$	低域での IDAC2(7 ビット) の出力電流、2X モード	8		11.4	$\mu A$	LSB=37.5nA (Typ)。 2X モード時の出力
SID315D	$I_{DAC2CRT22}$	中域での IDAC2(7 ビット) の出力電流、2X モード	67		91	$\mu A$	LSB = 300nA (Typ)。 2X モード時の出力
SID315E	$I_{DAC2CRT32}$	高域での IDAC2(7 ビット) の出力電流、2X モード。 $V_{DDA}>2V$	540		730	$\mu A$	LSB=2.4 $\mu A$ (Typ)。 2X モード時の出力
SID315F	$I_{DAC3CRT13}$	低域での 8 ビット モード IDAC 出力電流	8		11.4	$\mu A$	LSB=37.5nA (Typ)
SID315G	$I_{DAC3CRT23}$	中域での 8 ビット モード IDAC 出力電流	67		91	$\mu A$	LSB=300nA (Typ)
SID315H	$I_{DAC3CRT33}$	高域での 8 ビット モード IDAC 出力電流。 $V_{DDA}>2V$	540		730	$\mu A$	LSB=2.4 $\mu A$ (Typ)
SID320	$I_{DACOFFSET}$	すべてゼロ入力	—	—	1	LSB	極性はソースまたはシンク電流により設定
SID321	$I_{DAGAIN}$	オフセットを除くフルスケール誤差	—	—	$\pm 15$	%	LSB=2.4 $\mu A$ (Typ)
SID322	$I_{DPCMISMATCH1}$	低電力モードでの IDAC1 と IDAC2 の不整合	—	—	9.2	LSB	LSB=37.5nA (Typ)
SID322A	$I_{DPCMISMATCH2}$	中電力モードでの IDAC1 と IDAC2 の不整合	—	—	6	LSB	LSB=300nA (Typ)
SID322B	$I_{DPCMISMATCH3}$	高電力モードでの IDAC1 と IDAC2 の不整合	—	—	5.8	LSB	LSB=2.4 $\mu A$ (Typ)
SID323	$I_{DACPSET8}$	8 ビット IDAC の 0.5 LSB に達するまでのセトリング時間	—	—	10	$\mu s$	フルスケール遷移。 外部負荷なし
SID324	$I_{DACPSET7}$	7 ビット IDAC の 0.5 LSB に達するまでのセトリング時間	—	—	10	$\mu s$	フルスケール遷移。 外部負荷なし
SID325	CMOD	外部モジュレータ コンデンサ	—	2.2	—	nF	5V 定格、X7R または NP0 コンデンサ

**表 16. CSD ADC の仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>CSDv2 ADC の仕様</b>							
SIDA94	A_RES	分解能	—	—	10	ビット	ミリ秒毎にオートゼロが必要
SID95	A_CHNLS_S	チャネル数—シングル エンド	—	—	16	—	
SIDA97	A-MONO	単調増加性	—	—	有	—	V <sub>REF</sub> モード
SIDA98	A_GAINERR_VREF	ゲイン誤差	—	0.6	—	%	リファレンスソース : SRSS。 (V <sub>REF</sub> =1.20V、V <sub>DDA</sub> <2.2V)、 (V <sub>REF</sub> =1.6V、2.2V<V <sub>DDA</sub> <2.7V)、 (V <sub>REF</sub> =2.13V、V <sub>DDA</sub> >2.7V)
SIDA98A	A_GAINERR_VDDA	ゲイン誤差	—	0.2	—	%	リファレンスソース : SRSS。 (V <sub>REF</sub> =1.20V、V <sub>DDA</sub> <2.2V)、 (V <sub>REF</sub> =1.6V、2.2V<V <sub>DDA</sub> <2.7V)、 (V <sub>REF</sub> =2.13V、V <sub>DDA</sub> >2.7V)
SIDA99	A_OFFSET_VREF	入力オフセット電圧	—	0.5	—	lsb	ADC 校正後、リファレンスソース =SRSS (V <sub>REF</sub> =1.20V、V <sub>DDA</sub> <2.2V)、 (V <sub>REF</sub> =1.6V、2.2V<V <sub>DDA</sub> <2.7V)、 (V <sub>REF</sub> =2.13V、V <sub>DDA</sub> >2.7V)
SIDA99A	A_OFFSET_VDDA	入力オフセット電圧	—	0.5	—	lsb	ADC 校正後、リファレンスソース =SRSS (V <sub>REF</sub> =1.20V、V <sub>DDA</sub> <2.2V)、 (V <sub>REF</sub> =1.6V、2.2V<V <sub>DDA</sub> <2.7V)、 (V <sub>REF</sub> =2.13V、V <sub>DDA</sub> >2.7V)
SIDA100	A_ISAR_VREF	消費電流	—	0.3	—	mA	CSD ADC ブロック電流
SIDA100A	A_ISAR_VDDA	消費電流	—	0.3	—	mA	CSD ADC ブロック電流
SIDA101	A_VINS_VREF	入力電圧範囲 – シングル エンド	V <sub>SSA</sub>	—	V <sub>REF</sub>	V	(V <sub>REF</sub> =1.20V、V <sub>DDA</sub> <2.2V)、 (V <sub>REF</sub> =1.6V、2.2V<V <sub>DDA</sub> <2.7V)、 (V <sub>REF</sub> =2.13V、V <sub>DDA</sub> >2.7V)
SIDA101A	A_VINS_VDDA	入力電圧範囲 – シングル エンド	V <sub>SSA</sub>	—	V <sub>DDA</sub>	V	(V <sub>REF</sub> =1.20V、V <sub>DDA</sub> <2.2V)、 (V <sub>REF</sub> =1.6V、2.2V<V <sub>DDA</sub> <2.7V)、 (V <sub>REF</sub> =2.13V、V <sub>DDA</sub> >2.7V)
SIDA103	A_INRES	入力充電抵抗	—	15	—	kΩ	
SIDA104	A_INCAP	入力容量	—	41	—	pF	
SIDA106	A_PSRR	電源電圧変動除去比 (DC)	—	60	—	dB	
SIDA107	A_TACQ	サンプル取得時間	—	10	—	μs	入力インピーダンス 50Ω で測定。10μs はデフォルトのソフトウェア ドライ バーの取得時間。0.05% 以下で安定
SIDA108	A_CONV8	変換速度 = Fhclk/(2 <sup>8</sup> (N+2)) での8ビット分解能の変換時 間。クロック周波数 =50MHz	—	25	—	μs	取得時間を含まない
SIDA108A	A_CONV10	変換速度 = Fhclk/(2 <sup>10</sup> (N+2)) での 10 ビット分解能の変換 時間。クロック周波数 =50MHz	—	60	—	μs	取得時間を含まない
SIDA109	A SND_VRE	信号対ノイズおよび歪み比 (SINAD)	—	57	—	dB	50Ω のソースインピーダンスで測定
SIDA109A	A SND_VDDA	信号対ノイズおよび歪み比 (SINAD)	—	52	—	dB	50Ω のソースインピーダンスで測定

**表 16. CSD ADC の仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SIDA111	A_INL_VREF	積分非直線性。11.6ksps	—	—	2	LSB	50Ω のソースインピーダンスで測定
SIDA111A	A_INL_VDDA	積分非直線性。11.6ksps	—	—	2	LSB	50Ω のソースインピーダンスで測定
SIDA112	A_DNL_VREF	微分非直線性。11.6ksps	—	—	1	LSB	50Ω のソースインピーダンスで測定
SIDA112A	A_DNL_VDDA	微分非直線性。11.6ksps	—	—	1	LSB	50Ω のソースインピーダンスで測定

## デジタルペリフェラル

**表 17. タイマー／カウンター／PWM (TCPWM) の仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.1	$I_{TCPWM1}$	8MHz でのブロック消費電流	—	—	70	μA	すべてのモード (TCPWM)
SID.TCPWM.2	$I_{TCPWM2}$	24MHz でのブロック消費電流	—	—	180	μA	すべてのモード (TCPWM)
SID.TCPWM.2A	$I_{TCPWM3}$	50MHz でのブロック消費電流	—	—	270	μA	すべてのモード (TCPWM)
SID.TCPWM.2B	$I_{TCPWM4}$	100MHz でのブロック消費電流	—	—	540	μA	すべてのモード (TCPWM)
SID.TCPWM.3	$TCPWM_{FREQ}$	動作周波数	—	—	100	MHz	$F_c \max = F_{cpu}$ 最大 = 100MHz
SID.TCPWM.4	$TPWM_{ENEXT}$	すべてのトリガ イベントによる入力トリガ パルス幅	2/ $F_c$	—	—	ns	選択した動作モードによって、トリガ イベントは停止、開始、リロード、カウント、キャプチャ、またはキル
SID.TCPWM.5	$TPWM_{EXT}$	出力トリガ パルス幅	1.5/ $F_c$	—	—	ns	オーバーフロー、アンダーフローおよび CC (カウンター = 比較値) トリガ出力の最小幅
SID.TCPWM.5A	$TC_{RES}$	カウンター分解能	1/ $F_c$	—	—	ns	逐次カウント同士間の最小時間
SID.TCPWM.5B	$PWM_{RES}$	PWM 分解能	1/ $F_c$	—	—	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	$Q_{RES}$	直交位相入力分解能	2/ $F_c$	—	—	ns	直交位相入力同士間の最小パルス幅。ピンからの遅延は同様でなければならない

**表 18. シリアル通信ブロック (SCB) の仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>固定 I<sup>2</sup>C の DC 仕様</b>							
SID149	I <sub>I<sup>2</sup>C1</sub>	100kHz でのブロック消費電流	—	—	30	μA	
SID150	I <sub>I<sup>2</sup>C2</sub>	400kHz でのブロック消費電流	—	—	80	μA	
SID151	I <sub>I<sup>2</sup>C3</sub>	1Mbps でのブロック消費電流	—	—	180	μA	
SID152	I <sub>I<sup>2</sup>C4</sub>	ディープスリープモードで有効時の I <sup>2</sup> C	—	—	1.7	μA	60°C 時
<b>固定 I<sup>2</sup>C の AC 仕様</b>							
SID153	F <sub>I<sup>2</sup>C1</sub>	ビットレート	—	—	1	Mbps	
<b>固定 UART の DC 仕様</b>							
SID160	I <sub>UART1</sub>	100Kbps でのブロック消費電流	—	—	30	μA	
SID161	I <sub>UART2</sub>	1000Kbps でのブロック消費電流	—	—	180	μA	
<b>固定 UART の AC 仕様</b>							
SID162A	F <sub>UART1</sub>	ビットレート	—	—	3	Mbps	ULP モード
SID162B	F <sub>UART2</sub>		—	—	8	Mbps	LP モード
<b>固定 SPI の DC 仕様</b>							
SID163	I <sub>SPI1</sub>	1Mbps でのブロック消費電流	—	—	220	μA	
SID164	I <sub>SPI2</sub>	4Mbps でのブロック消費電流	—	—	340	μA	
SID165	I <sub>SPI3</sub>	8Mbps でのブロック消費電流	—	—	360	μA	
SID165A	I <sub>SP14</sub>	25Mbps でのブロック消費電流	—	—	800	μA	
<b>LP モード (1.1V) の固定 SPI の AC 仕様 (特に注記がない限り)</b>							
SID166	F <sub>SPI</sub>	SPI動作周波数 (マスターと外部クロック供給されるスレーブ)	—	—	25	MHz	ULP (0.9V) モードでは最大 14MHz
SID166A	F <sub>SPI_IC</sub>	SPIスレーブ、内部クロック供給	—	—	15	MHz	ULP (0.9V) モードでは最大 5MHz
<b>LP モード (1.1V) の固定 SPI マスター モードの AC 仕様 (特に注記がない限り)</b>							
SID167	T <sub>DMO</sub>	SClock 駆動エッジ後の MOSI 有効時間	—	—	12	ns	ULP (0.9V) モードでは最大 20ns
SID168	T <sub>DSI</sub>	SClock キャプチャエッジまでの MISO 有効期間	5	—	—	ns	フルクロック、MISO の遅いサンプリング
SID169	T <sub>HMO</sub>	MOSI データホールド時間	0	—	—	ns	スレーブキャプチャエッジを基準とする
<b>LP モード (1.1V) の固定 SPI スレーブ モードの AC 仕様 (特に注記がない限り)</b>							
SID170	T <sub>DMI</sub>	Sclock キャプチャエッジまでの MOSI 有効期間	5	—	—	ns	
SID171A	T <sub>DSO_EXT</sub>	Sclock 駆動エッジからの MISO 有効期間、外部クロックモード	—	—	20	ns	ULP (0.9V) モードでは最大 35ns
SID171	T <sub>DSO</sub>	Sclock 駆動エッジからの MISO 有効期間、内部クロックモード	—	—	T <sub>DSO_EXT</sub> + 3*T <sub>scb</sub>	ns	T <sub>scb</sub> はシリアル通信ブロックのクロック周期
SID171B	T <sub>DSO</sub>	Sclock 駆動エッジからの MISO 有効期間、メジアンフィルターが有効の内部クロックモード	—	—	T <sub>DSO_EXT</sub> + 4*T <sub>scb</sub>	ns	T <sub>scb</sub> はシリアル通信ブロックのクロック周期
SID172	T <sub>HSO</sub>	前の MISO データホールド時間	5	—	—	ns	
SID172A	TSSEL <sub>SCK1</sub>	SSEL 有効から最初の SCK 有効エッジまでの時間	65	—	—	ns	
SID172B	TSSEL <sub>SCK2</sub>	最後の SCK 有効エッジからの SSEL ホールド時間	—	—	65	ns	

**LCD の仕様**
**表 19. LCD ダイレクト ドライブの DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	$I_{LCDLOW}$	低電力モードでの動作電流	—	5	—	$\mu A$	50Hz での 16×4 小型セグメントディスプレイ
SID155	$C_{LCDCAP}$	セグメント／コモン ドライバー当たりの LCD 静電容量	—	500	5000	pF	—
SID156	$LCD_{OFFSET}$	長時間セグメントオフセット	—	20	—	mV	—
SID157	$I_{LCDOP1}$	PWM モード電流。 3.3V バイアス、8MHz IMO、25°C	—	0.6	—	mA	32×4 セグメント 50Hz
SID158	$I_{LCDOP2}$	PWM モード電流。 3.3V バイアス、8MHz IMO、25°C	—	0.5	—	mA	32×4 セグメント 50Hz

**表 20. LCD ダイレクト ドライブの AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	$F_{LCD}$	LCD フレーム レート	10	50	150	Hz	—

**メモリ**
**表 21. フラッシュの仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
<b>フラッシュの DC 仕様</b>							
SID173	$V_{PE}$	消去およびプログラム電圧	1.71	—	3.6	V	
<b>フラッシュの AC 仕様</b>							
SID174	$T_{ROWWRITE}$	行(ブロック)書き込み時間 (消去 + プログラム)	—	—	16	ms	行(ブロック)=512 バイト
SID175	$T_{ROWERASE}$	行消去時間	—	—	11	ms	
SID176	$T_{ROWPROGRAM}$	消去後の行のプログラム時間	—	—	5	ms	
SID178	$T_{BULKERASE}$	バルク消去時間 (1024K バイト)	—	—	11	ms	
SID179	$T_{SECTORERASE}$	セクタ消去時間 (256K バイト)	—	—	11	ms	セクタごとに 512 行
SID178S	$T_{SSERIAE}$	サブセクタ消去時間	—	—	11	ms	サブセクタごとに 8 行
SID179S	$T_{SSWRITERE}$	サブセクタ書き込み時間 (1 消去 + 8 プログラム)	—	—	51	ms	
SID180S	$T_{SWRITE}$	セクタ書き込み時間 (1 消去 + 512 プログラム)	—	—	2.6	秒	
SID180	$T_{DEVPROG}$	総デバイス プログラム時間	—	—	15	秒	
SID181	$F_{END}$	フラッシュ アクセス可能回数	100K	—	—	サイクル	
SID182	$F_{RET1}$	フラッシュのデータ保持期間。 $T_a \leq 25^\circ C$ 、100K P/E サイクル	10	—	—	年	
SID182A	$F_{RET2}$	フラッシュのデータ保持期間。 $T_a \leq 85^\circ C$ 、10K P/E サイクル	10	—	—	年	
SID182B	$F_{RET3}$	フラッシュのデータ保持期間。 $T_a \leq 55^\circ C$ 、20K P/E サイクル	20	—	—	年	
SID256	$T_{WS100}$	100MHz でのウェイトステートの数	3	—	—		
SID257	$T_{WS50}$	50MHz でのウェイトステートの数	2	—	—		

**注 :**

4. フラッシュ メモリに書き込むには最大 16 ミリ秒かかります。この間デバイスをリセットしないでください。リセットするとフラッシュ メモリの動作が中断され、正常に完了したことが保証されません。リセット ソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにされないことを確認してください。

**システム リソース**
**表 22. PSoC 6 システム リソース**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>ブラウンアウト機能パワーオンリセットの DC 仕様</b>							
<b>精密 POR (PPOR)</b>							
SID190	$V_{FALLPPOR}$	アクティブ モードとスリープ モードでの BOD トリップ電圧。 $V_{DDD}$	1.54	—	—	V	1.54V 以下で BOD リセットが発生
SID192	$V_{FALLDPSLP}$	ディープ スリープ モードでの BOD トリップ電圧。 $V_{DDD}$	1.54	—	—	V	—
SID192A	$V_{DDRAMP}$	最大電源ランプ速度 (任意の電源)	—	—	100	mV/ $\mu$ s	アクティブ モード
<b>ブラウンアウト機能パワーオンリセットの AC 仕様</b>							
SID194A	$V_{DDRAMP\_DS}$	ディープスリープ モードでの最大電源ランプ速度 (任意の電源)	—	—	10	mV/ $\mu$ s	BOD 動作が保証
<b>電圧モニターの DC 仕様</b>							
SID195R	$V_{HVDI0}$		1.18	1.23	1.27	V	—
SID195	$V_{HVDI1}$		1.38	1.43	1.47	V	—
SID196	$V_{HVDI2}$		1.57	1.63	1.68	V	—
SID197	$V_{HVDI3}$		1.76	1.83	1.89	V	—
SID198	$V_{HVDI4}$		1.95	2.03	2.1	V	—
SID199	$V_{HVDI5}$		2.05	2.13	2.2	V	—
SID200	$V_{HVDI6}$		2.15	2.23	2.3	V	—
SID201	$V_{HVDI7}$		2.24	2.33	2.41	V	—
SID202	$V_{HVDI8}$		2.34	2.43	2.51	V	—
SID203	$V_{HVDI9}$		2.44	2.53	2.61	V	—
SID204	$V_{HVDI10}$		2.53	2.63	2.72	V	—
SID205	$V_{HVDI11}$		2.63	2.73	2.82	V	—
SID206	$V_{HVDI12}$		2.73	2.83	2.92	V	—
SID207	$V_{HVDI13}$		2.82	2.93	3.03	V	—
SID208	$V_{HVDI14}$		2.92	3.03	3.13	V	—
SID209	$V_{HVDI15}$		3.02	3.13	3.23	V	—
SID211	$LVI\_IDD$	ブロック電流	—	5	15	$\mu$ A	—
<b>電圧モニターの AC 仕様</b>							
SID212	$T_{MONTRIP}$	電圧モニター トリップ時間	—	—	170	ns	—

**SWD インターフェース**
**表 23. SWD および配線の仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>SWD および配線インターフェース</b>							
SID214	F_SWDCLK2	$1.7V \leq V_{DD} \leq 3.6V$	—	—	25	MHz	LP モード。 $V_{CCD}=1.1V$
SID214L	F_SWDCLK2L	$1.7V \leq V_{DD} \leq 3.6V$	—	—	12	MHz	ULP モード。 $V_{CCD}=0.9V$
SID215	T_SWDI_SETUP	$T=1/f_{SWDCLK}$	$0.25*T$	—	—	ns	—
SID216	T_SWDI_HOLD	$T=1/f_{SWDCLK}$	$0.25*T$	—	—	ns	—
SID217	T_SWDO_VALID	$T=1/f_{SWDCLK}$	—	—	$0.5*T$	ns	—
SID217A	T_SWDO_HOLD	$T=1/f_{SWDCLK}$	1	—	—	ns	—
SID214T	F_TRCLK_LP1	トレース データのセットアップとホールド時間はそれぞれ2nsと1ns	—	—	75	MHz	LP モード。 $V_{DD}=1.1V$
SID215T	F_TRCLK_LP2	トレース データのセットアップとホールド時間はそれぞれ3nsと2ns	—	—	70	MHz	LP モード。 $V_{DD}=1.1V$
SID216T	F_TRCLK_ULP	トレース データのセットアップとホールド時間はそれぞれ3nsと2ns	—	—	25	MHz	ULP モード。 $V_{DD}=0.9V$

**内部主発振器**
**表 24. IMO の DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID218	$I_{IMO1}$	8MHz での IMO 動作電流	—	9	15	$\mu A$	—

**表 25. IMO の AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID223	$F_{IMOTOL1}$	8MHz を中心とする周波数変動	—	—	$\pm 2$	%	—
SID227	$T_{JITR}$	サイクル ツー サイクルと周期のジッタ	—	250	—	ps	—

**内部低速発振器**
**表 26. ILO の DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID231	$I_{ILO2}$	32kHz での ILO 動作電流	—	0.3	0.7	$\mu A$	—

**表 27. ILO の AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID234	$T_{STARTILO1}$	ILO 起動時間	—	—	7	$\mu s$	最終周波数の 95% に達するまでの起動時間
SID236	$T_{LIODUTY}$	ILO のデューティ比	45	50	55	%	—
SID237	$F_{ILOTRIM1}$	32kHz の調整後周波数	28.8	32	35.2	kHz	変動 $\pm 10\%$

**水晶発振器の仕様**
**表 28. ECO の仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>MHz ECO の DC 仕様</b>							
SID316	$I_{DD\_MHz}$	$C_{load}$ が 18pF 以下の場合のブロック動作電流	–	800	1600	$\mu A$	Max=33MHz、 Typ = 16MHz
<b>MHz ECO の AC 仕様</b>							
SID317	$F_{MHz}$	水晶の周波数範囲	4	–	33	MHz	–
<b>kHz ECO の DC 仕様</b>							
SID318	$I_{DD\_kHz}$	32kHz 水晶でのブロック動作電流	–	0.38	1	$\mu A$	–
SID321E	ESR32K	等価直列抵抗	–	80	–	$k\Omega$	–
SID322E	PD32K	駆動レベル	–	–	1	$\mu W$	–
<b>kHz ECO の AC 仕様</b>							
SID319	$F_{kHz}$	32kHz の調整後周波数	–	32.768	~	kHz	–
SID320	$T_{on\_kHz}$	起動時間	–	–	500	ms	–
SID320E	$F_{TOL32K}$	周波数許容誤差	–	50	250	ppm	–

**外部クロックの仕様**
**表 29. 外部クロック仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID305	EXTCLK <sub>FREQ</sub>	外部クロック入力周波数	0	–	100	MHz	–
SID306	EXTCLK <sub>DUTY</sub>	デューティ比 ; $V_{DD}/2$ で測定	45	–	55	%	–

**表 30. PLL 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID305P	PLL_LOCK	PLL がロックされるまでの時間	–	16	50	$\mu s$	–
SID306P	PLL_OUT	PLL ブロック出力の周波数	–	–	150	MHz	–
SID307P	PLL_IDD	PLL 電流	–	0.55	1.1	mA	Typ は 100MHz 出力の場合

**表 31. クロック ソースの切り替え時間**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID262	TCLK <sub>SWITCH</sub>	クロック周期での clk 1 から clk 2 へのクロック切り替え	–	–	$4 \text{ clk1} + 3 \text{ clk2}$	周期	–

**表 32. 周波数ロック ループ (FLL) の仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>周波数ロック ループ (FLL) の仕様</b>							
SID450	FLL_RANGE	入力周波数範囲	0.001	—	100	MHz	Min の時、USB SOF 信号がロック可能 (1kHz)。Max は外部入力用
SID451	FLL_OUT_DIV2	出力周波数範囲。 $V_{CCD}=1.1V$	24.00	—	100.00	MHz	FLL 2 分周出力時の出力範囲
SID451A	FLL_OUT_DIV2	出力周波数範囲。 $V_{CCD}=0.9V$	24.00	—	50.00	MHz	FLL 2 分周出力時の出力範囲
SID452	FLL_DUTY_DIV2	2 分周出力。HIGH または LOW	47.00	—	53.00	%	
SID454	FLL_WAKEUP	ディープスリープ ウェイクアップで安定入力クロックから最終値の誤差が 1% に達するまでの時間	—	—	7.50	μs	IMO 入力
SID455	FLL_JITTER	周期ジッタ (1 シグマ)	50.00	—	35.00	ps	48MHz で 50ps、100MHz で 35ps
SID456	FLL_CURRENT	CCO+ ロジック電流	—	—	5.50	μA/MHz	

**表 33. UDB の AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>データ パス性能</b>							
SID249	$F_{MAX-TIMER}$	UDB ペアの 16 ビット タイマーの最大周波数	—	—	100	MHz	—
SID250	$F_{MAX-ADDER}$	UDB ペアの 16 ビット加算器の最大周波数	—	—	100	MHz	—
SID251	$F_{MAX_CRC}$	UDB ペアの 16 ビット CRC/PRS の最大周波数	—	—	100	MHz	—
<b>UDB での PLD 性能</b>							
SID252	$F_{MAX_PLD}$	UDB ペアの 2 パス PLD 機能の最大周波数	—	—	100	MHz	—
<b>クロック入力からデータ出力までの性能</b>							
SID253	$T_{CLK\_OUT\_UDB1}$	クロック入力からデータ出力までの伝播遅延時間	—	5	—	ns	—
<b>UDB ポート アダプタの仕様</b>							
条件：負荷 10pF、3V の $V_{DDIO}$ および $V_{DDD}$							
SID263	$T_{LCLKDO}$	LCLK から出力までの遅延時間	—	—	11	ns	—
SID264	$T_{DINLCLK}$	入力セットアップから LCLK 立ち上がりエッジまでの時間	—	—	7	ns	—
SID265	$T_{DINLCLKHLD}$	LCLK クロック立ち上がりエッジからの入力ホールド時間	5	—	—	ns	—
SID266	$T_{LCLKHIZ}$	LCLK から出力トライステートまでの時間	—	—	28	ns	—
SID267	$T_{FLCLK}$	LCLK 周波数	—	—	33	MHz	—
SID268	$T_{LCLKDUTY}$	LCLK デューティ比 (HIGH 時の割合)	40%	—	60%	%	—

**注：**

5. FLL の非分周出力は、入力周波数の少なくとも 2.5 倍でなければなりません。

**表 34. USB の仕様 (USB は LP モード 1.1V 内部電源が必要)**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>USB ブロックの仕様</b>							
SID322U	Vusb_3.3	USB 動作用のデバイス電源電圧	3.15	—	3.6	V	USB 設定済み、USB レギュレータがバイパス
SID323U	Vusb_3.3	USB 動作用のデバイス電源電圧 (機能動作のみ)	2.85	—	3.6	V	USB 設定済み、USB レギュレータがバイパス
SID325U	lusb_config	アクティブ モードでのデバイス供給電流	—	8	—	mA	$V_{DDD}=3.3V$
SID328	lsub_suspend	スリープ モードでのデバイス供給電流	—	0.5	—	mA	$V_{DDD}=3.3V$ 、 PICU ウェイクアップ
SID329	lsub_suspend	スリープ モードでのデバイス供給電流	—	0.3	—	mA	$V_{DDD}=3.3V$ 、 デバイス未接続
SID330U	USB_Drive_Res	USB ドライバー インピーダンス	28	—	44	$\Omega$	直列抵抗はチップに搭載
SID331U	USB_Pulldown	ホスト モードでの USB プルダウン抵抗	14.25	—	24.8	$k\Omega$	—
SID332U	USB_Pullup_Idle	アイドル モード範囲	900	—	1575	$\Omega$	バス アイドル
SID333U	USB_Pullup	アクティブ モード	1425	—	3090	$\Omega$	アップストリーム デバイス送信

**表 35. QSPI の仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>SMIF QSPI 仕様。すべての仕様には 15-pF の負荷</b>							
SID390Q	Fsmifclock	SMIF QSPI 出力クロック周波数	—	—	80	MHz	LP モード (1.1V)
SID390QU	Fsmifclocku	SMIF QSPI 出力クロック周波数	—	—	50	MHz	ULP モード (0.9V)。 特性上保証
SID397Q	Idd_qspi	LP モードでのブロック電流 (1.1V)	—	—	1900	$\mu A$	LP モード (1.1V)
SID398Q	Idd_qspi_u	ULP モードでのブロック電流 (0.9V)	—	—	590	$\mu A$	ULP モード (0.9V)
SID391Q	Tsetup	クロック キャプチャ エッジに対する 入力データセットアップ時間	4.5	—	—	ns	
SID392Q	Tdatahold	クロック キャプチャ エッジに対する 入力データホールド時間	0	—	—	ns	
SID393Q	Tdataoutvalid	クロック立ち下がリエッジに対する 出力データ有効時間	—	—	3.7	ns	
SID394Q	Tholdtime	クロック立ち上がりエッジに対する 出力データホールド時間	3	—	—	ns	
SID395Q	Tseloutvalid	クロック立ち上がりエッジに対する 出力選択有効時間	—	—	7.5	ns	
SID396Q	Tselouthold	クロック立ち上がりエッジに対する 出力選択ホールド時間	Tsclk	—	—	ns	Tsclk=Fsmifclk サイクル時間

**表 36. オーディオ サブシステムの仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>オーディオ サブシステムの仕様</b>							
<b>PDM の仕様</b>							
SID400P	PDM_IDD1	PDM アクティブ電流、ステレオ動作、1MHz クロック	—	175	—	μA	16ksps での 16 ビットオーディオ
SID401	PDM_IDD2	PDM アクティブ電流、ステレオ動作、3MHz クロック	—	600	—	μA	48ksps での 24 ビットオーディオ
SID402	PDM_JITTER	PDM クロックでの RMS ジッタ	-200	—	200	ps	
SID403	PDM_CLK	PDM クロック速度	0.384	—	3.072	MHz	
SID403A	PDM_BLK_CLK	PDM ブロック入力クロック	1.024	—	49.152	MHz	
SID403B	PDM_SETUP	データ入力セットアップから PDM_CLK エッジまでの時間	10	—	—	ns	
SID403C	PDM_HOLD	データ入力ホールドから PDM_CLK エッジまでの時間	10	—	—	ns	
SID404	PDM_OUT	オーディオサンプリング速度	8	—	48	ksps	
SID405	PDM_WL	ワード長	16	—	24	ビット	
SID406	PDM_SNR	信号対雑音比 (A 加重)	—	100	—	dB	PDM 入力、20Hz ~ 20kHz 帯域幅
SID407	PDM_DR	動的範囲 (A 加重)	—	100	—	dB	20Hz ~ 20kHz 帯域幅、-60dB フルスケール
SID408	PDM_FR	周波数応答	-0.05	—	—	dB	DC 精度が 0.45f
SID409	PDM_SB	停止帯域	—	0.566	—	f	
SID410	PDM_SBA	停止帯域減衰	—	60	—	dB	
SID411	PDM_GAIN	調整可能ゲイン	-12	—	10.5	dB	PDM-PCM、1.5dB／ステップ
SID412	PDM_ST	起動時間	—	48	—		WS (ワード選択) サイクル
<b>I2S 仕様。特に指定のない限り、LP モードおよび ULP モードでも同じ</b>							
SID413	I2S_WORD	I2S ワード長	8	—	32	ビット	
SID414	I2S_WS	LP モードでのワード クロック周波数	—	—	192	kHz	32 ビットワードの 12.288MHz ビット クロック
SID414M	I2S_WS_U	ULP モードでのワード クロック周波数	—	—	48	kHz	32 ビットワードの 3.072MHz ビット クロック
SID414A	I2S_WS_TDM	LP の TDM モードのワード クロック周波数	—	—	48	kHz	8 本の 32 ビット チャネル
SID414X	I2S_WS_TDM_U	ULP の TDM モードでのワード クロック周波数	—	—	12	kHz	8 本の 32 ビット チャネル
<b>I2S スレーブ モード</b>							
SID430	TS_WS	LP モードでの WS セットアップから次の SCK 立ち上がりエッジまでの時間	5	—	—	ns	
SID430U	TS_WS	ULP モードでの WS セットアップから次の SCK 立ち上がりエッジまでの時間	11	—	—	ns	
SID430A	TH_WS	WS ホールドから次の SCK エッジまでの時間	TMCLK_S OC + 5	—	—	ns	

**表 36. オーディオ サブシステムの仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID432	TD_SDO	LP モードでの TX_SCK エッジからの TX_SDO 遷移の遅延時間	-(TMCLK_SOC+25)	-	TMCLK_SOC+25	ns	関連するクロック エッジは選択された極性に依存する
SID432U	TD_SDO	ULP モードでの TX_SCK エッジからの TX_SDO 遷移の遅延時間	-(TMCLK_SOC+70)	-	TMCLK_SOC+70	ns	関連するクロック エッジは選択された極性に依存する
SID433	TS_SDI	LP モードでの RX_SDI セットアップから次の RX_SCK エッジまでの時間	5	-	-	ns	
SID433U	TS_SDI	ULP モードでの RX_SDI セットアップから次の RX_SCK エッジまでの時間	11	-	-	ns	
SID434	TH_SDI	RX_SDI ホールドから RX_SCK 立ち上がりエッジまでの時間	TMCLK_SOC+5	-	-	ns	
SID435	TSCKCY	TX / RX_SCK ビット クロック デューティ比	45	-	55	%	

**I2S マスター モード**

SID437	TD_WS	LP モードでの SCK 立ち下がりエッジからの WS 遷移の遅延時間	-10	-	20	ns	
SID437U	TD_WS_U	ULP モードでの SCK 立ち下がりエッジからの WS 遷移の遅延時間	-10	-	40	ns	
SID438	TD_SDO	LP モードでの SCK 立ち下がりエッジからの SDO 遷移の遅延時間	-10	-	20	ns	
SID438U	TD_SDO	ULP モードでの SCK 立ち下がりエッジからの SDO 遷移の遅延時間	-10	-	40	ns	
SID439	TS_SDI	SDI セットアップから関連する SCK エッジまでの時間	5	-	-	ns	関連するクロック エッジは選択された極性に依存する
SID440	TH_SDI	SDI ホールドから関連する SCK エッジまでの時間	TMCLK_SOC+5	-	-	ns	「T」は TX / RX_SCK ビット クロック 周期 - 関連するクロック エッジは選択された極性に依存する
SID443	TSCKCY	SCK ビット クロック デューティ比	45	-	55	%	
SID445	FMCLK_SOC	LP モードでの MCLK_SOC 周波数	1.024	-	98.304	MHz	FMCLK_SOC=8* ビット クロック
SID445U	FMCLK_SOC_U	ULP モードでの MCLK_SOC 周波数	1.024	-	24.576	MHz	FMCLK_SOC_U=8* ビット クロック
SID446	TMCLKCY	MCLK_SOC デューティ比	45	-	55	%	
SID447	TJITTER	MCLK_SOC 入力ジッタ	-100	-	100	ps	

**表 37. Smart I/O 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID420	SMIO_BYP	Smart I/O バイパス遅延時間	-	-	2	ns	-
SID421	SMIO_LUT	Smart I/O LUT 伝播遅延時間	-	未定	-	ns	-

**表 38. BLE サブシステムの仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>BLE サブシステム仕様</b>							
<b>RF レシーバー仕様 (1Mbps)</b>							
SID317R	RXS、IDLE	トランスマッタがアイディアル時の受信感度	–	-95	–	dBm	RF 動作周波数範囲全般
SID317RR	RXS、IDLE	トランスマッタがアイディアル時の受信感度	–	-93	–	dBm	255 バイト パケット長、周波数範囲全般
SID318R	RXS、DIRTY	トランスマッタがダーティ時の受信感度	–	-92	–	dBm	RF-PHY 仕様 (RCV-LE/CA/01/C)
SID319R	PRXMAX	PER の 0.1% 未満の最大受信信号強度	–	0	–	dBm	RF-PHY 仕様 (RCV-LE/CA/06/C)
SID320R	CI1	同一チャネル干渉。 希望信号が -67dBm、干渉信号が FRX	–	9	21	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID321R	CI2	隣接チャネル干渉。 希望信号が -67dBm、干渉信号が FRX $\pm$ 1MHz	–	3	15	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID322R	CI3	隣接チャネル干渉。 希望信号が -67dBm、干渉信号が FRX $\pm$ 2MHz	–	-26	-17	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID323R	CI4	隣接チャネル干渉。 希望信号が -67dBm、干渉信号 $\geq$ FRX $\pm$ 3MHz	–	-33	-27	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID324R	CI5	隣接チャネル干渉。 希望信号が -67dBm、干渉信号がイメージ周波数 (FIMAGE)	–	-20	-9	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID325R	CI6	隣接チャネル干渉。 希望信号が -67dBm、干渉信号がイメージ周波数 (FIMAGE $\pm$ 1MHz)	–	-28	-15	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
<b>RF レシーバー仕様 (2Mbps)</b>							
SID326	RXS、IDLE	トランスマッタがアイディアル時の受信感度	–	-92	–	dBm	RF 動作周波数範囲全般
SID326R	RXS、IDLE	トランスマッタがアイディアル時の受信感度	–	-90	–	dBm	255 バイト パケット長、周波数範囲全般
SID327	RXS、DIRTY	トランスマッタがダーティ時の受信感度	–	-89	–	dBm	RF-PHY 仕様 (RCV-LE/CA/01/C)
SID328R	PRXMAX	PER の 0.1% 未満の最大受信信号強度	–	0	–	dBm	RF-PHY 仕様 (RCV-LE/CA/06/C)
SID329R	CI1	同一チャネル干渉。 希望信号が -67dBm、干渉信号が FRX	–	9	21	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID330	CI2	隣接チャネル干渉。 希望信号が -67dBm、干渉信号が FRX $\pm$ 2MHz	–	3	15	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID331	CI3	隣接チャネル干渉。 希望信号が -67dBm、干渉信号が FRX $\pm$ 4MHz	–	-26	-17	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)

**表 38. BLE サブシステムの仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID332	CI4	隣接チャネル干渉。 希望信号が -67dBm、干渉信号が $\geq F_{RX} \pm 6\text{MHz}$	-	-33	-27	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID333	CI5	隣接チャネル干渉。 希望信号が -67dBm、干渉信号が イメージ周波数 (FIMAGE)	-	-20	-9	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
SID334	CI6	隣接チャネル干渉。 希望信号が -67dBm、干渉信号が イメージ周波数 (FIMAGE $\pm 2\text{MHz}$ )	-	-28	-15	dB	RF-PHY 仕様 (RCV-LE/CA/03/C)
<b>RF レシーバー仕様 (1 &amp; 2Mbps)</b>							
SID338	OBB1	帯域外ブロッキング。 希望信号が -67dBm、干渉信号が F=30 ~ 2000MHz	-30	-27	-	dBm	RF-PHY 仕様 (RCV-LE/CA/04/C)
SID339	OBB2	帯域外ブロッキング。 希望信号が -67dBm、干渉信号が F=2003 ~ 2399MHz	-35	-27	-	dBm	RF-PHY 仕様 (RCV-LE/CA/04/C)
SID340	OBB3	帯域外ブロッキング。 希望信号が -67dBm、干渉信号が F=2484 ~ 2997MHz	-35	-27	-	dBm	RF-PHY 仕様 (RCV-LE/CA/04/C)
SID341	OBB4	帯域外ブロッキング。 希望信号が -67dBm、干渉信号が F=3000 ~ 12750MHz	-30	-27	-	dBm	RF-PHY 仕様 (RCV-LE/CA/04/C)
SID342	IMD	相互変調性能。 希望信号 -64dBm、1Mbps BLE、3番目、4番目、5番目のオフセットチャネル	-50	-	-	dBm	RF-PHY 仕様 (RCV-LE/CA/05/C)
SID343	RXSE1	レシーバースプリアス発射。 30MHz ~ 1.0GHz	-	-	-57	dBm	100kHz 測定帯域幅 ETSI EN300 328 V2.1.1
SID344	RXSE2	レシーバースプリアス発射。 1.0GHz ~ 12.75GHz	-	-	-53	dBm	1MHz 測定帯域幅 ETSI EN300 328 V2.1.1
RF トランスマッタ仕様			-	-	-	-	
SID345	TXP、ACC	RF パワー精度	-1	-	1	dB	
SID346	TXP、RANGE	周波数の精度	-	24	-	dB	-20dBm ~ +4dBm
SID347	TXP、0dBm	出力パワー、0dB ゲイン設定	-	0	-	dBm	
SID348	TXP、MAX	出力パワー、最大パワー設定	-	4	-	dBm	
SID349	TXP、MIN	出力パワー、最小パワー設定	-	-20	-	dBm	
SID350	F2AVG	10101010 パターンの平均周波数偏移	185	-	-	kHz	RF-PHY 仕様 (TRM-LE/CA/05/C)
SID350R	F2AVG_2M	2Mbps での 10101010 パターンの平均周波数偏移	370	-	-	kHz	RF-PHY 仕様 (TRM-LE/CA/05/C)
SID351	F1AVG	11110000 パターンの平均周波数偏移	225	250	275	kHz	RF-PHY 仕様 (TRM-LE/CA/05/C)
SID351R	F1AVG_2M	2Mbps での 11110000 パターンの平均周波数偏移	450	500	550	kHz	RF-PHY 仕様 (TRM-LE/CA/05/C)
SID352	EO	アイ開口 = $\Delta F2AVG / \Delta F1AVG$	0.8	-	-	-	RF-PHY 仕様 (TRM-LE/CA/05/C)

**表 38. BLE サブシステムの仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID353	FTX、ACC	周波数の精度	-150	-	150	kHz	RF-PHY 仕様 (TRM-LE/CA/06/C)
SID354	FTX、MAXDR	最大周波数ドリフト	-50	-	50	kHz	RF-PHY 仕様 (TRM-LE/CA/06/C)
SID355	FTX、INITDR	初期周波数ドリフト	-20	-	20	kHz	RF-PHY 仕様 (TRM-LE/CA/06/C)
SID356	FTX、DR	最大ドリフト率	-20	-	20	kHz/50μs	RF-PHY 仕様 (TRM-LE/CA/06/C)
SID357	IBSE1	2MHz オフセットでの帯域内スプリアス発射 (1Mbps) 4MHz オフセットでの帯域内スプリアス発射 (2Mbps)	-	-	-20	dBm	RF-PHY 仕様 (TRM-LE/CA/03/C)
SID358	IBSE2	3MHz オフセット以上での帯域内スプリアス発射 (1Mbps) 6MHz オフセット以上での帯域内スプリアス発射 (2Mbps)	-	-	-30	dBm	RF-PHY 仕様 (TRM-LE/CA/03/C)
SID359	TXSE1	トランスマッタスプリアス発射 (平均)、1.0GHz 未満	-	-	-55.5	dBm	FCC-15.247
SID360	TXSE2	トランスマッタスプリアス発射 (平均)、1.0GHz 以上			-41.5	dBm	FCC-15.247

**RF 電流仕様**

SID361	IRX1_wb	受信電流 (1Mbps)	-	6.7	-	mA	$V_{DD\_NS} = V_{DDD} = 3.3V$ ; 降圧レギュレータを使用
SID362	ITX1_wb_0dBm	0dBm 設定時の送信電流 (1Mbps)	-	5.7	-	mA	$V_{DD\_NS} = V_{DDD} = 3.3V$ ; 降圧レギュレータを使用
SID363	IRX1_nb	受信電流 (1Mbps)	-	11	-	mA	降圧レギュレータ未使用時の $V_{DDD}$ 電流
SID364	ITX1_nb_0dBm	0dBm 設定時の送信電流 (1Mbps)	-	10	-	mA	降圧レギュレータ未使用時の $V_{DDD}$ 電流
SID365	ITX1_nb_4dBm	4dBm 設定時の送信電流 (1Mbps)	-	13	-	mA	降圧レギュレータ未使用時の $V_{DDD}$ 電流
SID365R	ITX1_wb_4dBm	4dBm 設定時の送信電流 (1Mbps)	-	8.5	-	mA	$V_{DD\_NS} = V_{DDD} = 3.3V$ ; 降圧レギュレータを使用
SID366	ITX1_nb_20dBm	-20dBm 設定時の送信電流 (1Mbps)	-	7	-	mA	降圧レギュレータ未使用時の $V_{DDD}$ 電流
SID367	IRX2_wb	受信電流 (2Mbps)	-	7	-	mA	$V_{DD\_NS} = V_{DDD} = 3.3V$ ; 降圧レギュレータを使用
SID368	ITX2_wb_0dBm	0dBm 設定時の送信電流 (2Mbps)	-	5.7	-	mA	$V_{DD\_NS} = V_{DDD} = 3.3V$ ; 降圧レギュレータを使用
SID369	IRX2_nb	受信電流 (2Mbps)	-	11.3	-	mA	降圧レギュレータ未使用時の $V_{DDD}$ 電流
SID370	ITX2_nb_0dBm	0dBm 設定時の送信電流 (2Mbps)	-	10	-	mA	降圧レギュレータ未使用時の $V_{DDD}$ 電流
SID371	ITX2_nb_4dBm	4dBm 設定時の送信電流 (2Mbps)	-	13	-	mA	降圧レギュレータ未使用時の $V_{DDD}$ 電流
SID371R	ITX2_wb_4dBm	4dBm 設定時の送信電流 (2Mbps)	-	8.5	-	mA	$V_{DD\_NS} = V_{DDD} = 3.3V$ ; 降圧レギュレータを使用

**表 38. BLE サブシステムの仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID372	ITX2_nb_20dBm	-20dBm 設定時の送信電流 (2Mbps)	–	7	–	mA	降圧レギュレータ未使用時の $V_{DDD}$ 電流
無線部一般仕様			–	–	–		
SID373	FREQ	無線動作周波数	2400	–	2482	MHz	
SID374	CHBW	チャネル間隔	–	2	–	MHz	
SID375	DR1	無線伝送速度 (1Mbps)	–	1000	–	Kbps	
SID376	DR2	無線伝送速度 (2Mbps)	–	2000	–	Kbps	
SID377	TXSUP	トランスマッタ起動時間	–	80	82	μs	
SID378	RXSUP	レシーバー起動時間	–	80	82	μs	
<b>RSSI 仕様</b>							
SID379	RSSI、ACC	RSSI 精度	-4	–	4	dB	-95dBm ~ -20dBm の測定範囲
SID380	RSSI、RES	RSSI 分解能	–	1	–	dB	
SID381	RSSI、PER	RSSI サンプリング周期	–	6	–	μs	
<b>システム レベルの BLE 仕様</b>							
SID433R	Adv_Pwr	1.28s、32 バイト、0dBm	–	42	–	μW	3.3V、降圧レギュレータ、ディープスリープ電流なし
SID434R	Conn_Pwr_300	300ms、0 バイト、0dBm	–	70	–	μW	3.3V、降圧レギュレータ、ディープスリープ電流なし
SID435R	Conn_Pwr_1S	1000ms、0 バイト、0dBm	–	30	–	μW	3.3V、降圧レギュレータ、ディープスリープ電流なし
SID436R	Conn_Pwr_4S	4000ms、0 バイト、0dBm	–	4	–	μW	3.3V、降圧レギュレータ、ディープスリープ電流なし

**表 39. ECO の仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>16MHz 水晶発振器</b>							
SID382	FXO1	水晶周波数	–	16	–	MHz	–
SID383	ESR1	等価直列抵抗	–	100	250	Ω	–
SID384	Txostart1	起動時間	–	400	–	μs	周波数安定 (16MHz±50ppm)
SID385	IXO1	動作電流	–	300	–	μA	水晶電流、LDO および BG を含む
<b>32kHz 水晶発振子</b>							
SID386	FXO2	水晶周波数	–	32	–	MHz	–
SID387	ESR2	等価直列抵抗	–	50	100	Ω	–
SID388	Txostart2	起動時間	–	400	–	μs	周波数安定 (32MHz±50ppm)
SID389	IXO2	動作電流	–	350	–	μA	水晶電流、LDO および BG を含む
<b>16MHz および 32MHz 水晶発振子</b>							
SID390	FTOL	周波数許容誤差	-20	–	20	ppm	調整後、エージングと温度ドリフトを含む
SID391	PD	駆動レベル	–	–	100	μW	–

**表 40. 高精度 ILO (PILO) 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID 430R	$I_{PILO}$	動作電流	–	1.2	4	$\mu A$	–
SID431	$F_{PILO}$	PILO 公称周波数	–	32768	–	Hz	$T=25^{\circ}C$ 、20ppm の水晶振動子
SID432R	ACC_PILO	定期較正による PILO 精度	-500	–	500	ppm	–

## 注文情報

表 41 に PSoC 63 の製品番号と機能を示します。次の表は、BLE 無線を含む製品のマーケティング製品番号 (MPN) を示しています。パッケージは 104 M CSP と 116 BGA で提供されます。

表 41. BLE シリーズ製品番号

ファミリ	製品番号	CPU 速度 (M4)	CPU 速度 (M0+)	シングルコア／デュアルコア	ULP	フラッシュ	SRAM	CTBM の数	UDB の数	CapSense	GPIO	CRYPTO	パッケージ
63	CY8C6336BZI-BLF03	150	–	シングル	LP	512	128	0	0	無	78	無	116-BGA
	CY8C6316BZI-BLF03	50	–	シングル	ULP	512	128	0	0	無	78	無	116-BGA
	CY8C6316BZI-BLF53	50	–	シングル	ULP	512	128	1	12	有	78	有	116-BGA
	CY8C6337BZI-BLF13	150	–	シングル	LP	1024	288	0	0	有	78	無	116-BGA
	CY8C6336BZI-BLD13	150	100	デュアル	LP	512	128	0	0	有	78	無	116-BGA
	CY8C6347BZI-BLD43	150／50	100／25	デュアル	両方	1024	288	0	0	有	78	有	116-BGA
	CY8C6347BZI-BLD33	150／50	100／25	デュアル	両方	1024	288	1	12	有	78	無	116-BGA
	CY8C6347BZI-BLD53	150／50	100／25	デュアル	両方	1024	288	1	12	有	78	有	116-BGA
	CY8C6347FMI-BLD13	150／50	100／25	デュアル	両方	1024	288	0	0	有	70	無	104-MCSP
	CY8C6347FMI-BLD43	150／50	100／25	デュアル	両方	1024	288	0	0	有	70	有	104-MCSP
	CY8C6347FMI-BLD33	150／50	100／25	デュアル	両方	1024	288	1	12	有	70	無	104-MCSP
	CY8C6347FMI-BLD53	150／50	100／25	デュアル	両方	1024	288	1	12	有	70	有	104-MCSP

表 42 はフィールドの値を示します。

表 42. MPN 命名法

フィールド	説明	値	意味
CY8C	サイプレスの接頭辞		
6	アーキテクチャ	6	PSoC 6
A	ファミリ	0	値
		1	プログラム可能
		2	性能
		3	接続性
B	速度	1	50MHz
		2	100MHz
		3	150MHz
		4	150／50MHz

**表 42. MPN 命名法**

フィールド	説明	値	意味
C	フラッシュ容量	4	128KB
		5	256KB
		6	512KB
		7	1024KB
D	パッケージ コード	AX	TQFP I (0.8mm ピッチ )
		AZ	TQFP II (0.5mm ピッチ )
		LQ	QFN
		BZ	BGA
		FM	M-CSP
E	温度範囲	C	民生用
		I	産業用
		Q	産業用拡張温度範囲 (105°C)
F	シリコン チップ ファミリ	該当なし	PSoC 6A
		S	PSoC 6A-S (例)
		M	PSoC 6A-M (例)
		L	PSoC 6A-L (例)
		BL	PSoC 6A-BLE
G	コア	Z	M0+
		F	M4
		D	デュアルコア M4 / M0+
XY	属性コード	00-99	特定ファミリ向け機能セット コード
ES	エンジニアリング サンプル	ES	エンジニアリング サンプルかどうか
T	テープ／リール出荷	T	テープ & リール出荷かどうか

## パッケージ

PSoC 63 は 116-BGA および 104-MCSP パッケージで提供されます。

表 43. パッケージの寸法

仕様 ID	パッケージ	説明	パッケージ図番号
PKG_2	104-MCSP	104-MCSP、3.8×5×0.65mm 高、0.35mm ピッチ	002-16508
PKG_4	116-BGA	116-BGA、5.2×6.4×0.70mm 高、0.5mm ピッチ	002-16574

表 44. パッケージ特性

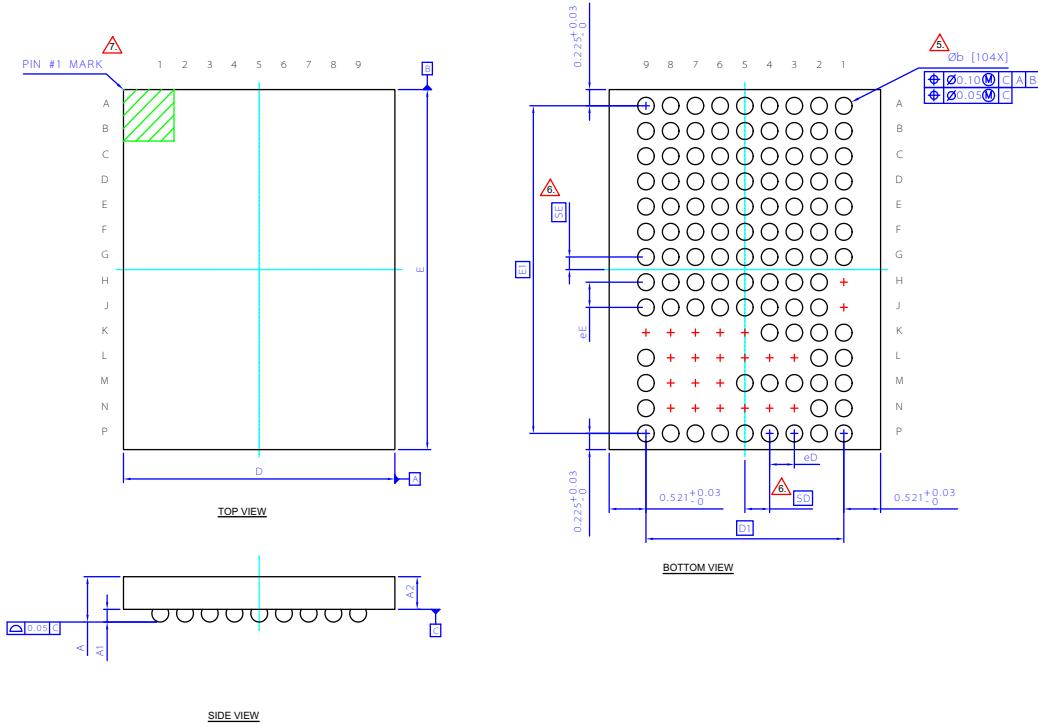
パラメーター	説明	条件	Min	Typ	Max	単位
T <sub>A</sub>	動作周囲温度	—	-40	25.00	85	°C
T <sub>J</sub>	動作接合部温度	—	-40	—	100	°C
T <sub>JA</sub>	パッケージ θ <sub>JA</sub> (116-BGA)	—	—	36	—	°C/W
T <sub>JC</sub>	パッケージ θ <sub>JC</sub> (116-BGA)	—	—	12	—	°C/W
T <sub>JA</sub>	パッケージ θ <sub>JA</sub> (104-CSP)	—	—	34	—	°C/W

表 45. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
116-BGA	260°C	30 秒
104-MCSP	260°C	30 秒

表 46. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
116-BGA	MSL 3
104-MCSP	MSL 3

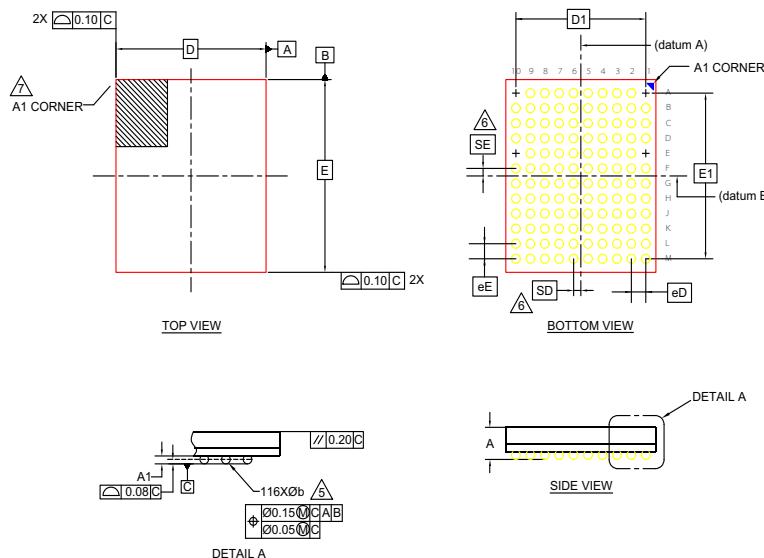
**図 4. 104-WLCSP 3.8x5.0x0.65mm**


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	0.560	0.605	0.650
A1	0.165	0.185	0.205
A2	0.395	0.420	0.445
D	3.791	3.841	3.891
E	4.95	5.00	5.05
D1		2.80 BSC	
E1		4.55 BSC	
MD		9	
ME		14	
N		104	
Ø b	0.205	0.235	0.265
eD	0.335	0.350	0.365
eE	0.335	0.350	0.365
SD		0.35 BSC	
SE		0.175 BSC	

**NOTES:**

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
3. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
4. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
5. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
6. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
7. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
8. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
9. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
10. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALIZED MARK, INDENTATION OR OTHER MEANS.
11. "\*" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
12. JEDEC SPECIFICATION NO. REF.: N/A.

002-16508 \*E

**図 5. 116-BGA 5.2 × 6.4 × 0.70 mm**


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	0.70
A1	0.16	0.21	0.26
D	5.20	BSC	
E	6.40	BSC	
D1	4.50	BSC	
E1	5.50	BSC	
MD	10		
ME	12		
N	116		
Ø b	0.25	0.30	0.35
eD	0.50	BSC	
eE	0.50	BSC	
SD	0.25	BSC	
SE	0.25	BSC	

**NOTES:**

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
3. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
4. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
5. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
6. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
7. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
8. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
10. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
11. JEDEC SPECIFICATION NO. REF: N/A

002-16574 \*B

## 略語

表 47. 本書で使用する略語

略語	説明
abus	analog local bus ( アナログ ローカル バス )
ADC	analog-to-digital converter ( アナログ - デジタル 変換器 )
AG	analog global ( アナログ グローバル )
AHB	AMBA high-performance bus ( AMBA ( アドバンスト マイクロコントローラー バス アーキテクチャ ) 高性能 バス )。Arm データ転送 バス の 一 種
ALU	arithmetic logic unit ( 算術論理 装置 )
AMUXBUS	analog multiplexer bus ( アナログ マルチプレクサ バス )
API	application programming interface ( アプリケーション プログラミング インターフェース )
APSR	application program status register ( アプリケーション プログラム ステータス レジスタ )
Arm®	advanced RISC machine ( 高度な RISC マシン )、CPU アーキテクチャ の 一 種
ATM	automatic thump mode ( 自動サンプ モード )
BW	bandwidth ( 帯域幅 )
CAN	Controller Area Network ( コントローラー エリア ネットワーク )、通信 プロトコル の 一 種
CMRR	common-mode rejection ratio ( 同相除去比 )
CPU	central processing unit ( 中央演算処理 装置 )
CRC	cyclic redundancy check ( 巡回冗長検査 )、エラー チェック プロトコル の 一 種
DAC	digital-to-analog converter ( デジタル - アナログ 変換器 )。IDAC、VDAC を 参照
DFB	digital filter block ( デジタル フィルター ブロック )
DIO	digital input/output ( デジタル 入出力 )、アナログ なし 、デジタル 機能 のみ を持つ GPIO。GPIO を 参照
DMIPS	Dhrystone million instructions per second ( ドライストーン 100 万 命令 每秒 )
DMA	direct memory access ( ダイレクト メモリ アクセス )。TD を 参照
DNL	differential nonlinearity ( 微分 非直線性 )。INL を 参照
DNU	do not use ( 使用 禁止 )
DR	port write data registers ( ポート 書き込み データ レジスタ )
DSI	digital system interconnect ( デジタル システム インターコネクト )
DWT	data watchpoint and trace ( データ ウォッチ ポイント と トレース )
ECC	error correcting code ( エラー 訂正 コード )

表 47. 本書で使用する略語 ( 続き )

略語	説明
ECO	external crystal oscillator ( 外部 水晶発振器 )
EEPROM	electrically erasable programmable read-only memory ( 電気的 消去書き込み 可能な 読み出し 専用 メモリ )
EMI	electromagnetic interference ( 電磁干渉 )
EMIF	external memory interface ( 外部 メモリ インターフェース )
EOC	end of conversion ( 変換 の 終了 )
EOF	end of frame ( フレーム の 終了 )
EPSR	execution program status register ( 実行 プログラム ステータス レジスタ )
ESD	electrostatic discharge ( 静電気 放電 )
ETM	embedded trace macrocell ( 埋め込み トレース マクロセル )
FIR	finite impulse response ( 有限 インパルス 応答 )。IIR を 参照
FPB	flash patch and breakpoint ( フラッシュ パッチ および ブレーク ポイント )
FS	full-speed ( フルスピード )
GPIO	general-purpose input/output ( 汎用 入出力 )。PSoC ピン に 適用
HVI	high-voltage interrupt ( 高電圧 割込み )。LVI、LVD 参照
IC	integrated circuit ( 集積回路 )
IDAC	current DAC ( 電流 DAC )。DAC、VDAC を 参照
IDE	integrated development environment ( 統合 開発 環境 )
I <sup>2</sup> C ( 別名 : IIC )	Inter-Integrated Circuit ( インターバー インテグレーテッド サーキット )、通信 プロトコル の 一 種
IIR	infinite impulse response ( 無限 インパルス 応答 )。FIR を 参照
ILO	internal low-speed oscillator ( 内部 低速 発振器 )。IMO を 参照
IMO	internal main oscillator ( 内部 主 発振器 )。ILO を 参照
INL	integral nonlinearity ( 積分 非直線性 )。DNL を 参照
I/O	input/output ( 入出力 )。GPIO、DIO、SIO、USBIO を 参照
IPOR	initial power-on reset ( 初期 パワーオン リセット )
IPSR	interrupt program status register ( 割込み プログラム ステータス レジスタ )
IRQ	interrupt request ( 割込み 要求 )
ITM	instrumentation trace macrocell ( 計装 トレース マクロセル )

**表 47. 本書で使用する略語 ( 続き )**

略語	説明
LCD	liquid crystal display ( 液晶ディスプレイ )
LIN	Local Interconnect Network ( ローカル インターコネクト ネットワーク )。通信プロトコルの一種
LR	link register ( リンク レジスタ )
LUT	lookup table ( ルックアップ テーブル )
LVD	low-voltage detect ( 低電圧検出 )。 LVI を参照
LVI	low-voltage interrupt ( 低電圧割込み )。 HVI を参照
LVTTL	low-voltage transistor-transistor logic ( 低電圧トランジスタ - トランジスタ ロジック )
MAC	multiply-accumulate ( 積和演算 )
MCU	microcontroller unit ( マイクロコントローラー ユニット )
MISO	master-in slave-out(マスター入力スレーブ出力)
NC	no connect ( 未接続 )
NMI	nonmaskable interrupt ( マスク不可割込み )
NRZ	non-return-to-zero ( 非ゼロ復帰 )
NVIC	nested vectored interrupt controller ( ネスト型ベクタ割込みコントローラー )
NVL	nonvolatile latch ( 不揮発性ラッチ )。 WOL を参照
opamp	operational amplifier ( 演算増幅器 )
PAL	programmable array logic ( プログラマブル アレイ ロジック )。PLD を参照
PC	program counter ( プログラム カウンター )
PCB	printed circuit board ( プリント回路基板 )
PGA	programmable gain amplifier ( プログラマブル ゲイン アンプ )
PHUB	peripheral hub ( ペリフェラル ハブ )
PHY	physical layer ( 物理層 )
PICU	port interrupt control unit ( ポート割込み制御ユニット )
PLA	programmable logic array ( プログラマブル ロジック アレイ )
PLD	programmable logic device ( プログラマブル ロジック デバイス )。PAL を参照
PLL	Phase-Locked Loop ( 位相同期回路 )
PMDD	package material declaration data sheet ( パッケージ材質宣言データシート )
POR	power-on reset ( パワーオン リセット )
PRES	precise power-on reset ( 高精度パワーオン リセット )
PRS	pseudo random sequence ( 疑似乱数列 )

**表 47. 本書で使用する略語 ( 続き )**

略語	説明
PS	port read data register ( ポート読み出しデータ レジスタ )
PSoC®	Programmable System-on-Chip™ ( プログラマブル システムオンチップ )
PSRR	power supply rejection ratio ( 電源電圧変動除去比 )
PWM	pulse-width modulator ( パルス幅変調器 )
RAM	random-access memory ( ランダム アクセス メモリ )
RISC	reduced-instruction-set computing ( 縮小命令セット コンピューティング )
RMS	root-mean-square ( 二乗平均平方根 )
RTC	real-time clock ( リアル タイム クロック )
RTL	register transfer language ( レジスタ転送レベル言語 )
RTR	remote transmission request(リモート送信要求)
RX	receive ( 受信 )
SAR	successive approximation register ( 逐次比較レジスタ )
SC/CT	switched capacitor/continuous time ( スイッチト キャパシタ / 連続時間 )
SCL	I <sup>2</sup> C serial clock ( I <sup>2</sup> C シリアル クロック )
SDA	I <sup>2</sup> C serial data ( I <sup>2</sup> C シリアル データ )
S/H	sample and hold ( サンプル / ホールド )
SINAD	signal to noise and distortion ratio ( 信号対ノイズ比および歪み比 )
SIO	special input/output ( 特殊入出力 )、 高度機能 GPIO。GPIO を参照
SOC	start of conversion ( 変換の開始 )
SOF	start of frame ( フレームの開始 )
SPI	Serial Peripheral Interface ( シリアル ペリフェラル インターフェース )。通信プロトコルの一種
SR	slew rate ( スルーレート )
SRAM	static random access memory ( スタティック ランダム アクセス メモリ )
SRES	software reset ( ソフトウェア リセット )
SWD	serial wire debug ( シリアル ワイヤ デバッグ )、 テスト プロトコルの一種
SWV	single-wire viewer ( シングル ワイヤ ビューアー )
TD	transaction descriptor(トランザクション ディスク リプタ )。DMA を参照
THD	total harmonic distortion ( 全高調波歪み )
TIA	transimpedance amplifier ( トランスインピーダンス アンプ )

**表 47. 本書で使用する略語 ( 続き )**

略語	説明
TRM	technical reference manual ( 技術リファレンス マニュアル )
TTL	transistor-transistor logic ( パンジスタ - パンジスタ ロジック )
TX	transmit ( 送信 )
UART	Universal Asynchronous Receiver Transmitter ( 汎用非同期トランシミッタ レシーバ )。 通信プロトコルの一種
UDB	universal digital block ( ユニバーサル デジタル ブロック )
USB	universal serial bus ( ユニバーサル シリアル バス )
USBIO	USB input/output (USB 入出力 )、 USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC ( 電圧 DAC )。DAC、IDAC を参照
WDT	watchdog timer ( オッヂドッグ タイマー )
WOL	write once latch ( 一度しか書き込めないラッチ )。 NVL を参照
WRES	watchdog timer reset ( オッヂドッグ タイマー リセット )
XRES	external reset I/O pin ( 外部リセット I/O ピン )
XTAL	crystal ( 水晶 )

## 本書の表記法

### 測定単位

表 48. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラッド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド

表 48. 測定単位 ( 続き )

記号	測定単位
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

## エラッタ

本節では現在サンプリング中の PSoC 6 製品ファミリのエラッタについて説明します。詳細情報は、エラッタのトリガー条件、影響の範囲、可能な回避方法、シリコンチップのレビジョンの適用可能性などを含んでいます。

ご質問があれば、最寄のサイプレスの販売代理店までご連絡ください。

### 影響を受ける製品番号

製品番号	デバイスの特性
CY8C6XX-ES および CY8C6XX-ES3	PSoC 6 製品ファミリ

### PSoC 6X 認定の状態

エンジニアリングサンプル（製品番号が ES および ES3 で終わるデバイス）

**PSoC 6X エラッタ サマリ**：パッケージでの名前が ES および ES3 で終わるデバイスは異なるエラッタセットを持っています。

この表は、PSoC 6XX-ES デバイスへのエラッタの適用性を定義しています。

項目	CY8C6XX	シリコンチップ レビジョン	修正状況
[1]. 124 BGA: 「V <sub>DDD</sub> 入力電圧 > 2.7V」の場合の SIMO 降圧 レギュレータ動作	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q1
[2]. UDB ディープスリープ後の状態保持	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q1
[3]. 116 BGA: HBM ESD 定格値	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q1
[4]. フラッシュ Read-While-Write (RWW) 機能は動作不可	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q2
[5]. エミュレートの EEPROM セクタ (32KB セクタ) への書き 込みが完了した後、フラッシュ RWW 機能は 1ms ブロックす る必要がある	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q1
[6]. 監視フラッシュでのブート フラッシュ コードの CMAC ベースの認証はなりすましができる	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q1
[7]. 保護コンテキスト (PC) は、クライアントの PC を継承す るシステム呼び出しでは正しく復元されない（サイプレス提 供の API 呼び出しでは既にこのエラーが対策済であることに 注意してください）	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q1
[8]. ハード フォルトは、2つのシステム呼び出しが同時に発生 し、最初のシステム呼び出しが 0 以外のコンテキストを継承 する場合に発生	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q1
[9]. 許容される温度範囲は 0°C ~ 85°C	すべて	Rev. *A	シリコンチップ修正は次のレビ ジョンで計画済。現在のサンプル 出荷は 2018 年 Q1

エラッタ項目の詳細な説明は次のとおりです。

#### 1. 124 BGA: 「V<sub>DDD</sub> 入力電圧 > 2.7V」の場合の SIMO 降圧レギュレータ動作

##### ■ 問題の定義

V<sub>DDD</sub> > 2.7V の場合、SIMO 降圧レギュレータは非常に低い効率で動作します。

##### ■ 影響を受けるパラメーター

消費電力

##### ■ トリガー条件

V<sub>DDD</sub> > 2.7V

**■ 影響の範囲**

降圧レギュレータを使用すると、消費電力は 2.7V より大きい時に増えます。

**■ 回避方法**

なし

**■ 修正状況**

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q1 に予定されます。

**2. UDB ディープスリープ後の状態保持****■ 問題の定義**

UDB 回路から駆動される GPIO はディープスリープからウェイクアップした後に状態保持できない場合があります。

**■ 影響を受けるパラメーター**

UDB により駆動される場合の GPIO 状態

**■ トリガー条件**

該当なし

**■ 影響の範囲**

ディープスリープからのウェイクアップ後、UDB ロジックによって制御される出力に対し、誤ったロジック状態が一時的に発生することがあります。

**■ 回避方法**

なし

**■ 修正状況**

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q1 に予定されます。

**3. 116 BGA: HBM ESD 定格値****■ 問題の定義**

116 BGA パッケージでの HBM ESD 定格値は 1600V ( 仕様では 2200V ) です。

**■ 影響を受けるパラメーター**

116 BGA パッケージでの HBM ESD 定格値

**■ トリガー条件**

該当なし

**■ 影響の範囲**

2000V の HBM 仕様は 116 BGA パッケージで達成できません。

**■ 回避方法**

なし

**■ 修正状況**

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q1 に予定されます。

**4. フラッシュ Read-While-Write (RWW) 機能は動作不可****■ 問題の定義**

1 つのフラッシュ セクタから読み出すと同時に他のセクタに書き込むことができません。

**■ 影響を受けるパラメーター**

該当なし

**■ トリガー条件**

フラッシュが書き込まれている時に、フラッシュ アドレスを読み出すこと。

**■ 影響の範囲**

RWW 機能を使用すると、ハード フォルトになります。

**■ 回避方法**

システム API 関数にはブロッキング呼び出しを行います。DMA/ データワイヤ、暗号化および SMIF (QSPI) ブロックはバス マスタであり、これらがフラッシュにアクセスしている場合、ブロッキング呼び出しの際にはこれらを無効にする必要があります。基本的に、ブロッキング呼び出しが完了する前にフラッシュ アクセスしてはいけません。しかし、回避方法として、異なる間隔でフラッシュ書き込み時間の約 80%でフラッシュへのアクセスを許可するパーシャル ブロッキングを使用することができます。詳細については、サイプレスまでお問い合わせください。

**■ 修正状況**

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q2 に予定されます。

**5. エミュレートの EEPROM セクタ (32KB セクタ) への書き込みが完了した後、フラッシュ RWW 機能は 1ms ブロックする必要がある****■ 問題の定義**

32KB フラッシュ セクタへの書き込みの開始から 1ms の間にフラッシュを読み出すことができません。

**■ 影響を受けるパラメーター**

該当なし

**■ トリガー条件**

32KB フラッシュ セクタへの書き込みの開始から 1ms の間に、フラッシュ アドレスを読み出すこと。

**■ 影響の範囲**

32KB フラッシュ セクタへの書き込みの開始から 1ms 以内に、フラッシュから読み出すと、ハード フォルトになります。

**■ 回避方法**

DMA/ データワイヤ、暗号化および SMIF (QSPI) ブロックはバス マスタであり、フラッシュにアクセスすると呼び出しが行われてから 1ms の間無効にする必要があります。基本的に、32KB セクタへの書き込みが開始されてから 1ms の間、フラッシュ アクセスしてはいけません。この回避策では、32KB フラッシュ セクタにペアリング情報を書き込む場合、BLE 接続を維持できます。

**■ 修正状況**

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q1 に予定されます。

**6. 監視フラッシュでのブート フラッシュ コードの CMAC ベースの認証はなりすましができる****■ 問題の定義**

CMAC はブート フラッシュの真正性を検証するために使用されますが、AES キーは表示され、メッセージ認証の完全性は損なわれます。

**■ 影響を受けるパラメーター**

該当なし

**■ トリガー条件**

該当なし

**■ 影響の範囲**

AES キーは SRAM に格納され、通常のライフ サイクル ステージ モードにある部品で読み出すことができます。これは、キーを使用しないセキュア ハッシュ認証 (SHA) 方式に置き換えられます。

**■ 回避方法**

なし

**■ 修正状況**

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q1 に予定されます。

## 7. 保護コンテキスト (PC) は、クライアントの PC を継承するシステム呼び出しでは正しく復元されない

### ■ 問題の定義

一部のシステム呼び出しは、クライアントの保護コンテキスト (PC) を継承できます。PC は、PC 0 の継承を除いて呼び出しの完了時に復元されます。

### ■ 影響を受けるパラメーター

該当なし

### ■ トリガー条件

該当なし

### ■ 影響の範囲

保護コンテキストが誤って変更され、アクセスが失敗する可能性があります。

### ■ 回避方法

クライアントの保護コンテキスト (PC) を継承するシステム呼び出しでは、前回の保護コンテキストが PC0 の場合、PC\_SAVED を 0 に設定する必要があります。CM0+ は保護コンテキスト 0 で使用する必要があります。

### ■ 修正状況

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q1 に予定されます。

## 8. ハード フォルトは、2 つのシステム呼び出しが同時に発生し、最初のシステム呼び出しが 0 以外のコンテキストを継承する場合に発生

### ■ 問題の定義

2 つのシステム呼び出しが同時に行われた場合、NMI ハンドラは 2 番目のシステム呼び出しをサービスしてから戻ります。最初のシステム呼び出しが非ゼロの保護コンテキストを継承した場合、2 番目の呼び出しが保護された領域にアクセスしようとハード フォルトになります。

### ■ 影響を受けるパラメーター

該当なし

### ■ トリガー条件

最初の呼び出しが非ゼロの保護コンテキストを継承するバックツーバック システム呼び出し。

### ■ 影響の範囲

保護コンテキストが誤って変更され、アクセスが失敗する可能性があります。

### ■ 回避方法

IPC チャネルを使用し、次の呼び出しを行う前に最初のシステム呼び出しが完了していることを確認します。

### ■ 修正状況

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q1 に予定されます。

## 9. 許容される温度範囲は 0°C ~ 85°C

### ■ 問題の定義

機能は 0°C 以下で保証されません。

### ■ 影響を受けるパラメーター

該当なし

### ■ トリガー条件

該当なし

### ■ 影響の範囲

該当なし

■ 回避方法

なし

■ 修正状況

シリコン チップおよび／またはファームウェアの修正は、このエラーがデータシートから削除される 2018 年 Q1 に予定されます。

以下のエラッタ項目は PSOC6XX-ES3 ファミリ デバイスに適用されます。

項目	CY8C6XX	シリコン チップ レビジョン	修正状況
[4]. フラッシュ Read-While-Write (RWW) 機能は動作不可	すべて	Rev. *B	進行中。解決策は 2018 年 Q2 に計画済

エラッタ項目の詳細な説明は、前のセクションとまったく同じです。

## 改訂履歴

文書名 : PSoC® 6 MCU: BLE 接続を備えた PSoC 63 データシート、プログラマブルシステムオンチップ (PSoC®)  
文書番号 : 002-18449

版	ECN	変更者	発行日	変更内容
**	5846784	IYM	08/08/2017	これは英語版 002-18787 Rev. ** を翻訳した日本語版 002-20406 Rev. ** です。
*A	6082451	SSAS	03/09/2018	これは英語版 002-18787 Rev. *D を翻訳した日本語版 002-20406 Rev. *A です。
*B	6214778	HZEN	07/13/2018	これは英語版 002-18787 Rev. *E を翻訳した日本語版 002-20406 Rev. *B です。

## セールス、ソリューションおよび法律情報

### ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

#### 製品

Arm® Cortex® マイクロコントローラー	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載向け	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック & バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
モノのインターネット (IoT)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラー	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
パワー マネージメント IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチ センシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス接続	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

#### PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

#### サイプレス開発者コミュニティ

[コミュニティ](#) | [プロジェクト](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [コンポーネント](#)

#### テクニカル サポート

[cypress.com/support](http://cypress.com/support)

© Cypress Semiconductor Corporation, 2017-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンジニアユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的譲渡不能な一身専属のライセンス（サプライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関するても、明示又は默示をとわず、いかなる保証（商品性及び特定の目的への適合性の默示の保証を含むがこれらに限られない）も行わない。**いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためにのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとらず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapsSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。